

Ver 2.6

FPGA 配置 PROM 电路

# 产品使用手册

产品型号：BQ18V04CQ/ECQ/CL



北京微电子技术研究所



### 版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	20110802			
2.0	20140312	7.1	更新外形尺寸和管脚列表	
2.1	20151023	5.1 5.9 6	1. 添加上电过程 2. 更改 JTAG 协议兼容描述 3. 更新动态电流条件未更新	
2.2	20170911		1. 增加 ECQ 封装 2. 修订时序图	
2.3	20180124		1. 增加鉴定信息	
2.4	20180206		更换模板	
2.5	20181108		修改产品注意事项	
2.6	20220113	6.1、7.2、 9.2、附录 1	6.4 中对图中标注 1 进行了解释；7.2 中增加对电源爬坡时间要求；9.2 中增加低温输出异常情况提示；增加附录 1 对应国外产品情况	



## 版本修订记录

产品类别	存储器		
版本	2.5	2.6	更改类别
状态	废除	现行有效	
实施日期	20181108	20220113	
更新内容	无	6.1 章节中对图 2 中标注 1 进行了解释	III 类更改
	无	7.2 章节增加电源爬坡时间：器件上电启动对电源爬坡时间明确要求，如果电源不满足要求，将无法保证器件上电复位成功。	II 类更改
	无	9.2 章节增加低温输出异常情况提示：BQ18V04 中的存储体是 FLASH 单元，受到加工工艺离散性影响，个别器件可能出现参数偏差，由此导致器件低温输出异常。该异常与供电电源等使用环境具有相关性。北京微电子技术研究所已经采取了多种措施剔除低温故障器件，包括严格的 PCM 参数控制、参数一致性分析、低温板级加严测试等，并优化了用户电源上电要求，可基本避免此类故障。但不能完全排除极少数临界器件在低温下偶发输出异常，若在实际应用中发现此类故障，或对该问题有疑问之处请与我单位联系。	II 类更改
	无	增加附录 1 对应国外产品情况	III 类更改

注：I 类更改：涉及产品功能特性和物理特性的重大更改；

II 类更改：产品使用手册中指导用户使用方面发生变更；

III 类更改：仅对产品使用手册进行勘误，如：文字错误、格式调整、增加视图等。



## 目 录

一、产品特性 .....	1
二、产品概述 .....	1
三、重要声明 .....	2
四、结构图 .....	2
五、引脚描述 .....	2
六、产品描述 .....	3
6.1 连接方法 .....	3
6.2 上电过程 .....	4
6.3 工作时序图 .....	4
6.4 初始化FPGA配置 .....	5
6.5 配置模式 .....	5
6.6 级联配置应用 .....	5
6.7 有效复位 .....	6
6.8 待机模式 .....	6
6.9 在线编程 .....	6
6.10 JTAG协议兼容 .....	6
七、电参数 .....	7
7.1 绝对最大额定值 .....	8
7.2 推荐工作条件 .....	8
八、封装说明 .....	9
8.1 CQFP44 外形尺寸及管脚排列 .....	9
8.2 CLCC44 外形尺寸及管脚排列 .....	10
九、用户关注产品信息 .....	11
9.1 产品鉴定信息 .....	11
9.2 产品注意事项 .....	12
9.3 产品防护 .....	12
9.4 研制生产单位联系方式 .....	13
附录 1 对应替代国外产品情况 .....	14

## 一、产品特性

- 在线可编程3.3V 4M位FLASH型 PROM

- 适用于北京微电子技术研究所和 Xilinx公司的FPGA配置
- 数据保持时间：20年
- 全温区范围内支持超过2000次在线 3.3V电压编程/擦除

- 可靠性指标

- 工作温度： $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 抗静电能力（人体模型）：2000V
- GJB597A-96中规定的B级
- 支持部分 IEEE 1149.1标准边界扫描（JTAG）指令
- 支持JTAG命令初始化

- 支持多种配置模式

- 串行/并行配置频率最高可达30MHz



- BQ18V04CQ/ECQ 采用 CQFP44 封装，BQ18V04CL 采用 CLCC44 封装

- 兼容性

- 完全可替代Xilinx公司PC44封装的XC18V04
- 完全可替代Xilinx公司VQ44封装的XQ18V04
- 可实现管脚到管脚的替换，不需要修改包括PCB在内的整个设计

## 二、产品概述

BQ18V04是一款兼容国外Xilinx公司XQ18V04的PROM产品，工作电压3.3V，是一款可反复擦写、非易失的在线可编程4M位FLASH型PROM器件，可使用在各军用设备中存储大规模FPGA的配置码流。

当FPGA工作在主串模式下，配置时钟CCLK驱动PROM，当 $\overline{\text{CE}}$ 和 $\overline{\text{OE/Reset}}$ 有效一段时间之后，BQ18V04的数据通过D0端发送至FPGA的Din端。在每个配置时钟CCLK的上升沿，BQ18V04依次发送1位数据。当FPGA处于从串配置模式时，由外部时钟驱动FPGA与BQ18V04。并行配置模式与串行配置模式类似，此时 BQ18V04输出数据端口为D0~D7。

用前级器件  $\overline{\text{CE0}}$  端驱动后级器件的 $\overline{\text{CE}}$ 端，可以实现多个器件级联使用。此时所有器件的时钟端和数据端分别并接在一起。

### 三、重要声明

产品手册版权归北京微电子技术研究所（以下简称“我单位”）所有，不转让属于我单位或者第三方所有的知识产权以及其他权利许可。

我单位会结合所有用户的使用经历，不断对产品手册进行更新，更新不再另行通知。请用户务必在使用我单位产品前通过官方公开网络（[www.bmti.com.cn](http://www.bmti.com.cn) 或微信公众号）获取产品手册的最新版本，或联系我单位获取。对产品手册有疑问之处请与我单位联系。

产品手册仅作为用户使用的参考资料，所记载的信息和产品，不作为满足用户整体使用要求的依据，请务必结合用户整体系统进行评价。除产品手册说明之外，请勿接受第三方指导或参考第三方资料对我单位对应产品进行操作。

用户因未严格按最新产品手册要求保存、使用我单位产品或接受第三方指导、参考第三方资料，致使产品工作异常或损坏，造成任何直接或间接损失的，我单位不承担责任。

### 四、结构图

BQ18V04结构如图1所示，包括三个主要的逻辑模块和IO模块：

- ◇ 控制和JTAG接口控制模块
- ◇ 并行和串行接口控制模块
- ◇ 存储体

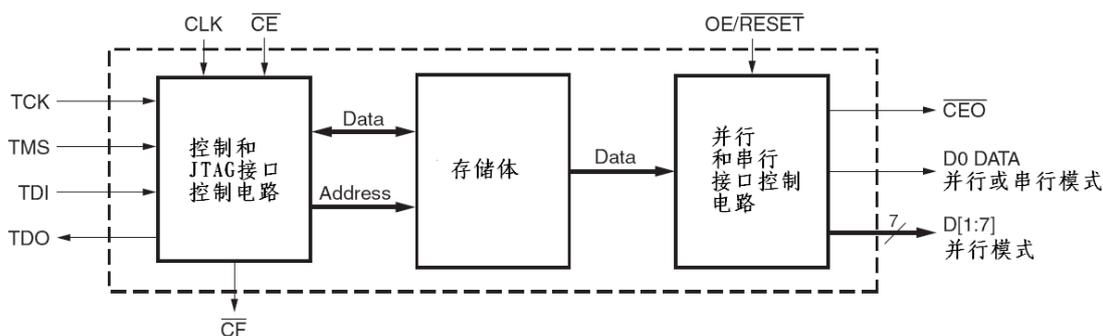


图1 BQ18V04结构图

### 五、引脚描述

表1 BQ18V04 各端口功能描述

Pin Name	功能	Pin 描述
----------	----	--------

D0~D7	数据输出	D0~D7 是并行配置 FPGA 所用到的输出, 在串行工作模式下, D1-D7 可不连接, 默认维持高阻态
CLK	数据输入	如 $\overline{CE}$ 为低, $OE/\overline{RESET}$ 为高, 每个 CLK 上升沿时内部地址计数器累加
OE/ $\overline{RESET}$	数据输入	输入低电平, 可以保持地址计数器处于复位状态, DATA 输出端保持高阻态。该端口是双向结构, 当 PROM 复位时, 输出低电平。该端口的极性不可编程。
	数据输出	
	输出使能	
$\overline{CE}$	数据输入	$\overline{CE}$ 为高, PROM 地址计数器复位, DATA 输出端高阻, 进入低功耗待机模式。
$\overline{CF}$	数据输出	开漏输出, 通过 JTAG CONFIG 指令可以让 $\overline{CF}$ 端输出一个低脉冲, 实现不掉电对 FPGA 进行初始化配置。
	输出使能	
$\overline{CEO}$	数据输出	器件级联使用时, $\overline{CEO}$ 连接链路中下一个 PROM 的 $\overline{CE}$ 端, 仅当 $\overline{CE}$ 为低、OE/ $\overline{RESET}$ 输入为高, 内部地址计数器累加超过最大计数值时, $\overline{CEO}$ 输出低信号。当 OE/ $\overline{RESET}$ 变低或者 $\overline{CE}$ 变高时, $\overline{CEO}$ 回到高状态。
	输出使能	
GND		接地端
TMS	模式选择	当 TCK 上升沿时, TMS 的状态决定 TAP 控制器的状态转换。内部有 50K 欧的上拉电阻, 端口不用时上拉至逻辑高。
TCK	时钟	JTAG 时钟, 为 TAP 控制器, JTAG 测试和配置提供时钟。
TDI	数据输入	所有 JTAG 指令和数据寄存器的输入端。内部有 50K 欧的上拉电阻, 端口不用时上拉至逻辑高。
TDO	数据输出	所有 JTAG 指令和数据寄存器的串行输出端。内部有 50K 欧的上拉电阻, 端口不用时上拉至逻辑高。
Vccint	输入核电压	为内部逻辑和输入 buffer 提供 3.3V 正向电压
Vcco	I/O 电压	为输出驱动提供 3.3 正向电压

## 六、产品描述

### 6.1 连接方法

图 2 是主串模式下 FPGA 和 BQ18V04 的连接示意图。

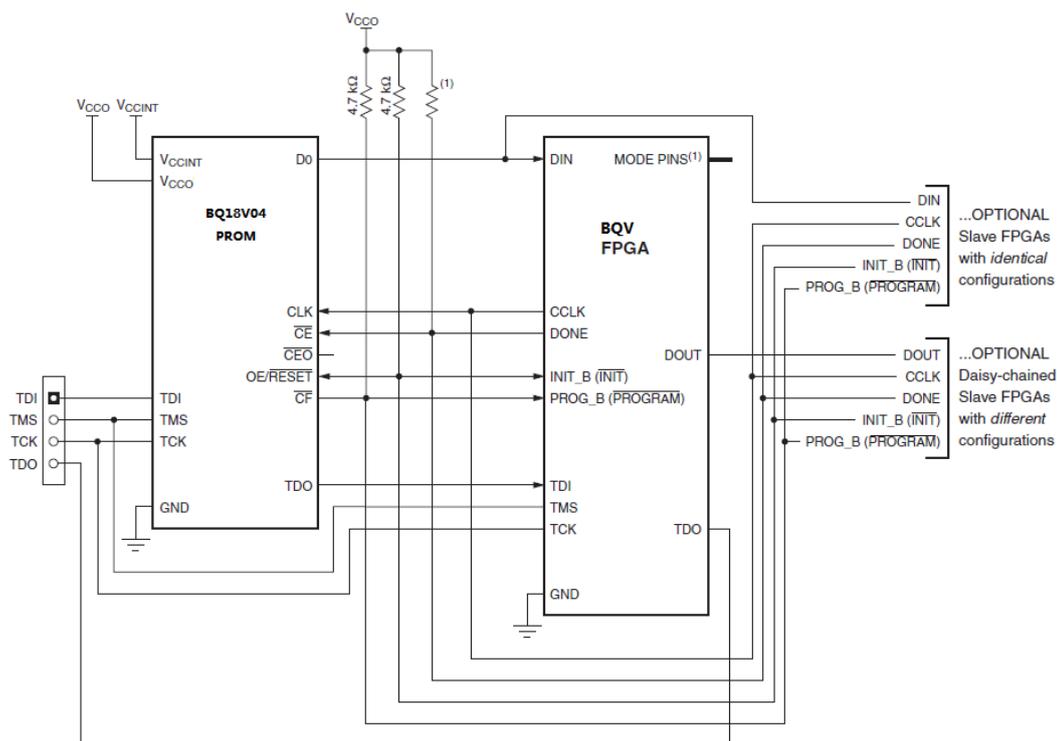


图 2 主串模式下 FPGA 和 BQ18V04 的连接示意图

注 1: MODE 管脚的连接方式以及 DONE 管脚的上拉电阻阻值需参考相应 FPGA 手册。

- BQ18V04 的数据输出驱动 FPGA 的数据输入端
- 在 FPGA 主串模式下, CCLK 驱动 BQ18V04 的时钟 CLK
- BQ18V04 组成 PROM 链使用时,  $\overline{CE0}$  驱动下一 PROM 的  $\overline{CE}$  端
- 所有 PROM 的  $\overline{OE}/\overline{Reset}$  都连接至 FPGA 的  $\overline{INIT}$  端, 以确保在 FPGA 开始配置之前, PROM 地址计数器处于复位状态
- BQ18V04 的  $\overline{CE}$  端可以使用 FPGA 的 DONE 端来驱动。
- 在 BQ18V04 工作在串行模式下, D1~D7 可以悬空不连接, 此时端口处于高阻
- 并行模式和从串模式比较类似, 每个时钟数据输出 8 位, 而不是 1 位

## 6.2 上电过程

$V_{CCINT}$  及  $V_{CCO}$  均连接至 3.3V 电压, 且无上电顺序要求, 板级应用过程中, 可以将两电压管脚连接到一起。

## 6.3 工作时序图

BQ18V04  $\overline{CE}$  和  $\overline{OE}/\overline{Reset}$  有效一段时间之后, BQ18V04 的数据会在第 2 个时钟上升沿通过 D0 端发送至 FPGA 的 Din 端, 工作时序如图 3。



## 6.7 有效复位

在上电期间， $\overline{OE}/\overline{Reset}$ 在 BQ18V04 激活（大约需要 1mS）之前一直维持低电平，之后变为高电平，数据可在时钟上升沿输出。应用时， $\overline{OE}/\overline{Reset}$ 和 FPGA 的 $\overline{INIT}$ 连接，要求外接上拉电阻，确保  $\overline{OE}/\overline{Reset}$ 和 FPGA 的 $\overline{INIT}$ 两信号全部有效后，才开始配置操作。如果电源电压低至 2.0V 以下，BQ18V04 复位， $\overline{OE}/\overline{Reset}$ 信号变低。 $\overline{OE}/\overline{Reset}$ 端的输入输出方向是不能编程的。

## 6.8 待机模式

当 $\overline{CE}$ 端拉高时，BQ18V04 进入待机模式。此时不管  $\overline{OE}/\overline{Reset}$ 输入什么状态，输出都维持高阻态，JTAG 端口的 TMS、TDI、TDO 维持高阻态或者是高电平。

## 6.9 在线编程

**BQ18V04 能够通过 JTAG 进行单独或者级联编程，可以使用以下开发环境：**

- Xilinx 公司 iMACT 软件
- 兼容 JTAG 协议的开发系统
- 能够模拟 JTAG 指令的微处理器接口

BQ18V04 可以使用 Xilinx 公司 HW-130、MultiPRO 或第三方编程器。BQ18V04 的 JTAG 端口工作时序波形如图 5 所示：

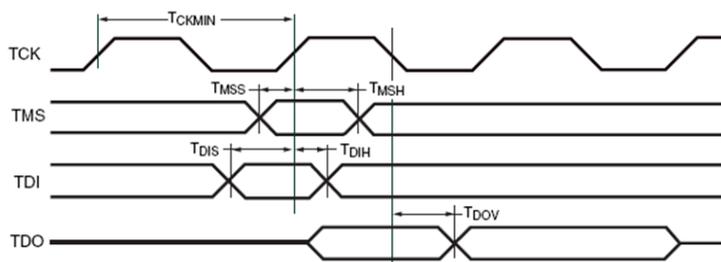


图 5 JTAG 端口工作时序图

## 6.10 JTAG 协议兼容

BQ18V04 部分兼容 IEEE 标准 1149.1 边界扫描协议，提供边界扫描指令所需的测试访问端口（TAP）。除了进行基础的 BYPASS 操作，JTAG 接口还可以完成在线编程、擦除和校验操作。

BQ18V04 边界扫描寄存器宽度为 8bit，所支持的指令包括 BYPASS、IDCODE、USERCODE 和 CONFIG，具体指令码和功能定义如表 2。

表 2 边界扫描指令

边界扫描指令	二进制代码(7:0)	说明
<b>必须的指令</b>		
BYPASS	11111111	使能旁路寄存器
<b>操作指令</b>		
IDCODE	11111110	使能 shifting out of IDCODE
USERCODE	11111101	使能用户自定义的32bit USERCODE
<b>BQ18V04特殊的指令</b>		
CONFIG	11101110	初始化FPGA, 把 $\overline{CF}$ 拉低对FPGA进行配置.

BQ18V04 器件的 IDCODE 寄存器值定义为 0X05026093。USERCODE 寄存器内容可由用户定义, 标示当前器件内编程的内容, 编程前默认值为 0XFFFFFFFF。

## 七、电参数

表 3 BQ18V04 的电参数表

参数	符号	条件 (除另有规定外, $3.0V \leq V_{CCINT} \leq 3.6V$ , $3.0V \leq V_{CCO} \leq 3.6V$ , $-55^{\circ}C \leq T_A \leq 125^{\circ}C$ )	极限值		单位
			最小	最大	
输出高电平电压	$V_{OH}$	$I_{OH} = -4mA$ , $V_{CCINT} = 3.0V$ , $V_{CCO} = 3.0V$	2.4	—	V
输出低电平电压	$V_{OL}$	$I_{OL} = 4mA$ , $V_{CCINT} = 3.0V$ , $V_{CCO} = 3.0V$	—	0.4	V
输入高电压漏电流	$I_{IH}$	$V_{CCINT} = 3.6V$ , $V_{CCO} = 3.6$ , $V_{IN} = 3.6V$	—	10	$\mu A$
输入低电压漏电流	$ I_{IL} $	$V_{CCINT} = 3.6V$ , $V_{CCO} = 3.6$ , $V_{IN} = 0V$	—	10	$\mu A$
JTAG 端口输入端漏电流	$I_{IL_{JTAG}}$	$V_{CCINT} = 3.6V$ , $V_{CCO} = 3.6V$ , $V_{IN} = 3.6V$	-100	—	$\mu A$
输出高阻态漏电流	$I_{OZH}$	$V_{CCINT} = 3.6V$ , $V_{CCO} = 3.6V$ , $V_{IN} = 3.6V$	-10	10	$\mu A$
输入高电平电压	$V_{IH}$	$V_{CCINT} = 3.3V$ , $V_{CCO} = 3.3V$	2.0	—	V
输入低电平电压	$V_{IL}$	$V_{CCINT} = 3.3V$ , $V_{CCO} = 3.3V$	—	0.8	V
静态电流	$I_{CCSTA}$	$V_{CCINT} = 3.6V$ , $V_{CCO} = 3.6V$	—	20	mA

动态电流	$I_{CCDYN}$	$V_{CCINT}=3.6V, V_{CCO}=3.6V, f=30MHz$	—	50	mA
输入/输出电容	$C_{in}/out$	$f=1.0MHz, T_A=25^\circ C$	—	15	pF
功能测试	—	$V_{CCINT}=3.3V, V_{CCO}=3.3V, f=30MHz$	—	—	—
TDO 相对于 TCK 的输出延迟	$T_{DOV}$	$V_{CCINT}=3.0V, V_{CCO}=3.0V$	—	25	ns
D0~D7 相对于 CLK 的输出延迟	$T_{CAC}$		—	25	ns

## 7.1 绝对最大额定值

核电源电压范围 ( $V_{CCINT}$ )	.....	-0.5V~+4.0V
I/O电源电压范围 ( $V_{CCO}$ )	.....	-0.5V~+4.0V
DC输入电压范围 ( $V_{IN}$ ) 内部阈值	.....	-0.5V~+5.5V
施加在三态端电压 ( $V_{IS}$ )	.....	-0.5V~+5.5V
引线焊接温度CLCC44 ( $T_h$ ) 10s	.....	220°C
引线焊接温度CQFP44 ( $T_h$ ) 10s	.....	260°C
热阻, 结到壳 ( $\theta_{JC}$ )	.....	19°C/W
结温 ( $T_J$ )	.....	150°C
储存温度 ( $T_{STG}$ )	.....	-65°C~+150°C
数据存储时间 ( $T_{DR}$ )	.....	20 年
最大擦除/编程次数 ( $T_{PE}$ )	.....	2000 次

## 7.2 推荐工作条件

核电源电压范围 ( $V_{CCINT}$ )	.....	3.0V~3.6V
I/O电源电压范围3.3V模式 ( $V_{CCO}$ )	.....	3.0V~3.6V
输入高电平电压 ( $V_{IH}$ )	.....	2.0V~3.6V
输入低电平电压 ( $V_{IL}$ )	.....	0V~0.8V
$V_{CC}$ 爬坡上升时间 ( $T_{VCC}$ ) <sup>(1)</sup>	.....	4ms~50ms
工作温度范围 ( $T_c$ )	.....	-55°C~+125°C

(1) 器件上电启动对电源爬坡时间明确要求, 如果电源不满足要求, 将无法保证器件上电复位成功

## 八、封装说明

### 8.1 CQFP44 外形尺寸及管脚排列

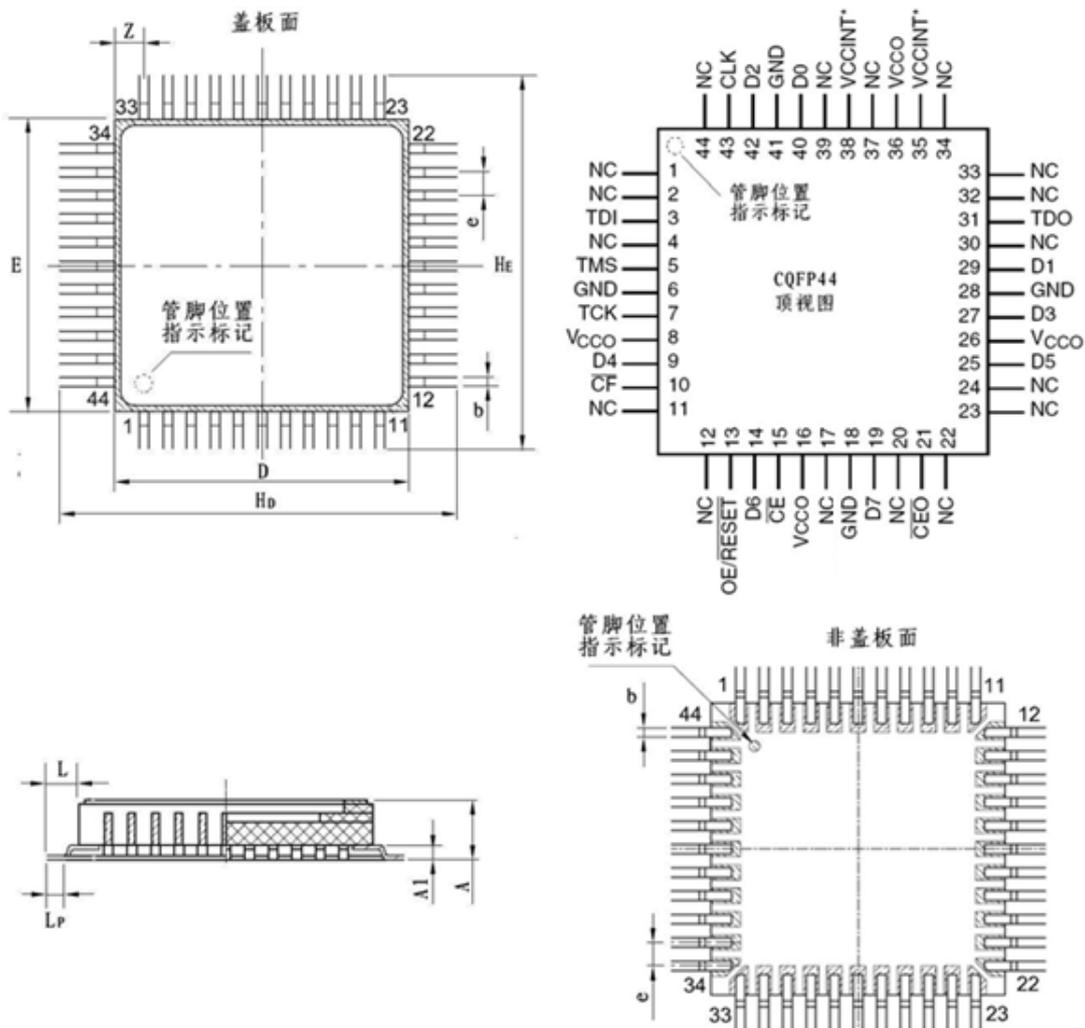


图 6 CQFP44 外形图

表 4 CQFP44 外形尺寸

单位：毫米

尺寸符号	最小	公称	最大
A	1.90	—	2.90
A1	0.35	—	—
b	0.15	—	0.45
c	0.11	—	0.2
e	—	0.80	—
D/E	9.70	—	10.30
HD/HE	12.00	—	13.50
L	1.30	—	1.80





E	16.25	---	16.76
Z	1.70	---	2.10

## 九、用户关注产品信息

### 9.1 产品鉴定信息

鉴定产品批次		1208 批 BQ18V04CL
鉴定执行标准	总规范名称及编号	半导体集成电路总规范 (GJB 597A-1996 )
	详细规范名称及编号	半导体集成电路 BQ18V04 型 FPGA 配置用可编程存储器详细规范 (Q/Zt 20396-2015)
	附加技术条件	—
	质量等级	B
鉴定情况	鉴定试验日期	2012.05.14-2012.06.28
	鉴定试验机构	北京微电子技术研究所

鉴定产品批次		1208 批 BQ18V04CQ
鉴定执行标准	总规范名称及编号	半导体集成电路总规范 (GJB 597A-1996 )
	详细规范名称及编号	半导体集成电路 BQ18V04 型 FPGA 配置用可编程存储器详细规范 (Q/Zt 20396-2015)
	附加技术条件	—
	质量等级	B
鉴定情况	鉴定试验日期	2012.05.14-2012.06.28
	鉴定试验机构	北京微电子技术研究所

鉴定产品批次		1515 批 BQ18V04ECQ
鉴定执行标准	总规范名称及编号	半导体集成电路总规范 (GJB 597A-1996 )
	详细规范名称及编号	半导体集成电路 BQ18V04ECQ 型 FPGA 配置用可编程存储器详细规范 (Q/Zt 20404-2015)
	附加技术条件	—
	质量等级	B
鉴定情况	鉴定试验日期	2015.07.16-2015.09.01
	鉴定试验机构	北京微电子技术研究所

## 9.2 产品注意事项

BQ18V04 中的存储体是 FLASH 单元，受到加工工艺离散性影响，个别器件可能出现参数偏差，由此导致器件低温输出异常，该异常与供电电源等使用环境具有相关性。北京微电子技术研究所已经采取了多种措施剔除低温故障器件，包括严格的 PCM 参数控制、参数一致性分析、低温板级加严测试等，并优化了用户电源上电要求，可基本避免此类故障。但不能完全排除极少数临界器件在低温下偶发输出异常，若在应用中发现此类故障，或对该问题有疑问之处请与我单位联系。

BQ18V04CQ/CL在OE/RESET端与Xilinx公司XQ18V04存在设计差异。Xilinx的XQ18V04在上电复位过程中，OE/reset端存在低电平“输出状态”，上电稳定后变为纯粹的输入，电平完全由外部控制。BQ18V04CQ/CL的OE/RESET端则可能仍处于输出状态。因此BQ18V04CQ/CL不能配合BSV1刷新使用。BQ18V04ECQ不存在以上问题，可搭配刷新芯片使用。

BQ18V04CQ/ECQ的成型尺寸HD/HE值为12.00~13.50，用户设计PCB时应按照最大值设计焊盘长度，留出余量。

建议用户在板级应用前做相应的板级可靠性试验，推荐板级试验项目为温度循环、热冲击（可选）、振动、恒定加速度（可选）等。力学试验（机械冲击、振动、恒定加速度等），应制作合适的试验夹具，避免陶瓷部分悬空。为保证板级安装可靠性，推荐在器件焊接后，采用专用胶对器件进行加固，加固方式建议采用局部粘固。对引出端板级可靠性风险，用户需自行承担。

## 9.3 产品防护

### 9.3.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能直接用手触摸器件引线，应佩戴防静电指套和腕带；
- d) 器件应存放在防静电材料制成的容器中；
- e) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；
- f) 相对湿度应尽可能保持在 30%~70%。



### 9.3.2 包装

器件包装应至少满足以下要求：

- a) 由无腐蚀的材料制成；
- b) 具有足够的强度，能够经得起搬运过程中的震动和冲击；
- c) 用防静电材料涂敷过或浸渍过，具备足够的抗静电能力；
- d) 能够牢固的把所装器件支撑在一定的位罝；
- e) 能保持器件引线不发生变形；
- f) 没有锋利的棱角；
- g) 能安全容易的移动、检查和替换器件；
- h) 一般不使用聚氯乙烯、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

### 9.3.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

- a) 运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。
- b) 贮存：包装好的产品应贮存在环境温度为  $16^{\circ}\text{C}\sim 28^{\circ}\text{C}$ ，相对湿度不大于  $30\%\sim 70\%$ ，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

### 9.4 研制生产单位联系方式

通信地址：北京市丰台区东高地四营门北路 2 号

邮政编码：100076

联系部门：市场二部                      电话/传真：010-67968115-6313/010-68757706

FPGA 事业部    黄辉银              电话：010-67968115-8525/18811558156



## 附录1对应替代国外产品情况

替代国外型号: XQ18V04		国外生产商: Xilinx	
对比项	国内产品	国外产品	差异性、兼容性分析
存储器容量	4M bit	4M bit	一致
电源电压	3.3V	3.3V	一致
输入高电平电压	$\geq 2.0V$	$\geq 2.0V$	一致
输入低电平电压	$\leq 0.8V$	$\leq 0.8V$	一致
输出高电平电压	$\geq 2.4V$	$\geq 2.4V$	一致
输出低电平电压	$\leq 0.4V$	$\leq 0.4V$	一致
串行/并行配置频率	30MHz	20MHz	优于
抗静电能力(人体模型)	2000V	2000V	一致
抗锁定触发电流	100mA	100mA	一致
工作温度	$-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	$-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	一致