



PIC16F631/677/685/687/689/690

数据手册

采用纳瓦技术的

20 引脚 8 位

CMOS 闪存单片机

请注意以下有关 Microchip 器件代码保护功能的要点:

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信: 在正常使用的情况下, Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前, 仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知, 所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展之中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下, 能访问您的软件或其他受版权保护的成果, 您有权依据该法案提起诉讼, 从而制止这种行为。

提供本文档的中文版本仅为为了便于理解。请勿忽视文档中包含的英文部分, 因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为为您提供便利, 它们可能由更新之信息所替代。确保应用符合技术规范, 是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保, 包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用, 一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时, 会维护和保障 Microchip 免于承担法律责任, 并加以赔偿。在 Microchip 知识产权保护下, 不得暗中或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、Accuron、dsPIC、KEELOQ、KEELOQ 徽标、microID、MPLAB、PIC、PICmicro、PICSTART、PRO MATE、PowerSmart、rfPIC 和 SmartShunt 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

AmpLab、FilterLab、Linear Active Thermistor、Migratable Memory、MXDEV、MXLAB、PS 徽标、SEEVAL、SmartSensor 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、ECAN、ECONOMONITOR、FanSense、FlexROM、fuzzyLAB、In-Circuit Serial Programming、ICSP、ICEPIC、Mindi、MiWi、MPASM、MPLAB Certified 徽标、MPLIB、MPLINK、PICKit、PICDEM、PICDEM.net、PICLAB、PICKtail、PowerCal、PowerInfo、PowerMate、PowerTool、REAL ICE、rfLAB、rfPICDEM、Select Mode、Smart Serial、SmartTel、Total Endurance、UNI/O、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2007, Microchip Technology Inc. 版权所有。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

Microchip 位于美国亚利桑那州 Chandler 和 Tempe、位于俄勒冈州 Gresham 及位于加利福尼亚州 Mountain View 的全球总部、设计中心和晶圆生产厂均通过了 ISO/TS-16949:2002 认证。公司在 PIC® 单片机与 dsPIC® 数字信号控制器、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外, Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。



MICROCHIP PIC16F631/677/685/687/689/690

采用纳瓦技术的 20 引脚 8 位 CMOS 闪存单片机

高性能 RISC CPU:

高性能 RISC CPU

- 仅需学习 35 条指令:
 - 除了跳转指令以外, 所有指令都是单周期的
- 工作速度:
 - DC – 20 MHz 振荡器 / 时钟输入
 - DC – 200 ns 指令周期
- 中断能力
- 8 级深硬件堆栈
- 直接、间接和相对寻址方式

单片机特性

- 精确的内部振荡器:
 - 出厂时精度已校准到 $\pm 1\%$
 - 软件可选择频率范围: 8 MHz 到 32 kHz
 - 可用软件调整
 - 双速启动模式
 - 用于关键应用的晶振故障检测
 - 时钟模式切换以使器件省电运行
- 省电休眠模式
- 宽工作电压范围 (2.0V-5.5V)
- 工业级和扩展级温度范围
- 上电复位 (Power-on Reset, POR)
- 上电延时定时器 (Power-up Timer, PWRT) 和振荡器起振定时器 (Oscillator Start-up Timer, OST)
- 带软件控制选择的欠压复位 (Brown-out Reset, BOR)
- 增强型低电流看门狗定时器 (Watchdog Timer, WDT), 带有片上振荡器 (预分频器最大时, 软件可选择的标称值为 268 秒), 可用软件启动
- 复用式主复位 / 输入引脚
- 可编程代码保护
- 高耐久性的闪存 / EEPROM 存储单元:
 - 闪存耐写次数达 100,000 次
 - EEPROM 耐写次数达 1,000,000 次
 - 闪存 / 数据 EEPROM 的数据保持期 > 40 年
- 增强型 USART 模块:
 - 支持 RS-485、RS-232 和 LIN 2.0
 - 自动波特率检测
 - 遇到起始位时自动唤醒

低功耗特性:

- 待机电流:
 - 2.0V 时典型值为 50 nA
- 工作电流:
 - 32 kHz、2.0V 时典型值为 11 μ A
 - 4 MHz、5.5V 时典型值 220 μ A
- 看门狗定时器电流:
 - 2.0V 时典型值 < 1 μ A

外设特性:

- 17 个 I/O 引脚和 1 个只用作输入的引脚:
 - 高灌 / 拉电流能力, 可直接驱动 LED
 - 引脚电平变化中断
 - 独立可编程弱上拉
 - 超低功耗唤醒 (Ultra Low-Power Wake-up, ULPWU)
- 模拟比较器模块, 具有:
 - 2 个模拟比较器
 - 片上可编程比较器参考电压 (CVREF) 模块 (VDD 的 %)
 - 可从外部访问比较器输入和输出
 - SR 锁存器模式
 - Timer1 门控同步锁存器
 - 固定 0.6V 的 VREF
- A/D 转换器:
 - 10 位精度, 12 路通道
- Timer0 带有 8 位可编程预分频器的 8 位定时器 / 计数器
- 增强型 Timer1:
 - 带有预分频器的 16 位定时器 / 计数器
 - 外部 Timer1 门控 (计数使能)
 - 如果选用 INTOSC 模式, 在 LP 模式中可选择 OSC1 或 OSC2 作为 Timer1 的振荡器
- Timer2: 带有 8 位周期寄存器、预分频器和后分频器的 8 位定时器 / 计数器
- 增强型捕捉、比较和 PWM+ 模块:
 - 16 位捕捉, 最大精度 12.5 ns
 - 比较, 最大精度 200 ns
 - 10 位 PWM, 带有 1、2 或 4 路输出通道及可编程 “死区”, 最高频率 20 kHz
 - PWM 输出转向 (Steering) 控制
- 同步串行口 (Synchronous Serial Port, SSP):
 - SPI 模式 (主控和从动)
- I²C™ (主 / 从模式):
 - I²C™ 地址屏蔽
- 通过两个引脚进行在线串行编程 (In-Circuit Serial Programming™, ICSP™)

PIC16F631/677/685/687/689/690

器件	程序存储器	数据存储器		I/O	10 位 A/D (通道)	比较器	8/16 位 定时器	SSP	ECCP+	EUSART
	闪存 (字)	SRAM (字节)	EEPROM (字节)							
PIC16F631	1024	64	128	18	—	2	1/1	无	无	无
PIC16F677	2048	128	256	18	12	2	1/1	有	无	无
PIC16F685	4096	256	256	18	12	2	2/1	无	有	无
PIC16F687	2048	128	256	18	12	2	1/1	有	无	有
PIC16F689	4096	256	256	18	12	2	1/1	有	无	有
PIC16F690	4096	256	256	18	12	2	2/1	有	有	有

PIC16F631 引脚图

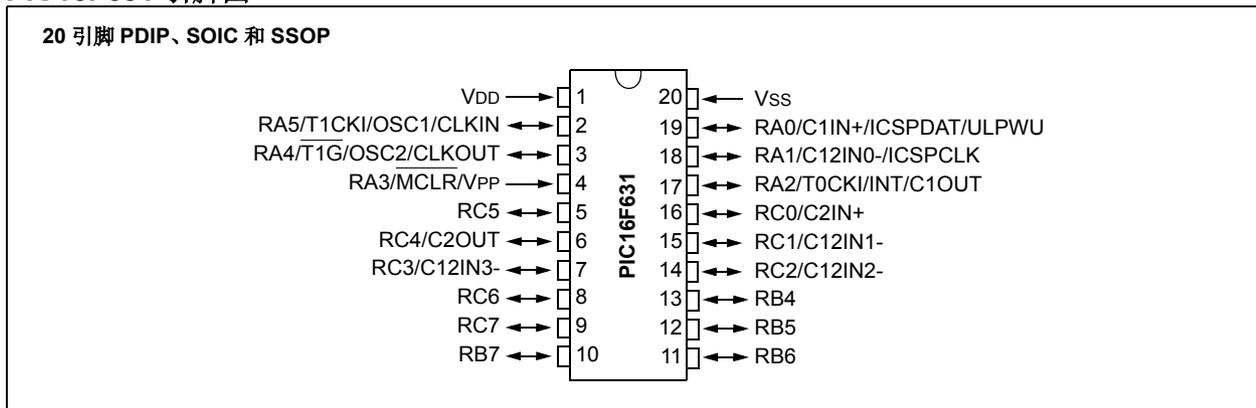


表 1: PIC16F631 引脚汇总

I/O	引脚	模拟	比较器	定时器	中断	上拉	基本
RA0	19	AN0/ULPWU	C1IN+	—	IOC	是	ICSPDAT
RA1	18	AN1	C12IN0-	—	IOC	是	ICSPCLK
RA2	17	—	C1OUT	T0CKI	IOC/INT	是	—
RA3	4	—	—	—	IOC	是 ⁽¹⁾	MCLR/VPP
RA4	3	—	—	T1G	IOC	是	OSC2/CLKOUT
RA5	2	—	—	T1CKI	IOC	是	OSC1/CLKIN
RB4	13	—	—	—	IOC	是	—
RB5	12	—	—	—	IOC	是	—
RB6	11	—	—	—	IOC	是	—
RB7	10	—	—	—	IOC	是	—
RC0	16	AN4	C2IN+	—	—	—	—
RC1	15	AN5	C12IN1-	—	—	—	—
RC2	14	AN6	C12IN2-	—	—	—	—
RC3	7	AN7	C12IN3-	—	—	—	—
RC4	6	—	C2OUT	—	—	—	—
RC5	5	—	—	—	—	—	—
RC6	8	—	—	—	—	—	—
RC7	9	—	—	—	—	—	—
—	1	—	—	—	—	—	VDD
—	20	—	—	—	—	—	Vss

注 1: 只有在外部 MCLR 配置时才使能上拉。

PIC16F631/677/685/687/689/690

PIC16F677 引脚图

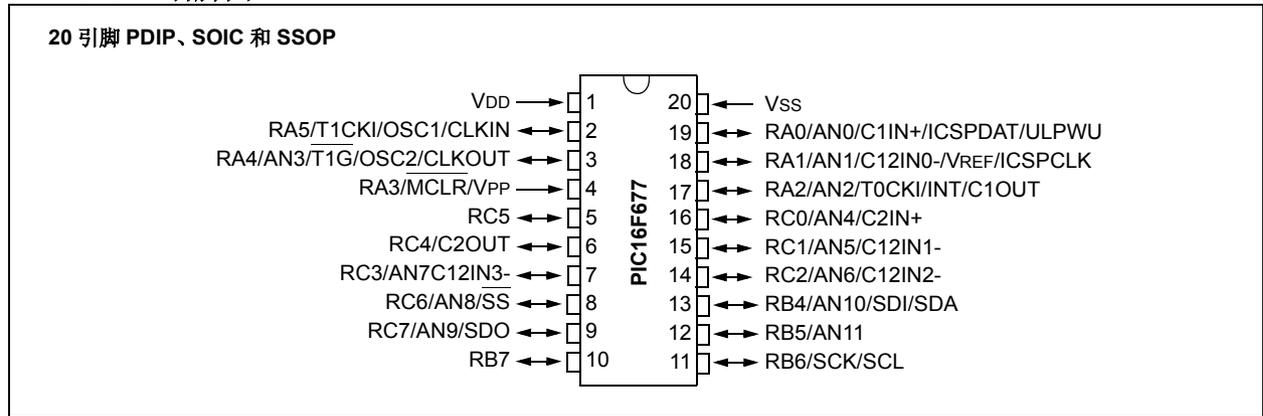


表 2: PIC16F677 引脚汇总

I/O	引脚	模拟	比较器	定时器	中断	上拉	基本	I/O
RA0	19	AN0/ULPWU	C1IN+	—	—	IOC	是	ICSPDAT
RA1	18	AN1/VREF	C12IN0-	—	—	IOC	是	ICSPCLK
RA2	17	AN2	C1OUT	T0CKI	—	IOC/INT	是	—
RA3	4	—	—	—	—	IOC	是 ⁽¹⁾	MCLR/VPP
RA4	3	AN3	—	T1G	—	IOC	是	OSC2/CLKOUT
RA5	2	—	—	T1CKI	—	IOC	是	OSC1/CLKIN
RB4	13	AN10	—	—	SDI/SDA	IOC	是	—
RB5	12	AN11	—	—	—	IOC	是	—
RB6	11	—	—	—	SCL/SCK	IOC	是	—
RB7	10	—	—	—	—	IOC	是	—
RC0	16	AN4	C2IN+	—	—	—	—	—
RC1	15	AN5	C12IN1-	—	—	—	—	—
RC2	14	AN6	C12IN2-	—	—	—	—	—
RC3	7	AN7	C12IN3-	—	—	—	—	—
RC4	6	—	C2OUT	—	—	—	—	—
RC5	5	—	—	—	—	—	—	—
RC6	8	AN8	—	—	SS	—	—	—
RC7	9	AN9	—	—	SDO	—	—	—
—	1	—	—	—	—	—	—	VDD
—	20	—	—	—	—	—	—	Vss

注 1: 只有在外部 MCLR 配置时才激活上拉。

PIC16F631/677/685/687/689/690

PIC16F685 引脚图

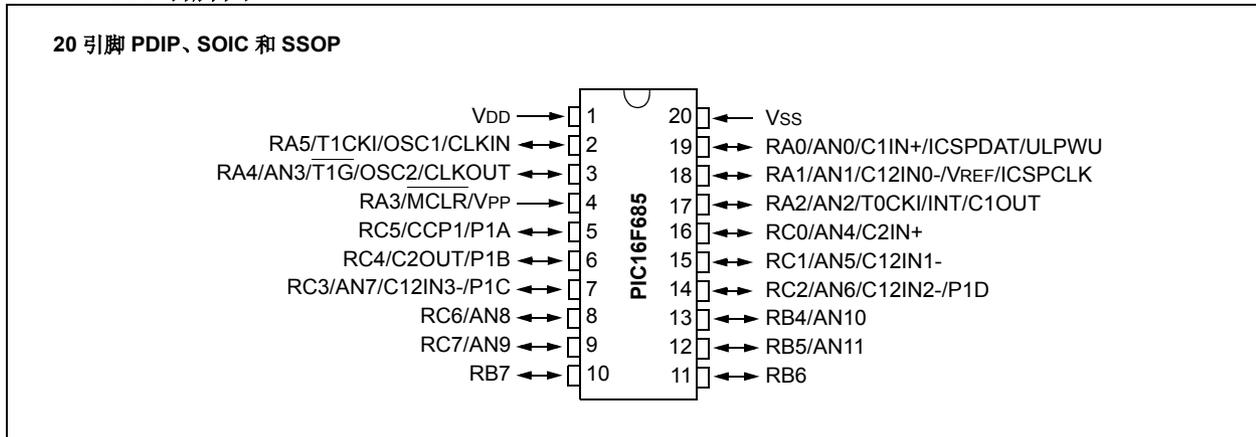


表 3: PIC16F685 引脚汇总

I/O	引脚	模拟	比较器	定时器	ECCP	中断	上拉	基本
RA0	19	AN0/ULPWU	C1IN+	—	—	IOC	是	ICSPDAT
RA1	18	AN1/VREF	C12IN0-	—	—	IOC	是	ICSPCLK
RA2	17	AN2	C1OUT	T0CKI	—	IOC/INT	是	—
RA3	4	—	—	—	—	IOC	是 ⁽¹⁾	MCLR/VPP
RA4	3	AN3	—	T1G	—	IOC	是	OSC2/CLKOUT
RA5	2	—	—	T1CKI	—	IOC	是	OSC1/CLKIN
RB4	13	AN10	—	—	—	IOC	是	—
RB5	12	AN11	—	—	—	IOC	是	—
RB6	11	—	—	—	—	IOC	是	—
RB7	10	—	—	—	—	IOC	是	—
RC0	16	AN4	C2IN+	—	—	—	—	—
RC1	15	AN5	C12IN1-	—	—	—	—	—
RC2	14	AN6	C12IN2-	—	P1D	—	—	—
RC3	7	AN7	C12IN3-	—	P1C	—	—	—
RC4	6	—	C2OUT	—	P1B	—	—	—
RC5	5	—	—	—	CCP1/P1A	—	—	—
RC6	8	AN8	—	—	—	—	—	—
RC7	9	AN9	—	—	—	—	—	—
—	1	—	—	—	—	—	—	VDD
—	20	—	—	—	—	—	—	VSS

注 1: 只有在外部 MCLR 配置时才使能上拉。

PIC16F631/677/685/687/689/690

PIC16F687/689 引脚图

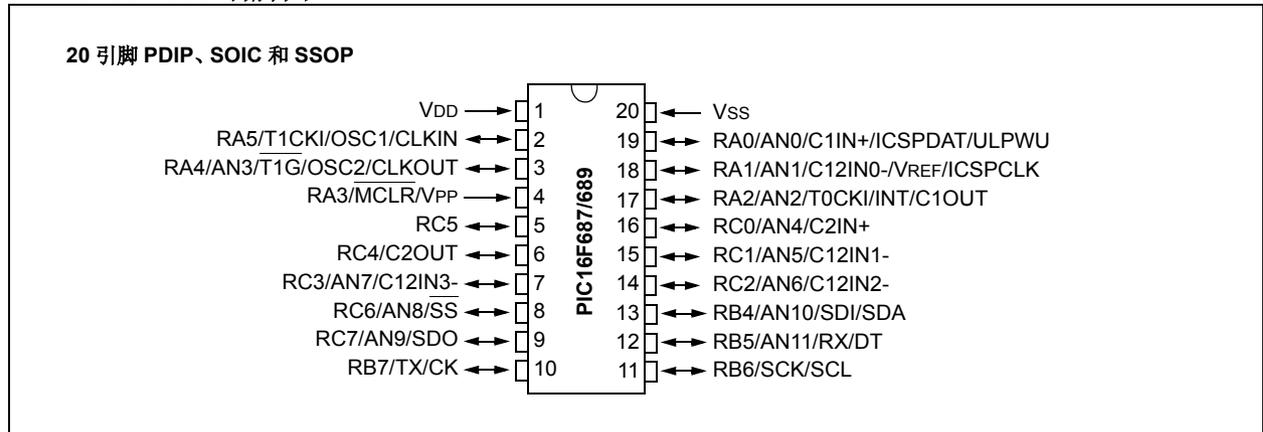


表 4: PIC16F687/689 引脚汇总

I/O	引脚	模拟	比较器	定时器	EUSART	SSP	中断	上拉	基本
RA0	19	AN0/ULPWU	C1IN+	—	—	—	IOC	是	ICSPDAT
RA1	18	AN1/VREF	C12IN0-	—	—	—	IOC	是	ICSPCLK
RA2	17	AN2	C1OUT	T0CKI	—	—	IOC/INT	是	—
RA3	4	—	—	—	—	—	IOC	是 ⁽¹⁾	MCLR/VPP
RA4	3	AN3	—	T1G	—	—	IOC	是	OSC2/CLKOUT
RA5	2	—	—	T1CKI	—	—	IOC	是	OSC1/CLKIN
RB4	13	AN10	—	—	—	SDI/SDA	IOC	是	—
RB5	12	AN11	—	—	RX/DT	—	IOC	是	—
RB6	11	—	—	—	—	SCL/SCK	IOC	是	—
RB7	10	—	—	—	TX/CK	—	IOC	是	—
RC0	16	AN4	C2IN+	—	—	—	—	—	—
RC1	15	AN5	C12IN1-	—	—	—	—	—	—
RC2	14	AN6	C12IN2-	—	—	—	—	—	—
RC3	7	AN7	C12IN3-	—	—	—	—	—	—
RC4	6	—	C2OUT	—	—	—	—	—	—
RC5	5	—	—	—	—	—	—	—	—
RC6	8	AN8	—	—	—	SS	—	—	—
RC7	9	AN9	—	—	—	SDO	—	—	—
—	1	—	—	—	—	—	—	—	VDD
—	20	—	—	—	—	—	—	—	VSS

注 1: 只有在外部 MCLR 配置时才使能上拉。

PIC16F631/677/685/687/689/690

PIC16F690 引脚图 (PDIP、SOIC 和 SSOP)

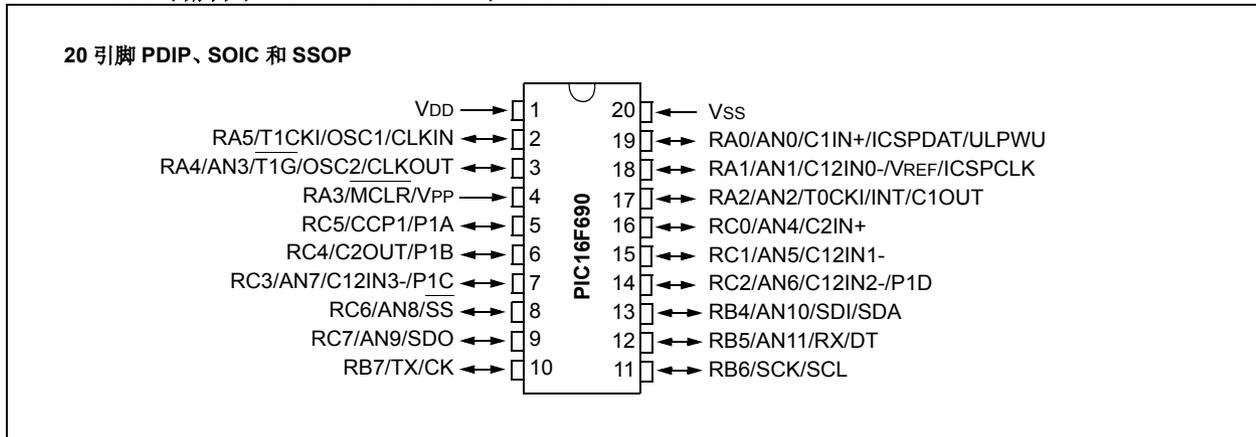


表 5: PIC16F690 引脚汇总

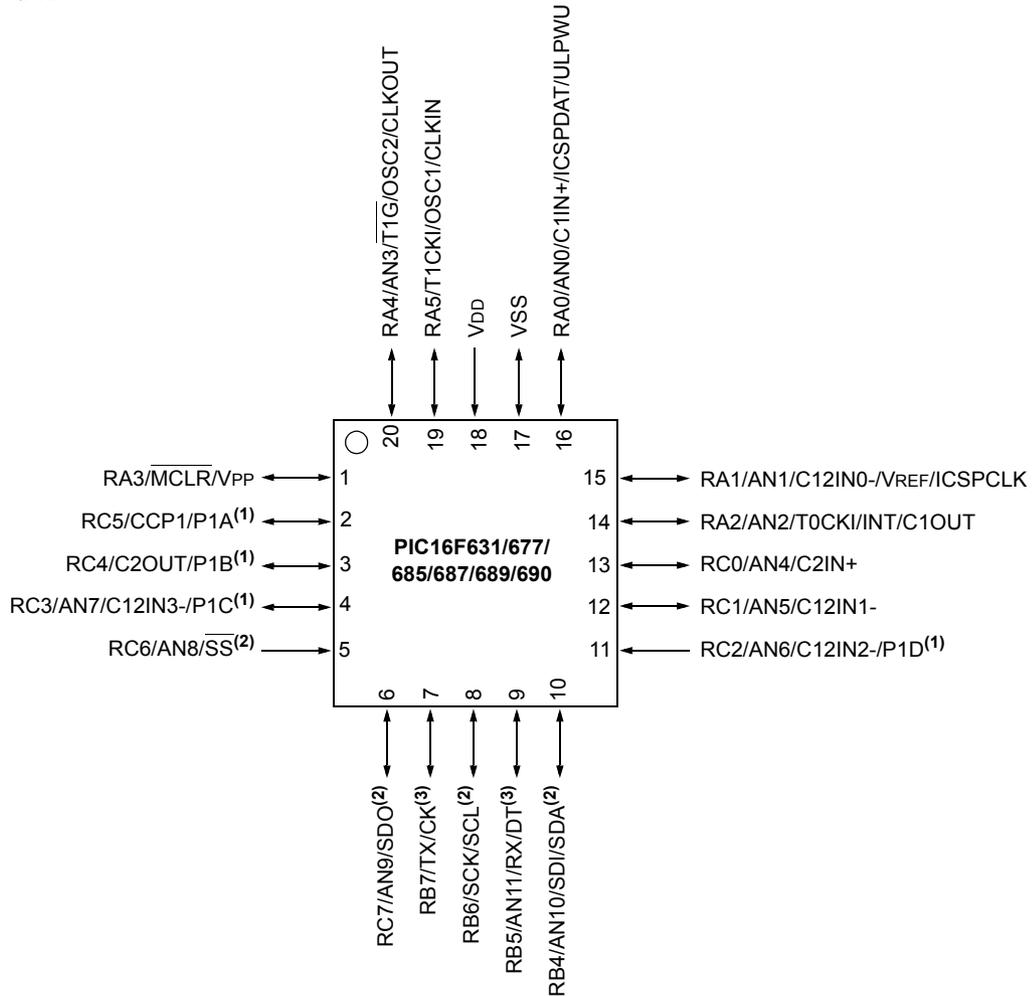
I/O	引脚	模拟	比较器	定时器	ECCP	EUSART	SSP	中断	上拉	基本
RA0	19	AN0/ULPWU	C1IN+	—	—	—	—	IOC	是	ICSPDAT
RA1	18	AN1/VREF	C12IN0-	—	—	—	—	IOC	是	ICSPCLK
RA2	17	AN2	C1OUT	T0CKI	—	—	—	IOC/INT	是	
RA3	4	—	—	—	—	—	—	IOC	是 ⁽¹⁾	MCLR/VPP
RA4	3	AN3	—	T1G	—	—	—	IOC	是	OSC2/ CLKOUT
RA5	2	—	—	T1CKI	—	—	—	IOC	是	OSC1/CLKIN
RB4	13	AN10	—	—	—	—	SDI/ SDA	IOC	是	—
RB5	12	AN11	—	—	—	RX/DT	—	IOC	是	—
RB6	11	—	—	—	—	—	SCL/ SCK	IOC	是	—
RB7	10	—	—	—	—	TX/CK	—	IOC	是	—
RC0	16	AN4	C2IN+	—	—	—	—	—	—	—
RC1	15	AN5	C12IN1-	—	—	—	—	—	—	—
RC2	14	AN6	C12IN2-	—	P1D	—	—	—	—	—
RC3	7	AN7	C12IN3-	—	P1C	—	—	—	—	—
RC4	6	—	C2OUT	—	P1B	—	—	—	—	—
RC5	5	—	—	—	CCP1/P1A	—	—	—	—	—
RC6	8	AN8	—	—	—	—	SS	—	—	—
RC7	9	AN9	—	—	—	—	SDO	—	—	—
—	1	—	—	—	—	—	—	—	—	VDD
—	20	—	—	—	—	—	—	—	—	VSS

注 1: 只有在外部 MCLR 配置时才使能上拉。

PIC16F631/677/685/687/689/690

PIC16F690 引脚图 (QFN)

20 引脚 QFN



- 注 1: 只有 PIC16F685/PIC16F690 上有 CCP1/P1A、P1B、P1C 和 P1D。
 2: 只有 PIC16F677/PIC16F687/PIC16F689/PIC16F690 上有 \overline{SS} 、SDO、SDI/SDA 和 SCL/SCK。
 3: 只有 PIC16F687/PIC16F689/PIC16F690 上有 RX/DT 和 TX/CK。

PIC16F631/677/685/687/689/690

目录

1.0 器件概述	9
2.0 存储器构成	25
3.0 振荡器模式（带故障保护时钟监视器）	47
4.0 I/O 端口	59
5.0 Timer0 模块	81
6.0 带门控的 Timer1 模块	84
7.0 Timer2 模块	91
8.0 比较器模块	93
9.0 模数转换器（ADC）模块	107
10.0 数据 EEPROM 和闪存程序存储器控制	119
11.0 增强型捕捉 / 比较 / PWM 模块	127
12.0 增强型通用同步 / 异步收发器（EUSART）	149
13.0 SSP 模块概述	175
14.0 CPU 的特殊功能	193
15.0 指令集汇总	213
16.0 开发支持	223
17.0 电气特性	227
18.0 直流和交流特性图表	255
19.0 封装信息	275
附录 A: 数据手册版本历史	281
附录 B: 从其他 PIC® 器件移植	281

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的要求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 CTRC@microchip.com，或将本数据手册后附的《读者反馈表》传真到 86-21-5407 5066。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请查询我公司的网站：

<http://www.microchip.com>

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中数字串后的字母是版本号，例如：DS30000A 是 DS30000 的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 <http://www.microchip.com>
- 当地 Microchip 销售办事处（见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本（包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 www.microchip.com 上注册。

PIC16F631/677/685/687/689/690

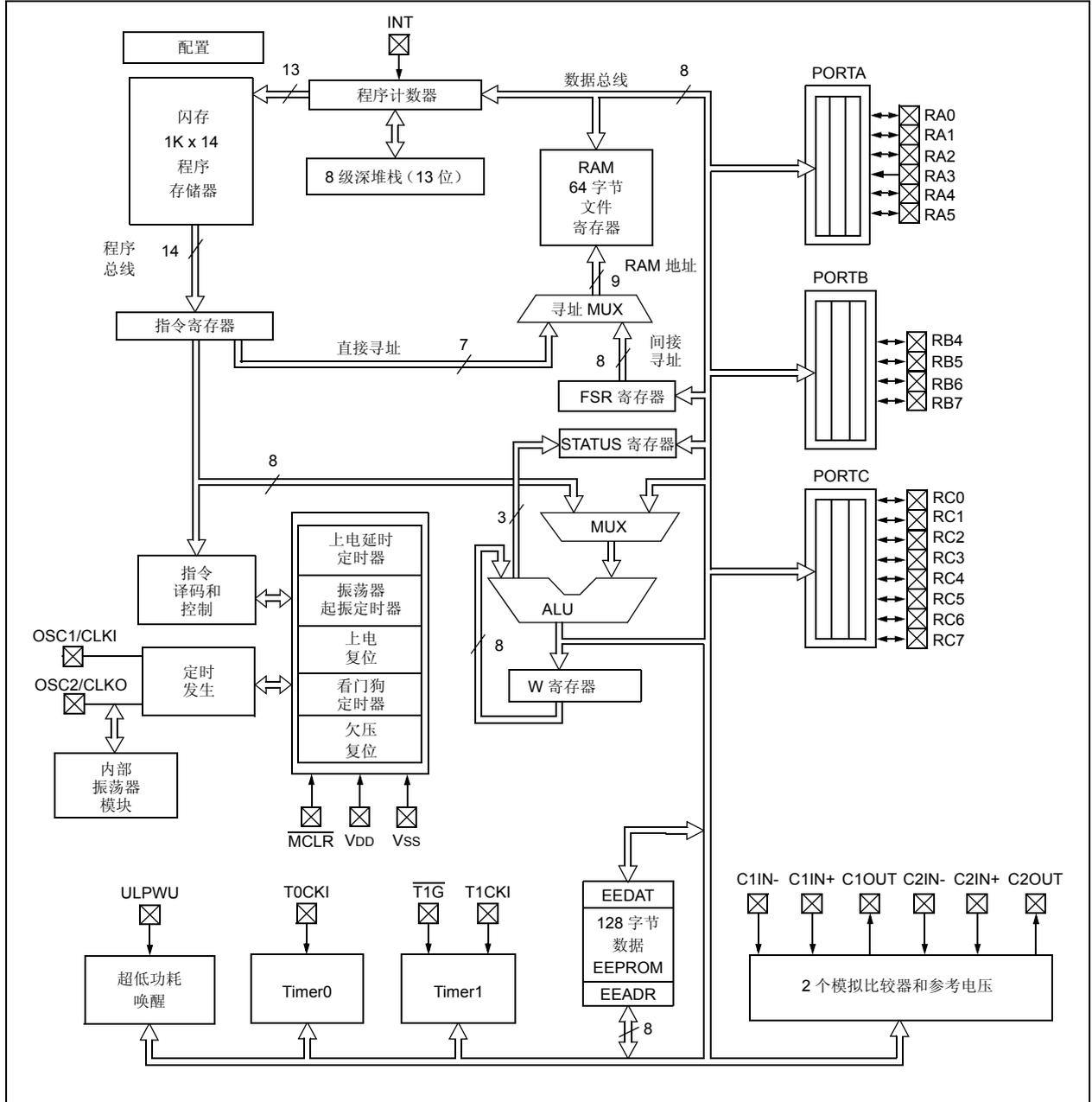
1.0 器件概述

本数据手册涵盖 PIC16F631/677/685/687/689/690 器件。这些器件采用 20 引脚 PDIP、SOIC、TSSOP 和 QFN 封装。

这些器件的框图和引脚排列说明如下所示：

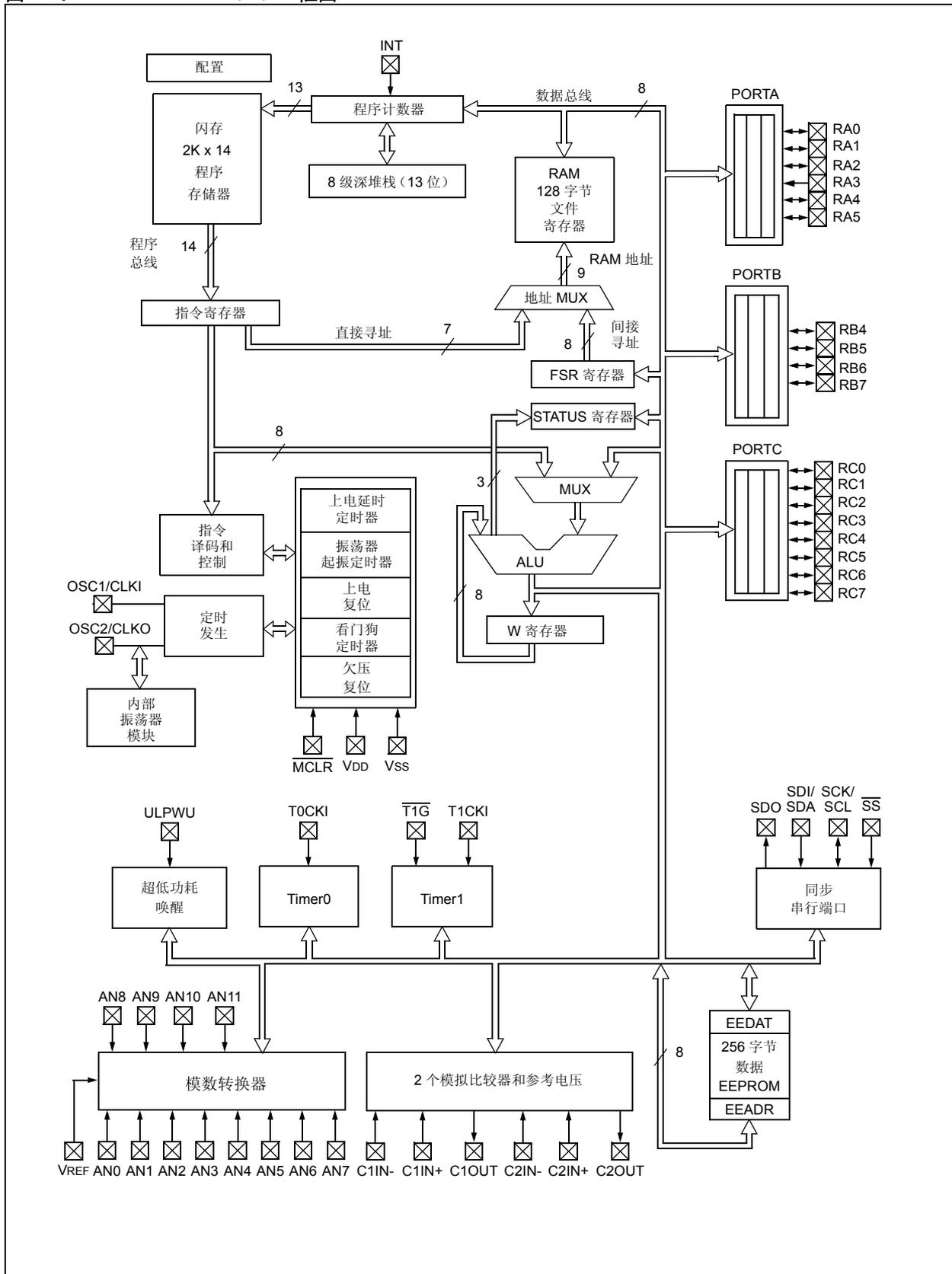
- PIC16F631 (图 1-1, 表 1-1)
- PIC16F677 (图 1-2, 表 1-2)
- PIC16F685 (图 1-3, 表 1-3)
- PIC16F687/PIC16F689 (图 1-4, 表 1-4)
- PIC16F690 (图 1-5, 表 1-5)

图 1-1: PIC16F631 框图



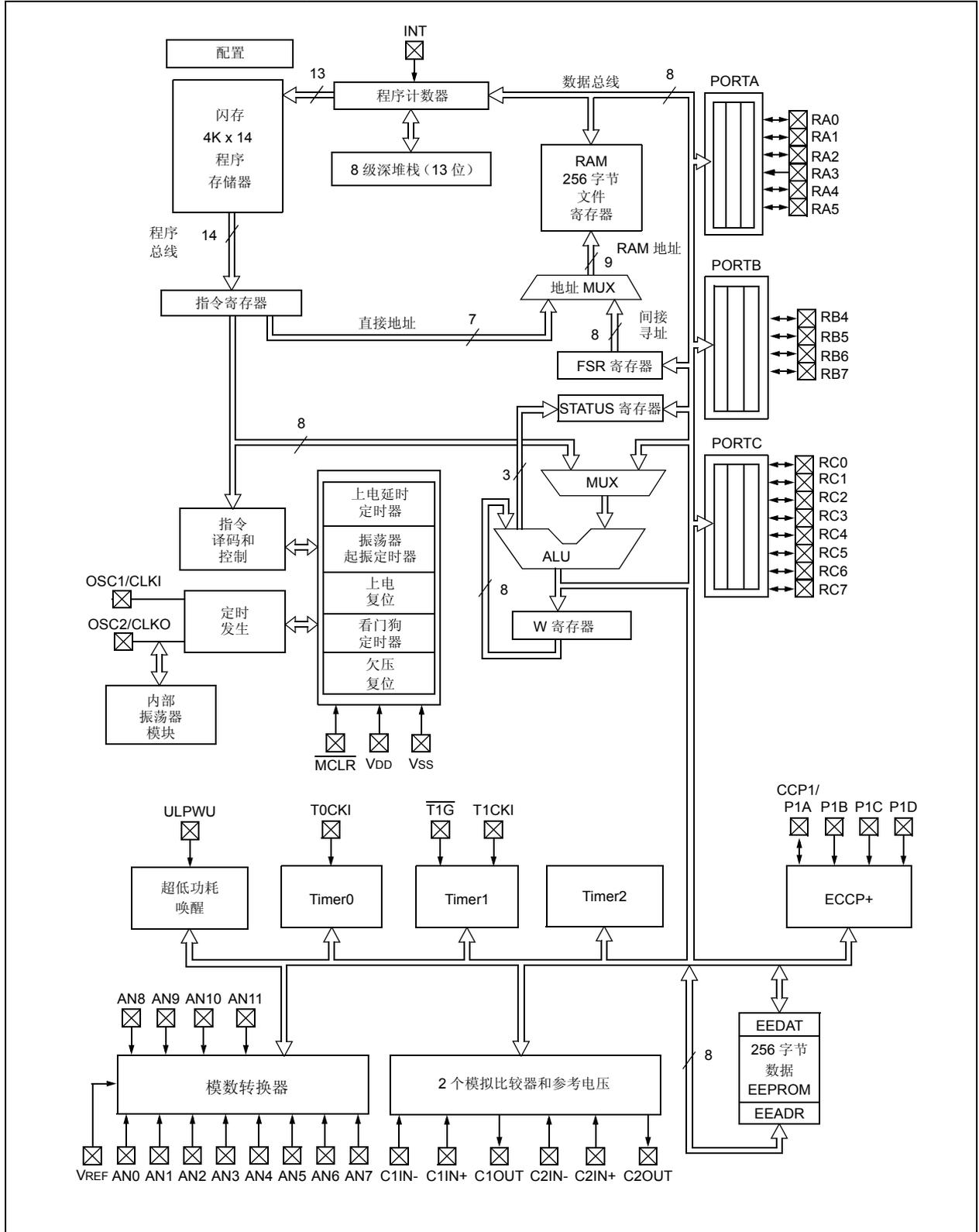
PIC16F631/677/685/687/689/690

图 1-2: PIC16F677 框图



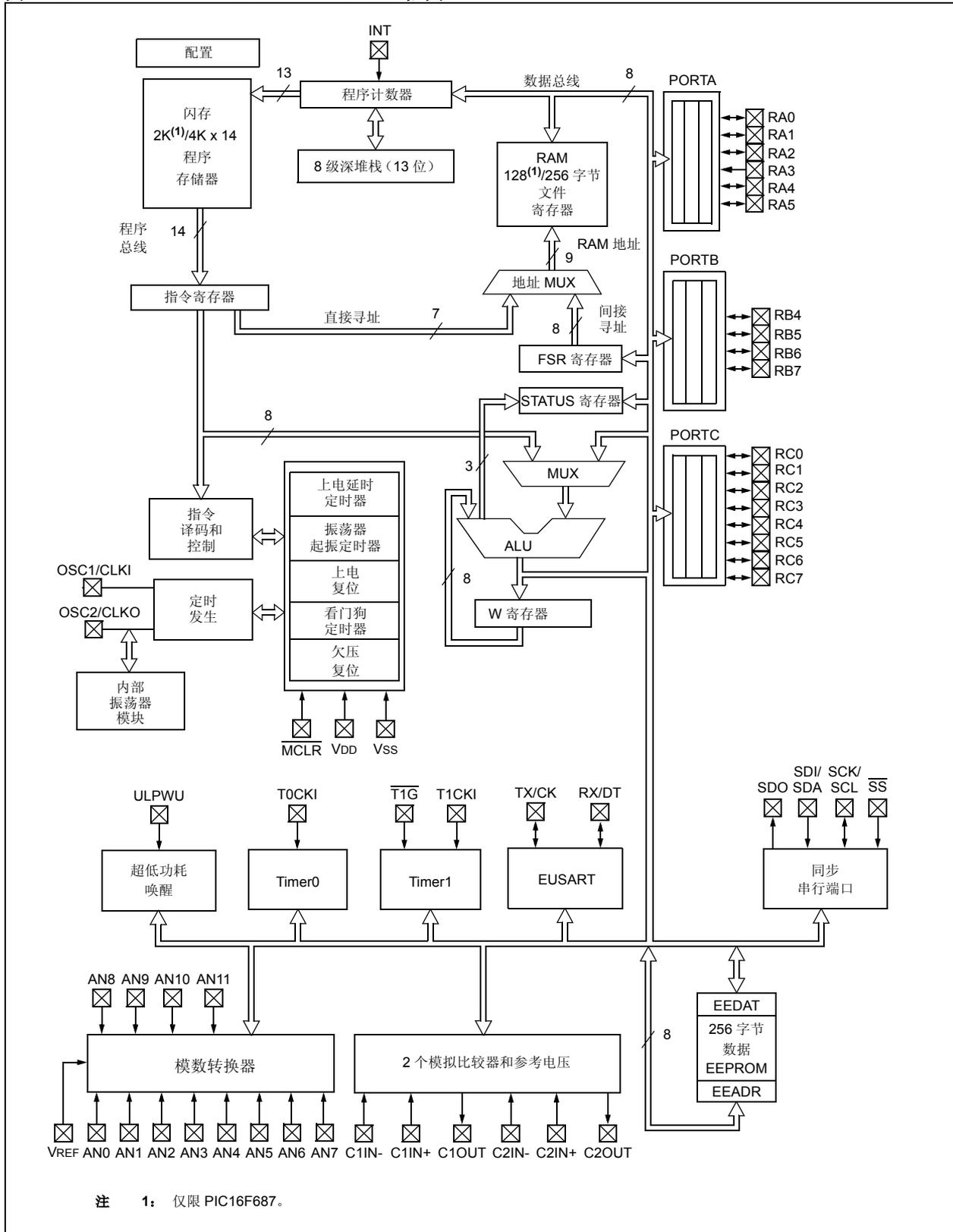
PIC16F631/677/685/687/689/690

图 1-3: PIC16F685 框图



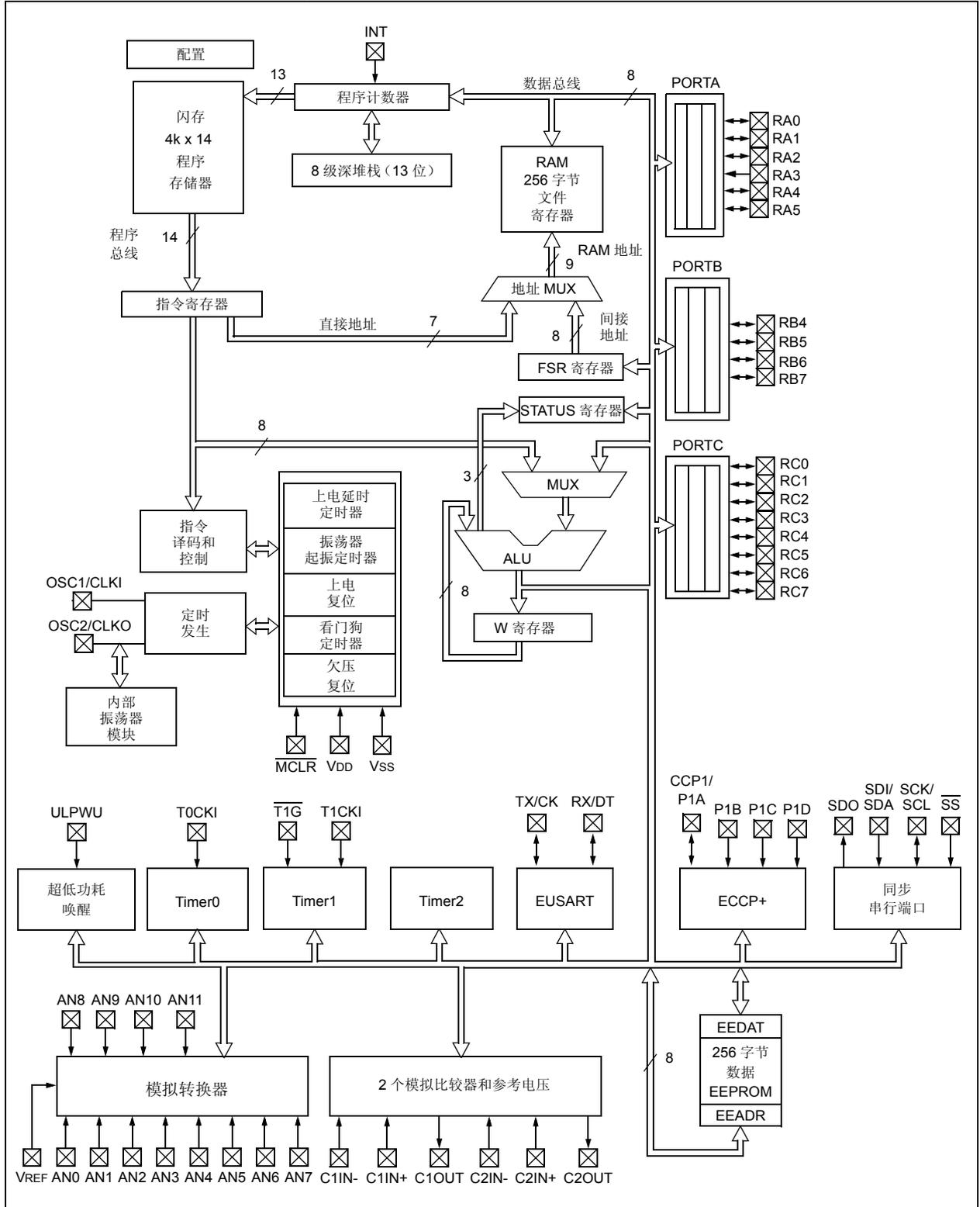
PIC16F631/677/685/687/689/690

图 1-4: PIC16F687/PIC16F689 框图



PIC16F631/677/685/687/689/690

图 1-5: PIC16F690 框图



PIC16F631/677/685/687/689/690

表 1-1: 引脚说明——PIC16F631

名称	功能	输入类型	输出类型	说明
RA0/C1IN+/ICSPDAT/ULPWU	RA0	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	C1IN+	AN	—	比较器 C1 的同相输入。
	ICSPDAT	ST	CMOS	ICSP™ 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/C12IN0-/ICSPCLK	RA1	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	C12IN0-	AN	—	比较器 C1 或 C2 的同相输入。
	ICSPCLK	ST	—	ICSP™ 时钟。
RA2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	T0CKI	ST	—	Timer0 时钟输入。
	INT	ST	—	外部中断引脚。
	C1OUT	—	CMOS	比较器 C1 的输出。
RA3/MCLR/VPP	RA3	TTL	—	通用 I/O。可单独控制电平变化中断。
	MCLR	ST	—	带内部上拉的主复位。
	VPP	HV	—	编程电压。
RA4/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶体 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	T1CKI	ST	—	Timer1 时钟输入。
	OSC1	XTAL	—	晶体 / 谐振器。
	CLKIN	ST	—	外部时钟输入 /RC 振荡器连接晶体 / 谐振器。
RB4	RB4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
RB5	RB5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
RB6	RB6	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
RB7	RB7	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
RC0/C2IN+	RC0	ST	CMOS	通用 I/O。
	C2IN+	AN	—	比较器 C2 同相输入。
RC1/C12IN1-	RC1	ST	CMOS	通用 I/O。
	C12IN1-	AN	—	比较器 C1 或 C2 反相输入。
RC2/C12IN2-	RC2	ST	CMOS	通用 I/O。
	C12IN2-	AN	—	比较器 C1 或 C2 反相输入。
RC3/C12IN3-	RC3	ST	CMOS	通用 I/O。
	C12IN3-	AN	—	比较器 C1 或 C2 反相输入。
RC4/C2OUT	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 C2 输出。
RC5	RC5	ST	CMOS	通用 I/O。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压
CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-1: 引脚说明——PIC16F631 (续)

名称	功能	输入类型	输出类型	说明
RC6	RC6	ST	CMOS	通用 I/O。
RC7	RC7	ST	CMOS	通用 I/O。
VSS	VSS	电源	—	接地参考。
VDD	VDD	电源	—	正电源。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压
CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-2: 引脚说明——PIC16F677

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ ULPWU	RA0	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN0	AN	—	A/D 通道 0 输入。
	C1IN+	AN	—	比较器 C1 同相输入。
	ICSPDAT	ST	CMOS	ICSP™ 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/AN1/C12IN0-/VREF/ ICSPCLK	RA1	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN1	AN	—	A/D 通道 1 输入。
	C12IN0-	AN	—	比较器 C1 或 C2 反相输入。
	VREF	AN	—	A/D 的外部参考电压。
	ICSPCLK	ST	—	ICSP™ 时钟。
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN2	AN	—	A/D 通道 2 输入。
	T0CKI	ST	—	Timer0 时钟输入。
	INT	ST	—	外部中断引脚。
	C1OUT	—	CMOS	比较器 C1 输出。
RA3/MCLR/VPP	RA3	TTL	—	通用 I/O。可单独控制电平变化中断。
	MCLR	ST	—	带内部上拉的主复位。
	VPP	HV	—	编程电压。
RA4/AN3/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN3	AN	—	A/D 通道 3 输入。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶体 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	T1CKI	ST	—	Timer1 时钟输入。
	OSC1	XTAL	—	晶体 / 谐振器。
	CLKIN	ST	—	外部时钟输入 /RC 振荡器连接。
RB4/AN10/SDI/SDA	RB4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN10	AN	—	A/D 通道 10 输入。
	SDI	ST	—	SPI 数据输入。
	SDA	ST	OD	I ² C™ 数据输入 / 输出。
RB5/AN11	RB5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN11	AN	—	A/D 通道 11 输入。
RB6/SCK/SCL	RB6	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	SCK	ST	CMOS	SPI 时钟。
	SCL	ST	OD	I ² C™ 时钟。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压

CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-2: 引脚说明——PIC16F677 (续)

名称	功能	输入类型	输出类型	说明
RB7	RB7	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
RC0/AN4/C2IN+	RC0	ST	CMOS	通用 I/O。
	AN4	AN	—	A/D 通道 4 输入。
	C2IN+	AN	—	比较器 C2 同相输入。
RC1/AN5/C12IN1-	RC1	ST	CMOS	通用 I/O。
	AN5	AN	—	A/D 通道 5 输入。
	C12IN1-	AN	—	比较器 C1 或 C2 反相输入。
RC2/AN6/C12IN2-	RC2	ST	CMOS	通用 I/O。
	AN6	AN	—	A/D 通道 6 输入。
	C12IN2-	AN	—	比较器 C1 或 C2 反相输入。
RC3/AN7/C12IN3-	RC3	ST	CMOS	通用 I/O。
	AN7	AN	—	A/D 通道 7 输入。
	C12IN3-	AN	—	比较器 C1 或 C2 反相输入。
RC4/C2OUT	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 C2 输出。
RC5	RC5	ST	CMOS	通用 I/O。
RC6/AN8/SS	RC6	ST	CMOS	通用 I/O。
	AN8	AN	—	A/D 通道 8 输入。
	SS	ST	—	从动选择输入。
RC7/AN9/SDO	RC7	ST	CMOS	通用 I/O。
	AN9	AN	—	A/D 通道 9 输入。
	SDO	—	CMOS	SPI 数据输出。
Vss	Vss	电源	—	接地参考。
VDD	VDD	电源	—	正电源。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压
CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-3: 引脚说明——PIC16F685

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ ULPWU	RA0	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN0	AN	—	A/D 通道 0 输入。
	C1IN+	AN	—	比较器 C1 的正极输入。
	ICSPDAT	TTL	CMOS	ICSP™ 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/AN1/C12IN0-/VREF/ICSPCLK	RA1	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN1	AN	—	A/D 通道 1 输入。
	C12IN0-	AN	—	比较器 C1 或 C2 的负极输入。
	VREF	AN	—	A/D 的外部参考电压。
	ICSPCLK	ST	—	ICSP 蔽印 £
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN2	AN	—	A/D 通道 2 输入。
	T0CKI	ST	—	Timer0 时钟输入。
	INT	ST	—	外部中断引脚。
	C1OUT	—	CMOS	比较器 C1 输出。
RA3/MCLR/VPP	RA3	TTL	—	通用 I/O。可单独控制电平变化中断。
	MCLR	ST	—	带内部上拉的主复位。
	VPP	HV	—	编程电压。
RA4/AN3/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN3	AN	—	A/D 通道 3 输入。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶体 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	T1CKI	ST	—	Timer1 时钟输入。
	OSC1	XTAL	—	晶体 / 谐振器。
	CLKIN	ST	—	外部时钟输入 /RC 振荡器连接。
RB4/AN10	RB4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN10	AN	—	A/D 通道 10 输入。
RB5/AN11	RB5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN11	AN	—	A/D 通道 11 输入。
RB6	RB6	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
RB7	RB7	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
RC0/AN4/C2IN+	RC0	ST	CMOS	通用 I/O。
	AN4	AN	—	A/D 通道 4 输入。
	C2IN+	AN	—	比较器 C2 正输入。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压

CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-3: 引脚说明——PIC16F685 (续)

名称	功能	输入类型	输出类型	说明
RC1/AN5/C12IN1-	RC1	ST	CMOS	通用 I/O。
	AN5	AN	—	A/D 通道 5 输入。
	C12IN1-	AN	—	比较器 C1 或 C2 的负极输入。
RC2/AN6/C12IN2-/P1D	RC2	ST	CMOS	通用 I/O。
	AN6	AN	—	A/D 通道 6 输入。
	C12IN2-	AN	—	比较器 C1 的 C2 负极输入。
	P1D	—	CMOS	PWM 输出。
RC3/AN7/C12IN3-/P1C	RC3	ST	CMOS	通用 I/O。
	AN7	AN	—	A/D 通道 7 输入。
	C12IN3-	AN	—	比较器 C1 或 C2 的负极输入。
	P1C	—	CMOS	PWM 输出。
RC4/C2OUT/P1B	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 C2 输出。
	P1B	—	CMOS	PWM 输出。
RC5/CCP1/P1A	RC5	ST	CMOS	通用 I/O。
	CCP1	ST	CMOS	捕捉 / 比较输入。
	P1A	ST	CMOS	PWM 输出。
RC6/AN8	RC6	ST	CMOS	通用 I/O。
	AN8	AN	—	A/D 通道 8 输入。
RC7/AN9	RC7	ST	CMOS	通用 I/O。
	AN9	AN	—	A/D 通道 9 输入。
VSS	VSS	电源	—	接地参考。
VDD	VDD	电源	—	正电源。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压

CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-4: 引脚说明——PIC16F687/PIC16F689

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ ULPWU	RA0	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN0	AN	—	A/D 通道 0 输入。
	C1IN+	AN	—	比较器 C1 的正极输入。
	ICSPDAT	TTL	CMOS	ICSP™ 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/AN1/C12IN0-/VREF/ICSPCLK	RA1	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN1	AN	—	A/D 通道 1 输入。
	C12IN0-	AN	—	比较器 C1 或 C2 的负极输入。
	VREF	AN	—	A/D 的外部参考电压。
	ICSPCLK	ST	—	ICSP™ 时钟。
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN2	AN	—	A/D 通道 2 输入。
	T0CKI	ST	—	Timer0 时钟输入。
	INT	ST	—	外部中断。
	C1OUT	—	CMOS	比较器 C1 输出。
RA3/MCLR/VPP	RA3	TTL	—	通用 I/O。可单独控制电平变化中断。
	MCLR	ST	—	带内部上拉的主复位。
	VPP	HV	—	编程电压。
RA4/AN3/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN3	AN	—	A/D 通道 3 输入。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶体 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	T1CKI	ST	—	Timer1 时钟输入。
	OSC1	XTAL	—	晶体 / 谐振器。
	CLKIN	ST	—	外部时钟输入 / RC 振荡器连接。
RB4/AN10/SDI/SDA	RB4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN10	AN	—	A/D 通道 10 输入。
	SDI	ST	—	SPI 数据输入。
	SDA	ST	OD	I ² C™ 数据输入 / 输出。
RB5/AN11/RX/DT	RB5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN11	AN	—	A/D 通道 11 输入。
	RX	ST	—	EUSART 异步输入。
	DT	ST	CMOS	EUSART 同步数据。
RB6/SCK/SCL	RB6	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	SCK	ST	CMOS	SPI 时钟。
	SCL	ST	OD	I ² C™ 时钟。
RB7/TX/CK	RB7	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	TX	—	CMOS	EUSART 异步输出。
	CK	ST	CMOS	EUSART 同步时钟。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压

CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-4: 引脚说明——PIC16F687/PIC16F689 (续)

名称	功能	输入类型	输出类型	说明
RC0/AN4/C2IN+	RC0	ST	CMOS	通用 I/O。
	AN4	AN	—	A/D 通道 4 输入。
	C2IN+	AN	—	比较器 C2 正极输入。
RC1/AN5/C12IN1-	RC1	ST	CMOS	通用 I/O。
	AN5	AN	—	A/D 通道 5 输入。
	C12IN1-	AN	—	比较器 C1 或 C2 的负极输入。
RC2/AN6/C12IN2-	RC2	ST	CMOS	通用 I/O。
	AN6	AN	—	A/D 通道 6 输入。
	C12IN2-	AN	—	比较器 C1 或 C2 的负极输入。
RC3/AN7/C12IN3-	RC3	ST	CMOS	通用 I/O。
	AN7	AN	—	A/D 通道 7 输入。
	C12IN3-	AN	—	比较器 C1 或 C2 的负极输入。
RC4/C2OUT	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 C2 输出。
RC5	RC5	ST	CMOS	通用 I/O。
RC6/AN8/SS	RC6	ST	CMOS	通用 I/O。
	AN8	AN	—	A/D 通道 8 输入。
	SS	ST	—	从动选择输入。
RC7/AN9/SDO	RC7	ST	CMOS	通用 I/O。
	AN9	AN	—	A/D 通道 9 输入。
	SDO	—	CMOS	SPI 数据输出。
VSS	VSS	电源	—	接地参考。
VDD	VDD	电源	—	正电源。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压

CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-5: 引脚说明——PIC16F690

名称	功能	输入类型	输出类型	说明
RA0/AN0/C1IN+/ICSPDAT/ ULPWU	RA0	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN0	AN	—	A/D 通道 0 输入。
	C1IN+	AN	—	比较器 C1 正极输入。
	ICSPDAT	TTL	CMOS	ICSP™ 数据 I/O。
	ULPWU	AN	—	超低功耗唤醒输入。
RA1/AN1/C12IN0-/VREF/ICSPCLK	RA1	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN1	AN	—	A/D 通道 1 输入。
	C12IN0-	AN	—	比较器 C1 或 C2 的负极输入。
	VREF	AN	—	A/D 的外部参考电压。
	ICSPCLK	ST	—	ICSP™ 时钟。
RA2/AN2/T0CKI/INT/C1OUT	RA2	ST	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN2	AN	—	A/D 通道 2 输入。
	T0CKI	ST	—	Timer0 时钟输入。
	INT	ST	—	外部中断。
	C1OUT	—	CMOS	比较器 C1 输出。
RA3/MCLR/VPP	RA3	TTL	—	通用 I/O。可单独控制电平变化中断。
	MCLR	ST	—	带内部上拉的主复位。
	VPP	HV	—	编程电压。
RA4/AN3/T1G/OSC2/CLKOUT	RA4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN3	AN	—	A/D 通道 3 输入。
	T1G	ST	—	Timer1 门控输入。
	OSC2	—	XTAL	晶体 / 谐振器。
	CLKOUT	—	CMOS	Fosc/4 输出。
RA5/T1CKI/OSC1/CLKIN	RA5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	T1CKI	ST	—	Timer1 时钟输入。
	OSC1	XTAL	—	晶体 / 谐振器。
	CLKIN	ST	—	外部时钟输入 / RC 振荡器连接。
RB4/AN10/SDI/SDA	RB4	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN10	AN	—	A/D 通道 10 输入。
	SDI	ST	—	SPI 数据输入。
	SDA	ST	OD	I ² C™ 数据输入 / 输出。
RB5/AN11/RX/DT	RB5	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	AN11	AN	—	A/D 通道 11 输入。
	RX	ST	—	EUSART 异步输入。
	DT	ST	CMOS	EUSART 同步数据。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压

CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

表 1-5: 引脚说明——PIC16F690 (续)

名称	功能	输入类型	输出类型	说明
RB6/SCK/SCL	RB6	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	SCK	ST	CMOS	SPI 时钟。
	SCL	ST	OD	I ² C™ 时钟。
RB7/TX/CK	RB7	TTL	CMOS	通用 I/O。可单独控制电平变化中断。可单独使能上拉。
	TX	—	CMOS	EUSART 异步输出。
	CK	ST	CMOS	EUSART 同步时钟。
RC0/AN4/C2IN+	RC0	ST	CMOS	通用 I/O。
	AN4	AN	—	A/D 通道 4 输入。
	C2IN+	AN	—	比较器 C2 正极输入。
RC1/AN5/C12IN1-	RC1	ST	CMOS	通用 I/O。
	AN5	AN	—	A/D 通道 5 输入。
	C12IN1-	AN	—	比较器 C1 或 C2 的负极输入。
RC2/AN6/C12IN2-/P1D	RC2	ST	CMOS	通用 I/O。
	AN6	AN	—	A/D 通道 6 输入。
	C12IN2-	AN	—	比较器 C1 或 C2 的负极输入。
	P1D	—	CMOS	PWM 输出。
RC3/AN7/C12IN3-/P1C	RC3	ST	CMOS	通用 I/O。
	AN7	AN	—	A/D 通道 7 输入。
	C12IN3-	AN	—	比较器 C1 或 C2 的负极输入。
	P1C	—	CMOS	PWM 输出。
RC4/C2OUT/P1B	RC4	ST	CMOS	通用 I/O。
	C2OUT	—	CMOS	比较器 C2 输出。
	P1B	—	CMOS	PWM 输出。
RC5/CCP1/P1A	RC5	ST	CMOS	通用 I/O。
	CCP1	ST	CMOS	捕捉 / 比较输入。
	P1A	ST	CMOS	PWM 输出。
RC6/AN8/SS	RC6	ST	CMOS	通用 I/O。
	AN8	AN	—	A/D 通道 8 输入。
	SS	ST	—	从动选择输入。
RC7/AN9/SDO	RC7	ST	CMOS	通用 I/O。
	AN9	AN	—	A/D 通道 9 输入。
	SDO	—	CMOS	SPI 数据输出。
VSS	VSS	电源	—	接地参考
VDD	VDD	电源	—	正电源。

图注: AN = 模拟输入或输出
TTL = TTL 兼容输入
HV = 高电压

CMOS=CMOS 兼容输入或输出
ST= 带 CMOS 电平的施密特触发器输入
XTAL= 晶体

PIC16F631/677/685/687/689/690

注:

PIC16F631/677/685/687/689/690

2.0 存储器构成

2.1 程序存储器构成

PIC16F631/677/685/687/689/690 器件具有一个 13 位程序计数器，能够寻址 8K x 14 的程序存储空间。只有 PIC16F631 的第一个 1K x 14 (0000h-03FFh)、PIC16F677/PIC16F687 的第一个 2K x 14 (0000h-07FFh) 和 PIC16F685/PIC16F689/PIC16F690 的第一个 4K x 14 (0000h-0FFFh) 是物理实现的。访问超出上述界限的存储单元，将回到原来空间。复位向量位于 0000h，而中断向量位于 0004h (见图 2-1 至 2-3)。

图 2-1: PIC16F631 的程序存储器映射和堆栈

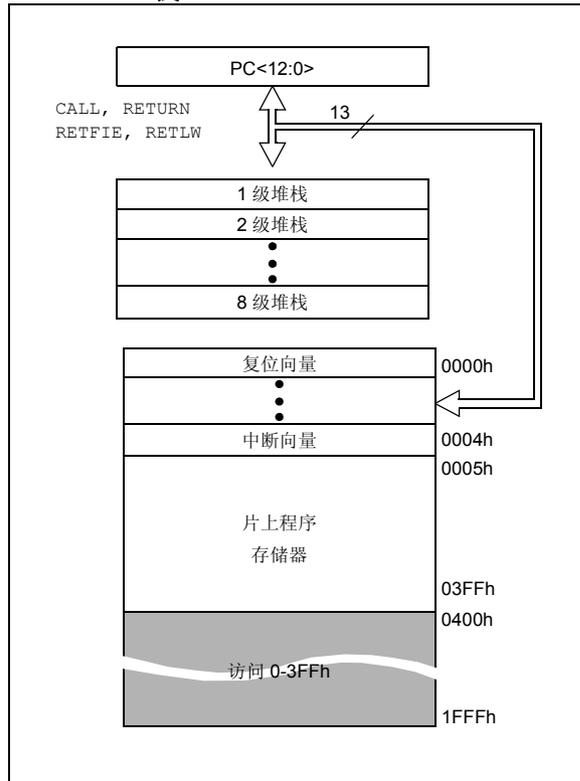
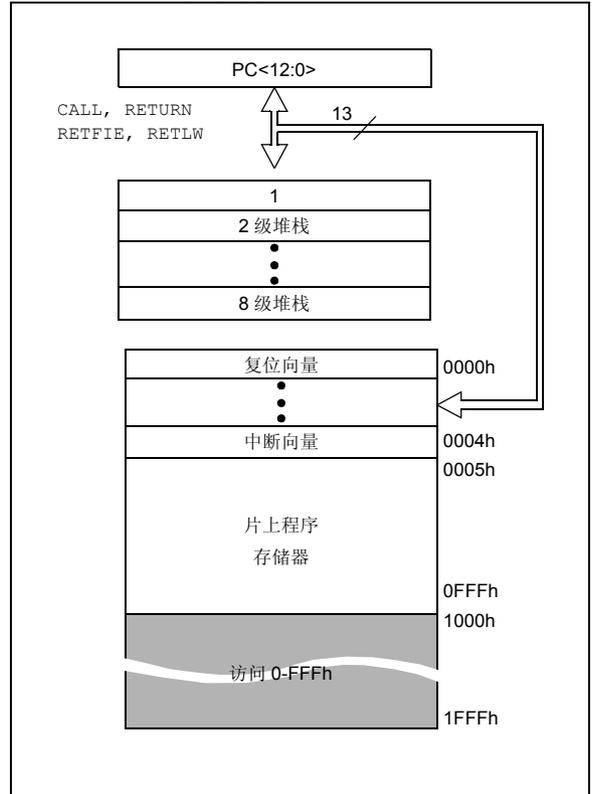
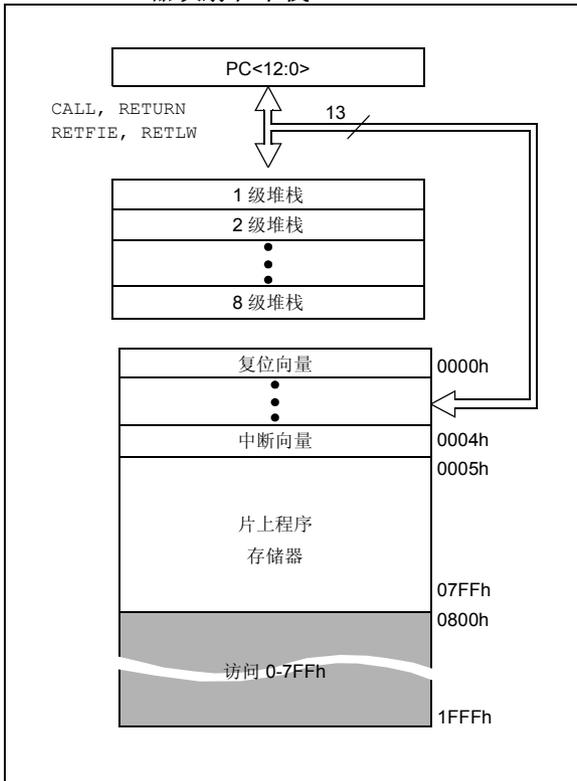


图 2-2: PIC16F685/689/690 的程序存储器映射和堆栈



PIC16F631/677/685/687/689/690

图 2-3: PIC16F677/PIC16F687 的程序存储器映射和堆栈



2.2 数据存储器构成

数据存储器（见图2-6至2-8）分为四个存储区（Bank），这四个存储区中包含通用寄存器（General Purpose Register, GPR）和特殊功能寄存器（Special Function Register, SFR）。特殊功能寄存器位于每个存储区的前32个单元中。以静态RAM的形式实现的通用寄存器位于每个存储区的前96个单元中。Bank 1中的寄存器单元F0h-FFh、Bank 2中的170h-17Fh和Bank 3中的1F0h-1FFh指向Bank 0中的地址70h-7Fh。每个存储区中通用寄存器（GPR）的数量取决于具体器件。详细信息请参见图2-4至2-8。所有其他RAM均未使用，读取时返回0。STATUS存储器的RP<1:0>是存储区选择位：

RP1	RP0	
0	0	→ 选择 Bank 0
0	1	→ 选择 Bank 1
1	0	→ 选择 Bank 2
1	1	→ 选择 Bank 3

2.2.1 通用寄存器文件

PIC16F687的寄存器文件组织为128 x 8，而PIC16F685/PIC16F689/PIC16F690的寄存器文件则组织为256 x 8。通过文件选择寄存器（File Select Register, FSR），可以直接或间接地访问每个寄存器（见第2.4节“间接寻址、INDF和FSR寄存器”）。

2.2.2 特殊功能寄存器

特殊功能寄存器为CPU和外设模块用来对器件进行所需操作控制的寄存器（见表2-1至2-4）。这些寄存器均为静态RAM。

特殊功能寄存器可分为两类，即：内核和外设。本节将介绍与“内核”相关的特殊功能寄存器。与外设模块相关的特殊功能寄存器将在相应的外设模块功能章节中介绍。

PIC16F631/677/685/687/689/690

图 2-4: PIC16F631 特殊功能寄存器

文件寄存器		文件寄存器		文件寄存器		文件寄存器	
间接寻址 (1)	地址	间接寻址 (1)	地址	间接寻址 (1)	地址	间接寻址 (1)	地址
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	PORTA	105h	TRISA	185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h	PORTC	107h	TRISC	187h
	08h		88h		108h		188h
	09h		89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDAT	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2 ⁽¹⁾	18Dh
TMR1L	0Eh	PCON	8Eh		10Eh		18Eh
TMR1H	0Fh	OSCCON	8Fh		10Fh		18Fh
T1CON	10h	OSCTUNE	90h		110h		190h
	11h		91h		111h		191h
	12h		92h		112h		192h
	13h		93h		113h		193h
	14h		94h		114h		194h
	15h	WPUA	95h	WPUB	115h		195h
	16h	IOCA	96h	IOCB	116h		196h
	17h	WDTCON	97h		117h		197h
	18h		98h	VRCON	118h		198h
	19h		99h	CM1CON0	119h		199h
	1Ah		9Ah	CM2CON0	11Ah		19Ah
	1Bh		9Bh	CM2CON1	11Bh		19Bh
	1Ch		9Ch		11Ch		19Ch
	1Dh		9Dh		11Dh		19Dh
	1Eh		9Eh	ANSEL	11Eh	SRCON	19Eh
	1Fh		9Fh		11Fh		19Fh
	20h		A0h		120h		1A0h
	3Fh						
通用寄存器	40h						
64 字节	6Fh		EFh		16Fh		1EFh
	70h	访问 70h-7Fh	F0h	访问 70h-7Fh	170h	访问 70h-7Fh	1F0h
	7Fh		FFh		17Fh		1FFh

Bank 0 Bank 1 Bank 2 Bank 3

■ 未实现数据存储单元，读为 0。

注 1: 非物理寄存器。

PIC16F631/677/685/687/689/690

图 2-5: PIC16F677 特殊功能寄存器

文件地址	文件地址	文件地址	文件地址
间接寻址 ⁽¹⁾ 00h	间接寻址 ⁽¹⁾ 80h	间接寻址 ⁽¹⁾ 100h	间接寻址 ⁽¹⁾ 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h	PORTA 105h	TRISA 185h
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h	PORTC 107h	TRISC 187h
08h	88h	108h	188h
09h	89h	109h	189h
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDAT 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2 ⁽¹⁾ 18Dh
TMR1L 0Eh	PCON 8Eh	10Eh	18Eh
TMR1H 0Fh	OSCCON 8Fh	10Fh	18Fh
T1CON 10h	OSCTUNE 90h	110h	190h
11h	91h	111h	191h
12h	92h	112h	192h
SSPBUF 13h	SSPADD ⁽²⁾ 93h	113h	193h
SSPCON 14h	SSPSTAT 94h	114h	194h
15h	WPUA 95h	WPUB 115h	195h
16h	IOCA 96h	IOCB 116h	196h
17h	WDTCON 97h	117h	197h
18h	98h	VRCON 118h	198h
19h	99h	CM1CON0 119h	199h
1Ah	9Ah	CM2CON0 11Ah	19Ah
1Bh	9Bh	CM2CON1 11Bh	19Bh
1Ch	9Ch	11Ch	19Ch
1Dh	9Dh	11Dh	19Dh
ADRESH 1Eh	ADRESL 9Eh	ANSEL 11Eh	SRCON 19Eh
ADCON0 1Fh	ADCON1 9Fh	ANSELH 11Fh	19Fh
20h	通用寄存器 A0h	120h	1A0h
通用寄存器 96 字节	32 字节	16Fh	1EFh
7Fh	访问 70h-7Fh	访问 70h-7Fh	访问 70h-7Fh
Bank 0	Bank 1	Bank 2	Bank 3

■ 未实现数据存储器单元，读为 0。

注 1: 非物理寄存器。
 2: 在某些情况下，地址 93h 还访问 SSP 屏蔽 (SSPMSK) 寄存器。详情请参见寄存器 13-2 和 13-3。

PIC16F631/677/685/687/689/690

图 2-6: PIC16F685 特殊功能寄存器

文件地址	文件地址	文件地址	文件地址
间接寻址 (1) 00h	间接寻址 (1) 80h	间接寻址 (1) 100h	间接寻址 (1) 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h	PORTA 105h	TRISA 185h
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h	PORTC 107h	TRISC 187h
08h	88h	108h	188h
09h	89h	109h	189h
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDAT 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2(1) 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH 10Eh	18Eh
TMR1H 0Fh	OSCCON 8Fh	EEADRH 10Fh	18Fh
T1CON 10h	OSCTUNE 90h	110h	190h
TMR2 11h	91h	111h	191h
T2CON 12h	PR2 92h	112h	192h
13h	93h	113h	193h
14h	94h	114h	194h
CCPR1L 15h	WPUA 95h	WPUB 115h	195h
CCPR1H 16h	IOCA 96h	IOCB 116h	196h
CCP1CON 17h	WDTCON 97h	117h	197h
18h	98h	VRCON 118h	198h
19h	99h	CM1CON0 119h	199h
1Ah	9Ah	CM2CON0 11Ah	19Ah
1Bh	9Bh	CM2CON1 11Bh	19Bh
PWM1CON 1Ch	9Ch	11Ch	19Ch
ECCPAS 1Dh	9Dh	11Dh	PSTRCON 19Dh
ADRESH 1Eh	ADRESL 9Eh	ANSEL 11Eh	SRCON 19Eh
ADCON0 1Fh	ADCON1 9Fh	ANSELH 11Fh	19Fh
20h	A0h	120h	1A0h
通用寄存器 96 字节	通用寄存器 80 字节	通用寄存器 80 字节	
16Fh	EFh	16Fh	
170h	F0h	170h	访问 1F0h
17Fh	FFh	17Fh	访问 1FFh
Bank 0	Bank 1	Bank 2	Bank 3

■ 未实现数据存储单元，读为 0。

注 1: 非物理寄存器。

PIC16F631/677/685/687/689/690

图 2-7: PIC16F687/PIC16F689 特殊功能寄存器

文件地址	文件地址	文件地址	文件地址
间接寻址 ⁽¹⁾ 00h	间接寻址 ⁽¹⁾ 80h	间接寻址 ⁽¹⁾ 100h	间接寻址 ⁽¹⁾ 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h	PORTA 105h	TRISA 185h
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h	PORTC 107h	TRISC 187h
08h	88h	108h	188h
09h	89h	109h	189h
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDAT 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2 ⁽¹⁾ 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH ⁽³⁾ 10Eh	18Eh
TMR1H 0Fh	OSCCON 8Fh	EEADRH ⁽³⁾ 10Fh	18Fh
T1CON 10h	OSCTUNE 90h	110h	190h
11h	91h	111h	191h
12h	92h	112h	192h
SSPBUF 13h	SSPADD ⁽²⁾ 93h	113h	193h
SSPCON 14h	SSPSTAT 94h	114h	194h
15h	WPUA 95h	WPUB 115h	195h
16h	IOCA 96h	IOCB 116h	196h
17h	WDTCON 97h	117h	197h
RCSTA 18h	TXSTA 98h	VRCON 118h	198h
TXREG 19h	SPBRG 99h	CM1CON0 119h	199h
RCREG 1Ah	SPBRGH 9Ah	CM2CON0 11Ah	19Ah
1Bh	BAUDCTL 9Bh	CM2CON1 11Bh	19Bh
1Ch	9Ch	11Ch	19Ch
1Dh	9Dh	11Dh	19Dh
ADRESH 1Eh	ADRESL 9Eh	ANSEL 11Eh	SRCON 19Eh
ADCON0 1Fh	ADCON1 9Fh	ANSELH 11Fh	19Fh
20h	A0h	120h	1A0h
通用寄存器 96 字节	通用寄存器 32 字节	通用寄存器 80 字节 (仅限 PIC16F689)	
	48 字节 (仅限 PIC16F689)		
	访问 70h-7Fh	访问 70h-7Fh	访问 70h-7Fh
Bank 0	Bank 1	Bank 2	Bank 3

■ 未实现数据存储单元，读为 0。

注 1: 非物理寄存器。

2: 在某些情况下，地址 93h 还访问 SSP 屏蔽 (SSPMSK) 寄存器。详情请参见寄存器 13-2 和 13-3。

3: 仅限 PIC16F689。

PIC16F631/677/685/687/689/690

图 2-8: PIC16F690 特殊功能寄存器

文件地址	文件地址	文件地址	文件地址
间接寻址 (1) 00h	间接寻址 (1) 80h	间接寻址 (1) 100h	间接寻址 (1) 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h	PORTA 105h	TRISA 185h
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h	PORTC 107h	TRISC 187h
08h	88h	108h	188h
09h	89h	109h	189h
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDAT 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2(1) 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH 10Eh	18Eh
TMR1H 0Fh	OSCCON 8Fh	EEADRH 10Fh	18Fh
T1CON 10h	OSCTUNE 90h	110h	190h
TMR2 11h	91h	111h	191h
T2CON 12h	PR2 92h	112h	192h
SSPBUF 13h	SSPADD(2) 93h	113h	193h
SSPCON 14h	SSPSTAT 94h	114h	194h
CCPR1L 15h	WPUA 95h	WPUB 115h	195h
CCPR1H 16h	IOCA 96h	IOCB 116h	196h
CCP1CON 17h	WDTCON 97h	117h	197h
RCSTA 18h	TXSTA 98h	VRCON 118h	198h
TXREG 19h	SPBRG 99h	CM1CON0 119h	199h
RCREG 1Ah	SPBRGH 9Ah	CM2CON0 11Ah	19Ah
1Bh	BAUDCTL 9Bh	CM2CON1 11Bh	19Bh
PWM1CON 1Ch	9Ch	11Ch	19Ch
ECCPAS 1Dh	9Dh	11Dh	PSTRCON 19Dh
ADRESH 1Eh	ADRESL 9Eh	ANSEL 11Eh	SRCON 19Eh
ADCON0 1Fh	ADCON1 9Fh	ANSELH 11Fh	19Fh
20h	A0h	120h	1A0h
通用寄存器 96 字节	通用寄存器 80 字节	通用寄存器 80 字节	
7Fh	EFh	16Fh	
Bank 0	访问 70h-7Fh	访问 70h-7Fh	访问 70h-7Fh
	F0h	170h	1F0h
	FFh	17Fh	1FFh
	Bank 1	Bank 2	Bank 3

■ 未实现数据存储单元，读为 0。

注 1: 非物理寄存器。
2: 在某些情况下，地址 93h 还访问 SSP 屏蔽 (SSPMSK) 寄存器。详情请参见寄存器 13-2 和 13-3。

PIC16F631/677/685/687/689/690

表 2-1: PIC16F631/677/685/687/689/690 特殊功能寄存器汇总, BANK 0

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 的值	页
Bank 0											
00h	INDF	寻址此单元使用 FSR 的内容寻址数据存储 (非物理寄存器)								xxxx xxxx	44,201
01h	TMR0	Timer0 模块寄存器								xxxx xxxx	81,201
02h	PCL	程序计数器 (Program Counter, PC) 的低字节								0000 0000	44,201
03h	STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	36,201
04h	FSR	间接数据寄存器地址指针								xxxx xxxx	44,201
05h	PORTA ⁽⁷⁾	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	59,201
06h	PORTB ⁽⁷⁾	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	69,201
07h	PORTC ⁽⁷⁾	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	76,201
08h	—	未实现								—	—
09h	—	未实现								—	—
0Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	44,201
0Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF ⁽¹⁾	0000 000x	38,201
0Ch	PIR1	—	ADIF ⁽⁴⁾	RCIF ⁽²⁾	TXIF ⁽²⁾	SSPIF ⁽⁵⁾	CCP1IF ⁽³⁾	TMR2IF ⁽³⁾	TMR1IF	-000 0000	41,201
0Dh	PIR2	OSFIF	C2IF	C1IF	EEIF	—	—	—	—	0000 ----	42,201
0Eh	TMR1L	16 位 TMR1 寄存器最低有效字节的保持寄存器								xxxx xxxx	86,201
0Fh	TMR1H	16 位 TMR1 寄存器最低有效字节的保持寄存器								xxxx xxxx	86,201
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	0000 0000	88,201
11h	TMR2 ⁽³⁾	Timer2 模块寄存器								0000 0000	91,201
12h	T2CON ⁽³⁾	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	92,201
13h	SSPBUF ⁽⁵⁾	同步串行端口的接收缓冲器 / 发送寄存器								xxxx xxxx	178,201
14h	SSPCON ^(5,6)	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	177,201
15h	CCPR1L ⁽³⁾	捕捉 / 比较 / PWM 寄存器 1 (LSB)								xxxx xxxx	128,201
16h	CCPR1H ⁽³⁾	捕捉 / 比较 / PWM 寄存器 1 (MSB)								xxxx xxxx	128,201
17h	CCP1CON ⁽³⁾	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	127,201
18h	RCSTA ⁽²⁾	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	159,201
19h	TXREG ⁽²⁾	EUSART 发送数据寄存器								0000 0000	151
1Ah	RCREG ⁽²⁾	EUSART 接收数据寄存器								0000 0000	154
1Bh	—	未实现								—	—
1Ch	PWM1CON ⁽³⁾	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0	0000 0000	144,201
1Dh	ECCPAS ⁽³⁾	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0	0000 0000	141,201
1Eh	ADRESH ⁽⁴⁾	A/D 结果寄存器的高字节								xxxx xxxx	115,201
1Fh	ADCON0 ⁽⁴⁾	ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	113,201

- 图注: — = 未实现单元读为 0, u = 不变, x = 未知, q = 取值视具体情况而定, 阴影 = 未实现
- 注
- 1: MCLR 和 WDT 复位不影响数据锁存器之前的值。RABIF 位在复位时将清零但若存在不匹配则会再次置 1。
 - 2: 仅限 PIC16F687/PIC16F689/PIC16F690。
 - 3: 仅限 PIC16F685/PIC16F690。
 - 4: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。
 - 5: 仅限 PIC16F677/PIC16F687/PIC16F689/PIC16F690。
 - 6: 当 SSPCON 寄存器的 SSPM<3:0> 位 = 1001 时, 任何读取 SSPADD SFR 地址的操作均通过 SSPMSK 寄存器进行。详情请参见寄存器 13-2 和 13-3。
 - 7: 由 ANSEL 和 ANSELH 寄存器控制的具有模拟功能的端口引脚将在复位后立即读为 0, 即使数据锁存器未定义 (POR) 或不变 (其他复位) 时也是如此。

PIC16F631/677/685/687/689/690

表 2-2: PIC16F631/677/685/687/689/690 特殊功能寄存器汇总, BANK 1

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 的值	页
Bank 1											
80h	INDF	寻址此单元使用 FSR 的内容寻址数据存储器 (非物理寄存器)								xxxx xxxx	44,201
81h	OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	37,201
82h	PCL	程序计数器 (PC) 的低字节								0000 0000	44,201
83h	STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	36,201
84h	FSR	间接数据寄存器地址指针								xxxx xxxx	44,201
85h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	59,201
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	70,202
87h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	76,201
88h	—	未实现								—	—
89h	—	未实现								—	—
8Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器				---	0000	44,201
8Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF ⁽¹⁾	0000 000x	38,201
8Ch	PIE1	—	ADIE ⁽⁴⁾	RCIE ⁽²⁾	TXIE ⁽²⁾	SSPIE ⁽⁵⁾	CCP1IE ⁽³⁾	TMR2IE ⁽³⁾	TMR1IE	-000 0000	39,202
8Dh	PIE2	OSFIE	C2IE	C1IE	EEIE	—	—	—	—	0000 ----	40,202
8Eh	PCON	—	—	ULPWUE	SBOREN	—	—	POR	BOR	--01 --qq	43,202
8Fh	OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 q000	48,202
90h	OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	52,202
91h	—	未实现								—	—
92h	PR2 ⁽³⁾	Timer2 周期寄存器								1111 1111	91,202
93h	SSPADD ^(5,7)	同步串行端口 (I ² C 模式) 的地址寄存器								0000 0000	184,202
93h	SSPMSK ^(5,7)	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	1111 1111	187,202
94h	SSPSTAT ⁽⁵⁾	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	176,202
95h	WPUA ⁽⁶⁾	—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0	--11 -111	62,202
96h	IOCA	—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	--00 0000	62,202
97h	WDTCON	—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN	---0 1000	209,202
98h	TXSTA ⁽²⁾	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	158,202
99h	SPBRG ⁽²⁾	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	161,202
9Ah	SPBRGH ⁽²⁾	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	161,202
9Bh	BAUDCTL ⁽²⁾	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	160,202
9Ch	—	未实现								—	—
9Dh	—	未实现								—	—
9Eh	ADRESL ⁽⁴⁾	A/D 结果寄存器的低字节								xxxx xxxx	115,202
9Fh	ADCON1 ⁽⁴⁾	—	ADCS2	ADCS1	ADCS0	—	—	—	—	-000 ----	114,202

- 图注:** — = 未实现单元读为 0, u = 不变, x = 未知, q = 取值视具体情况而定, 阴影 = 未实现
- 注:**
- 1: MCLR 和 WDT 复位不影响数据锁存器之前的值。RABIF 位在复位时将清零但若存在不匹配则会再次置 1。
 - 2: 仅限 PIC16F687/PIC16F689/PIC16F690。
 - 3: 仅限 PIC16F685/PIC16F690。
 - 4: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。
 - 5: 仅限 PIC16F677/PIC16F687/PIC16F689/PIC16F690。
 - 6: 当引脚在配置字中被配置为 MCLR 时 RA3 上拉被使能。
 - 7: 只在 SSPCON 寄存器位 SSPM<3:0> = 1001 时才可访问。

PIC16F631/677/685/687/689/690

表 2-3: PIC16F631/677/685/687/689/690 特殊功能寄存器汇总, BANK 2

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 的值	页
Bank 2											
100h	INDF	寻址此单元使用 FSR 的内容寻址数据存储器 (非物理寄存器)								xxxx xxxx	44,201
101h	TMR0	Timer0 模块寄存器								xxxx xxxx	81,201
102h	PCL	程序计数器 (PC) 的低字节								0000 0000	44,201
103h	STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxxx	36,201
104h	FSR	间接数据寄存器地址指针								xxxx xxxx	44,201
105h	PORTA ⁽⁴⁾	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	59,201
106h	PORTB ⁽⁴⁾	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	69,201
107h	PORTC ⁽⁴⁾	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	76,201
108h	—	未实现								—	—
109h	—	未实现								—	—
10Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器				---	0000	44,201
10Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF ⁽¹⁾	0000 000x	38,201
10Ch	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	120,202
10Dh	EEADR	EEADR7 ⁽³⁾	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	120,202
10Eh	EEDATH ⁽²⁾	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	--00 0000	120,202
10Fh	EEADRH ⁽²⁾	—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	120,202
110h	—	未实现								—	—
111h	—	未实现								—	—
112h	—	未实现								—	—
113h	—	未实现								—	—
114h	—	未实现								—	—
115h	WPUB	WPUB7	WPUB6	WPUB5	WPUB4	—	—	—	—	1111 ----	70,202
116h	IOCB	IOCB7	IOCB6	IOCB5	IOCB4	—	—	—	—	0000 ----	70,202
117h	—	未实现								—	—
118h	VRCON	C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0	0000 0000	106,202
119h	CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	98,202
11Ah	CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	99,202
11Bh	CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	101,202
11Ch	—	未实现								—	—
11Dh	—	未实现								—	—
11Eh	ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3 ⁽³⁾	ANS2 ⁽³⁾	ANS1	ANS0	1111 1111	61,202
11Fh	ANSELH ⁽³⁾	—	—	—	—	ANS11	ANS10	ANS9	ANS8	---- 1111	115,202

图注: — = 未实现单元读为 0, u = 不变, x = 未知, q = 取值视具体情况而定, 阴影 = 未实现

注

- 1: MCLR 和 WDT 复位不影响数据锁存器之前的值。RABIF 位在复位时将清零但若存在不匹配则会再次置 1。
- 2: 仅限 PIC16F685/PIC16F689/PIC16F690。
- 3: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。
- 4: 由 ANSEL 和 ANSELH 寄存器控制的具有模拟功能的端口引脚将在复位后立即读为 0, 即使数据锁存器未定义 (POR) 或不变 (其他复位) 时也是如此。

PIC16F631/677/685/687/689/690

表 2-4: PIC16F631/677/685/687/689/690 特殊功能寄存器汇总, BANK 3

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 的值	页
Bank 3											
180h	INDF	寻址此单元使用 FSR 的内容寻址数据存储器 (非物理寄存器)								xxxx xxxx	44,201
181h	OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	37,201
182h	PCL	程序计数器 (PC) 的低字节								0000 0000	44,201
183h	STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxxx	36,201
184h	FSR	间接数据存储器地址指针								xxxx xxxx	44,201
185h	TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	59,201
186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	70,202
187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	76,202
188h	—	未实现								—	—
189h	—	未实现								—	—
18Ah	PCLATH	—	—	—	程序计数器高 5 位的写缓冲器					---0 0000	44,201
18Bh	INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF ⁽¹⁾	0000 000x	38,201
18Ch	EECON1	EEPGD ⁽²⁾	—	—	—	WRERR	WREN	WR	RD	x--- x000	121,202
18Dh	EECON2	EEPROM 控制寄存器 2 (非物理寄存器)								---- ----	119,202
18Eh	—	未实现								—	—
18Fh	—	未实现								—	—
190h	—	未实现								—	—
191h	—	未实现								—	—
192h	—	未实现								—	—
193h	—	未实现								—	—
194h	—	未实现								—	—
195h	—	未实现								—	—
196h	—	未实现								—	—
197h	—	未实现								—	—
198h	—	未实现								—	—
199h	—	未实现								—	—
19Ah	—	未实现								—	—
19Bh	—	未实现								—	—
19Ch	—	未实现								—	—
19Dh	PSTRCON ⁽²⁾	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	145,202
19Eh	SRCON	SR1	SR0	C1SEN	C2REN	PULSS	PULSR	—	—	0000 00--	103,202
19Fh	—	未实现								—	—

图注: — = 未实现单元读为 0, u = 不变, x = 未知, q = 取值视具体情况而定, 阴影 = 未实现

- 注 1: MCLR 和 WDT 复位不影响此前的取值数据锁存器。RABIF 位在复位时清零但若存在不匹配则将置 1。
 2: 仅限 PIC16F685/PIC16F690。

PIC16F631/677/685/687/689/690

2.2.2.1 STATUS 寄存器

如寄存器 2-1 所示，状态（STATUS）寄存器包括：

- ALU 的算术运算结果状态位
- 复位状态位
- 数据存储（GPR 和 SFR）的存储区选择位

状态寄存器与其他寄存器一样，可作为任何指令的目标寄存器。如果一条影响 Z、DC 或 C 位的指令以状态寄存器为目标寄存器，那么对这三个位的写操作将被禁止。这些位根据器件逻辑来置 1 或清零。而且，TO 和 PD 标志位均为不可写位。因此，当执行一条将状态寄存器作为目标寄存器的指令时，运行结果可能会与预想的不同。

例如，指令 CLRF STATUS 将会清除状态寄存器中的高三位，并将 Z 标志位置 1。这将使状态寄存器中的值成为“000u u1uu”（其中 u = 不变）。

因此，若要改变状态寄存器的值，建议使用 BCF、BSF、SWAPF 和 MOVWF 指令，因为这些指令将不会影响任何状态位。关于其他不会影响状态位的指令，请参见第 15.0 节“指令集汇总”。

注 1: 在减法运算时，C 和 DC 位分别作为借位位和辅助借位位。请参见 SUBLW 和 SUBWF 指令中的示例。

寄存器 2-1: STATUS: 状态寄存器

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC ⁽¹⁾	C ⁽¹⁾
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位，读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 7 **IRP:** 寄存器存储区选择位（用于间接寻址）
1 = Bank 2 和 3（100h – 1FFh）
0 = Bank 0 和 1（00h – FFh）
- bit 6-5 **RP<1:0>:** 寄存器存储区选择位（用于直接寻址）
00 = Bank 0（00h – 7Fh）
01 = Bank 1（80h – FFh）
10 = Bank 2（100h – 17Fh）
11 = Bank 3（180h – 1FFh）
- bit 4 **\overline{TO} :** 超时位
1 = 在上电复位、执行 CLRWD \overline{T} 或 SLEEP 指令后
0 = 产生了 WDT 超时
- bit 3 **\overline{PD} :** 掉电位
1 = 上电或执行 CLRWD \overline{T} 指令后
0 = 执行 SLEEP 指令
- bit 2 **Z:** 零标志位
1 = 算术运算或者逻辑运算的结果是 0
0 = 算术运算或者逻辑运算的结果不是 0
- bit 1 **DC:** 辅助进位 / 借位位（ADDWF、ADDLW、SUBLW 和 SUBWF 指令）⁽¹⁾
1 = 运算结果的低 4 位向高 4 位产生进位
0 = 运算结果的低 4 位向高 4 位没有产生进位
- bit 0 **C:** 进位 / 借位位⁽¹⁾（ADDWF、ADDLW、SUBLW 和 SUBWF 指令）⁽¹⁾
1 = 运算结果产生来自最高位的进位
0 = 运算结果没有产生来自最高位的进位

注 1: 对于借位，极性相反。减法操作的执行是通过加上第二个操作数的二进制补码（Two's Complement）来实现的。对于移位指令（RRF 和 RLF），是把源寄存器的最高位或最低位放入 C 中。

PIC16F631/677/685/687/689/690

2.2.2.2 选项寄存器

选项（OPTION）寄存器（如寄存器 2-2 所示）是可读写寄存器，有各种控制位，用来配置以下各项：

- Timer0/WDT 预分频器
- 外部 RA2/INT 中断
- Timer0
- PORTA 的弱上拉 / 下拉

注： 要使 TMR0 获得 1:1 的预分频比，可将 PSA 位（OPTION_REG<3>）置为 1，以将预分频器分配给 WDT。请参见第 6.3 节“Timer1 预分频器”。

寄存器 2-2: OPTION_REG: 选项寄存器

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

图注：

R = 可读位	W = 可写位	U = 未实现位，读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 7 **RABPU:** PORTA/PORTB 上拉使能位
 1 = 禁止 PORTA/PORTB 上拉
 0 = 通过单独的端口锁存值使能 PORTA/PORTB 上拉
- bit 6 **INTEDG:** 中断触发边沿选择位
 1 = RA2/INT 引脚的上升沿触发中断
 0 = RA2/INT 引脚的下降沿触发中断
- bit 5 **T0CS:** TMR0 时钟源选择位
 1 = RA2/T0CKI 引脚上的电平跳变
 0 = 内部指令周期时钟（Fosc/4）
- bit 4 **T0SE:** TMR0 信号源边沿选择位
 1 = 在 RA2/T0CKI 引脚信号从高至低跳变时，递增计数
 0 = 在 RA2/T0CKI 引脚信号从低至高跳变时，递增计数
- bit 3 **PSA:** 预分频器分配控制位
 1 = 预分频器分配给 WDT
 0 = 预分频器分配给 Timer0 模块
- bit 2-0 **PS<2:0>:** 预分频器比选择位

位值	Timer0 分频比	WDT 分频比
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

PIC16F631/677/685/687/689/690

2.2.2.3 INTCON 寄存器

INTCON 寄存器（如寄存器 2-3 所示）是可读写的寄存器，它包含 TMR0 寄存器溢出、PORTA 电平变化和外部 RA2/AN2/T0CKI/INT/C1OUT 引脚中断等各种使能控制位和标志位。

注： 当中断条件满足时，无论相应中断允许位或 INTCON 寄存器中的全局中断允许位 GIE 状态如何，中断标志位将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-3: INTCON: 中断控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	T0IE	INTE	RABIE ^(1,3)	T0IF ⁽²⁾	INTF	RABIF
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位，读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 7	GIE: 全局中断允许位 1 = 使能所有非屏蔽中断 0 = 禁止所有中断
bit 6	PEIE: 外设中断允许位 1 = 使能所有非屏蔽外设中断 0 = 禁止所有外设中断
bit 5	T0IE: Timer0 溢出中断允许位 1 = 使能 Timer0 中断 0 = 禁止 Timer0 中断
bit 4	INTE: RA2/INT 外部中断允许位 1 = 使能 RA2/INT 外部中断 0 = 禁止 RA2/INT 外部中断
bit 3	RABIE: PORTA/PORTB 电平变化中断允许位 ^(1,3) 1 = 使能 PORTA/PORTB 电平变化中断 0 = 禁止 PORTA/PORTB 电平变化中断
bit 2	T0IF: Timer0 溢出中断标志位 ⁽²⁾ 1 = Timer0 寄存器溢出（必须用软件清零） 0 = Timer0 寄存器没有溢出
bit 1	INTF: RA2/INT 外部中断标志 1 = RA2/INT 外部中断已经发生（必须用软件清零） 0 = RA2/INT 外部中断没有发生
bit 0	RABIF: PORTA/PORTB 电平变化中断标志位 1 = 至少有一个 PORTA 或 PORTB 通用 I/O 引脚状态发生变化时（必须用软件清零） 0 = PORTA 或 PORTB 通用 I/O 引脚状态均未发生变化

注 1: IOCA 或 IOCB 寄存器也必须被使能。

2: 当 Timer0 计数出现计满返回时，T0IF 位将被置 1。Timer0 计数值在复位时不变，而且应在清除 T0IF 位之前对其进行初始化。

3: 包含 ULPWU 中断。

PIC16F631/677/685/687/689/690

2.2.2.4 PIE1 寄存器

PIE1 寄存器包含中断允许位，如寄存器 2-4 所示。

注： INTCON 寄存器中的 PEIE 位必须置 1 以允许任何外设中断。

寄存器 2-4: PIE1: 外设中断允许寄存器 1

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	ADIE ⁽⁵⁾	RCIE ⁽³⁾	TXIE ⁽³⁾	SSPIE ⁽⁴⁾	CCP1IE ⁽²⁾	TMR2IE ⁽¹⁾	TMR1IE
bit 7							bit 0

图注：

R = 可读位 W = 可写位 U = 未实现位，读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 7 **未实现：** 读为 0
- bit 6 **ADIE:** A/D 转换器 (ADC) 中断允许位 ⁽⁵⁾
 1 = 允许 ADC 中断
 0 = 禁止 ADC 中断
- bit 5 **RCIE:** EUSART 接收中断允许位 ⁽³⁾
 1 = 允许 EUSART 接收中断
 0 = 禁止 EUSART 接收中断
- bit 4 **TXIE:** EUSART 发送叫断允许位 ⁽⁵⁾
 1 = 允许 EUSART 发送中断
 0 = 禁止 EUSART 发送中断
- bit 3 **SSPIE:** 同步串行端口 (SSP) 中断允许位 ⁽⁴⁾
 1 = 允许 SSP 中断
 0 = 禁止 SSP 中断
- bit 2 **CCP1IE:** CCP1 中断允许位 ⁽²⁾
 1 = 允许 CCP1 中断
 0 = 禁止 CCP1 中断
- bit 1 **TMR2IE:** Timer2 与 PR2 匹配中断允许位 ⁽¹⁾
 1 = 允许 Timer2 与 PR2 匹配中断
 0 = 禁止 Timer2 与 PR2 匹配中断
- bit 0 **TMR1IE:** Timer1 溢出中断允许位
 1 = 允许 Timer1 溢出中断
 0 = 禁止 Timer1 溢出中断

- 注**
- 1: 仅限 PIC16F685/PIC16F690。
 - 2: 仅限 PIC16F685/PIC16F689/PIC16F690。
 - 3: 仅限 PIC16F687/PIC16F689/PIC16F690。
 - 4: 仅限 PIC16F677/PIC16F687/PIC16F689/PIC16F690。
 - 5: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。

PIC16F631/677/685/687/689/690

2.2.2.5 PIE2 寄存器

PIE2 寄存器包含中断允许位，如寄存器 2-5 所示。

注： INTCON 寄存器的 PEIE 位必须置 1 以允许任何外设中断。

寄存器 2-5: PIE2: 外设中断允许寄存器 2

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
OSFIE	C2IE	C1IE	EEIE	—	—	—	—
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位，读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

- bit 7 **OSFIE:** 振荡器故障中断允许位
1 = 允许振荡器故障中断
0 = 禁止振荡器故障中断
- bit 6 **C2IE:** 比较器 C2 中断允许位
1 = 允许比较器 C2 中断
0 = 禁止比较器 C2 中断
- bit 5 **C1IE:** 比较器 C1 中断允许位
1 = 允许比较器 C1 中断
0 = 禁止比较器 C1 中断
- bit 4 **EEIE:** EE 写操作中断允许位
1 = 允许写操作中断
0 = 禁止写操作中断
- bit 3-0 **未实现:** 读为 0

PIC16F631/677/685/687/689/690

2.2.2.6 PIR1 寄存器

PIR1 寄存器包含各种中断标志位，如寄存器 2-6 所示。

注： 当中断条件满足时，无论相应中断允许位或 INTCON 寄存器中的全局中断允许位 GIE 状态如何，中断标志位将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-6: PIR1: 外设中断请求寄存器 1

U-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
—	ADIF ⁽⁵⁾	RCIF ⁽³⁾	TXIF ⁽³⁾	SSPIF ⁽⁴⁾	CCP1IF ⁽²⁾	TMR2IF ⁽¹⁾	TMR1IF
bit 7							bit 0

图注：

R = 可读位	W = 可写位	U = 未实现位，读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 7 **未实现：** 读为 0
- bit 6 **ADIF:** A/D 转换器中断标志位 ⁽⁵⁾
1 = A/D 转换完成（必须用软件清零）
0 = A/D 转换尚未完成或未启动
- bit 5 **RCIF:** EUSART 接收中断标志位 ⁽³⁾
1 = EUSART 接收缓冲器满（通过读取 RCREG 清零）
0 = EUSART 接收缓冲器不满
- bit 4 **TXIF:** EUSART 发送中断标志位 ⁽³⁾
1 = EUSART 发送缓冲器为空（通过写入 TXREG 清零）
0 = EUSART 发送缓冲器满
- bit 3 **SSPIF:** 同步串行端口（SSP）中断标志位 ⁽⁴⁾
1 = 发送 / 接收完成（必须用软件清零）
0 = 等待发送 / 接收
- bit 2 **CCP1IF:** CCP1 中断标志位 ⁽²⁾
捕捉模式：
1 = 发生 TMR1 寄存器捕捉（必须用软件清零）
0 = 未发生 TMR1 寄存器捕捉
比较模式：
1 = 发生 TMR1 寄存器比较匹配（必须用软件清零）
0 = 未发生 TMR1 寄存器比较匹配
PWM 模式：
此模式下未使用
- bit 1 **TMR2IF:** Timer2 与 PR2 匹配中断标志位 ⁽¹⁾
1 = 发生 Timer2 与 PR2 匹配（必须用软件清零）
0 = 未发生 Timer2 与 PR2 匹配
- bit 0 **TMR1IF:** Timer1 溢出中断标志位
1 = TMR1 寄存器溢出（必须用软件清零）
0 = TMR1 寄存器未溢出

- 注**
- 1: 仅限 PIC16F685/PIC16F690。
 - 2: 仅限 PIC16F685/PIC16F689/PIC16F690。
 - 3: 仅限 PIC16F687/PIC16F689/PIC16F690。
 - 4: 仅限 PIC16F677/PIC16F687/PIC16F689/PIC16F690。
 - 5: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。

PIC16F631/677/685/687/689/690

2.2.2.7 PIR2 寄存器

PIR2 寄存器包含各种中断标志位，如寄存器 2-7 所示。

注： 当中断条件满足时，无论相应中断允许位或 INTCON 寄存器中的全局中断允许位 GIE 状态如何，中断标志位将被置 1。用户程序应确保在重新允许中断之前，相应的中断标志位已被清零。

寄存器 2-7: PIR2: 外设中断请求寄存器 2

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
OSFIF	C2IF	C1IF	EEIF	—	—	—	—
bit 7							bit 0

图注：

R = 可读位 W = 可写位 U = 未实现位，读为 0
-n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 7 **OSFIF:** 振荡器故障中断标志位
1 = 系统振荡器故障，时钟输入变更为 INTOSC（必须用软件清零）
0 = 系统时钟正常工作
- bit 6 **C2IF:** 比较器 C2 中断标志位
1 = 比较器输出（C2OUT 位）发生变化（必须用软件清零）
0 = 比较器输出（C2OUT 位）不变
- bit 5 **C1IF:** 比较器 C1 中断标志位
1 = 比较器输出（C1OUT 位）发生变化（必须用软件清零）
0 = 比较器输出（C1OUT 位）不变
- bit 4 **EEIF:** EE 写操作中断标志位
1 = 写操作完成（必须用软件清零）
0 = 写操作尚未完成或未启动
- bit 3-0 **未实现:** 读为 0

PIC16F631/677/685/687/689/690

2.2.2.8 PCON 寄存器

电源控制（PCON）寄存器（见寄存器 2-8）包含各种区分以下复位的标志位：

- 上电复位（ $\overline{\text{POR}}$ ）
- 欠压复位（BOR）
- 看门狗复位（WDT）
- 外部 $\overline{\text{MCLR}}$ 复位

PCON 寄存器还控制超低功耗唤醒和 BOR 的软件使能。

寄存器 2-8: PCON: 电源控制寄存器

U-0	U-0	R/W-0	R/W-1	U-0	U-0	R/W-0	R/W-x
—	—	ULPWUE	SBOREN ⁽¹⁾	—	—	$\overline{\text{POR}}$	$\overline{\text{BOR}}$
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位，读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 7-6

未实现：读为 0

bit 5

ULPWUE: 超低功耗唤醒使能位

1 = 使能超低功耗唤醒

0 = 禁止超低功耗唤醒

bit 4

SBOREN: 软件 BOR 使能位⁽¹⁾

1 = 使能 BOR

0 = 禁止 BOR

bit 3-2

未实现：读为 0

bit 1

POR: 上电复位状态位

1 = 未发生上电复位

0 = 发生了上电复位（发生上电复位后必须用软件置 1）

bit 0

BOR: 欠压复位状态位

1 = 未发生欠压复位

0 = 发生了欠压复位（欠压复位发生后必须用软件置 1）

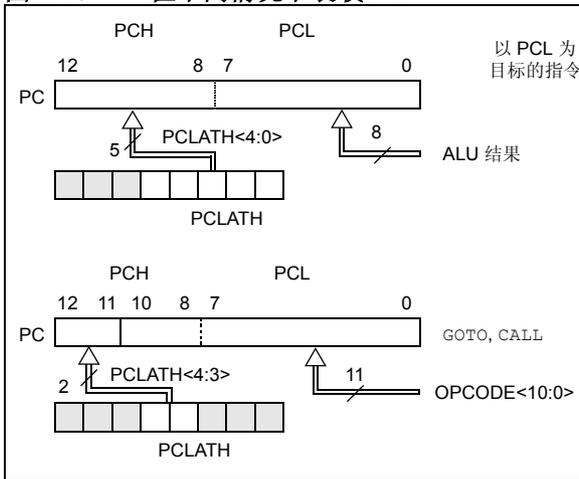
注 1: 配置字寄存器中的 $\text{BOREN}\langle 1:0 \rangle = 01$ 以使此位控制 $\overline{\text{BOR}}$ 。

PIC16F631/677/685/687/689/690

2.3 PCL 和 PCLATH

程序计数器（PC）为 13 位宽。其低 8 位来自可读写的 PCL 寄存器，高 5 位（PC<12:8>）来自 PCLATH，不能直接读写。只要发生复位，PC 就将被清零。图 2-9 显示了装载 PC 值的两种情形。图 2-9 上方的例子说明在写 PCL（PCLATH<4:0> → PCH）时是如何装载 PC 的。图 2-9 下方的例子说明了在执行 CALL 或 GOTO 指令期间（PCLATH<4:3> → PCH），是如何装载 PC 的。

图 2-9: 在不同情况下装载 PC



2.3.1 修改 PCL

执行任何以 PCL 寄存器为目标寄存器的指令将同时使程序计数器的 PC<12:8> 位（PCH）被 PCLATH 寄存器的内容所取代。这样可通过将所需的高 5 位写入 PCLATH 寄存器来改变程序计数器的所有内容。当低 8 位写入 PCL 寄存器时，程序计数器的所有 13 位将变为 PCLATH 寄存器中所包含的值以及写入 PCL 寄存器中的值。

计算 GOTO 指令是通过向程序计数器加入偏移量（ADDWF PCL）来实现的。通过修改 PCL 寄存器跳转到查找表或程序分支表（计算 GOTO）时应特别谨慎。假定 PCLATH 设置为表的起始地址，如果表长度大于 255 条指令，或如果存储器地址的低 8 位在表的中间从 0xFF 计满返回到 0x00，那么在每次表起始地址与表内的目标地址之间发生计满返回时，PCLATH 必须均必须递增。

更多信息请参见应用笔记 AN556，“Implementing a Table Read”（DS00556）。

2.3.2 堆栈

PIC16F631/677/685/687/689/690 器件具有 8 级 x 13 位宽的硬件堆栈（见图 2-2 和 2-3）。堆栈空间既不占用程序存储区空间，也不占用数据存储区空间，而且堆栈指针是不可读写的。当执行 CALL 指令或当中断导致程序跳转时，PC 值将被压入（PUSH）堆栈。而在执行 RETURN、RETLW 或 RETFIE 指令时，堆栈中的断点地址将从堆栈中弹出（POP）到 PC 中。PCLATH 不受 PUSH 或 POP 操作的影响。

堆栈的工作原理犹如循环缓冲区。这意味着当堆栈压栈 8 次后，第 9 次压栈的数值将会覆盖第一次压栈时所保存的数值，而第十次压栈数值将覆盖第二次压栈时保存的数值，以后依次类推。

- 注 1:** 不存在指明堆栈是否上溢或下溢的状态标志位。
- 注 2:** 不存在被称为 PUSH 或 POP 的指令 / 助记符。堆栈的压入或弹出是源于执行了 CALL、RETURN、RETLW 和 RETFIE 指令，或源于指向中断向量地址。

2.4 间接寻址、INDF 和 FSR 寄存器

INDF 寄存器不是实际存在的寄存器，对 INDF 寄存器进行寻址将产生间接寻址。

使用 INDF 寄存器可进行间接寻址。任何使用 INDF 寄存器的指令，实际上是对文件选择寄存器（FSR）所指向的数据进行存取。间接对 INDF 进行读操作将返回 00h。间接对 INDF 寄存器进行写操作将导致空操作（尽管可能会影响状态标志位）。通过将 8 位的 FSR 寄存器与 STATUS 寄存器的 IRP 位进行组合可得到一个有效的 9 位地址，如图 2-10 所示。

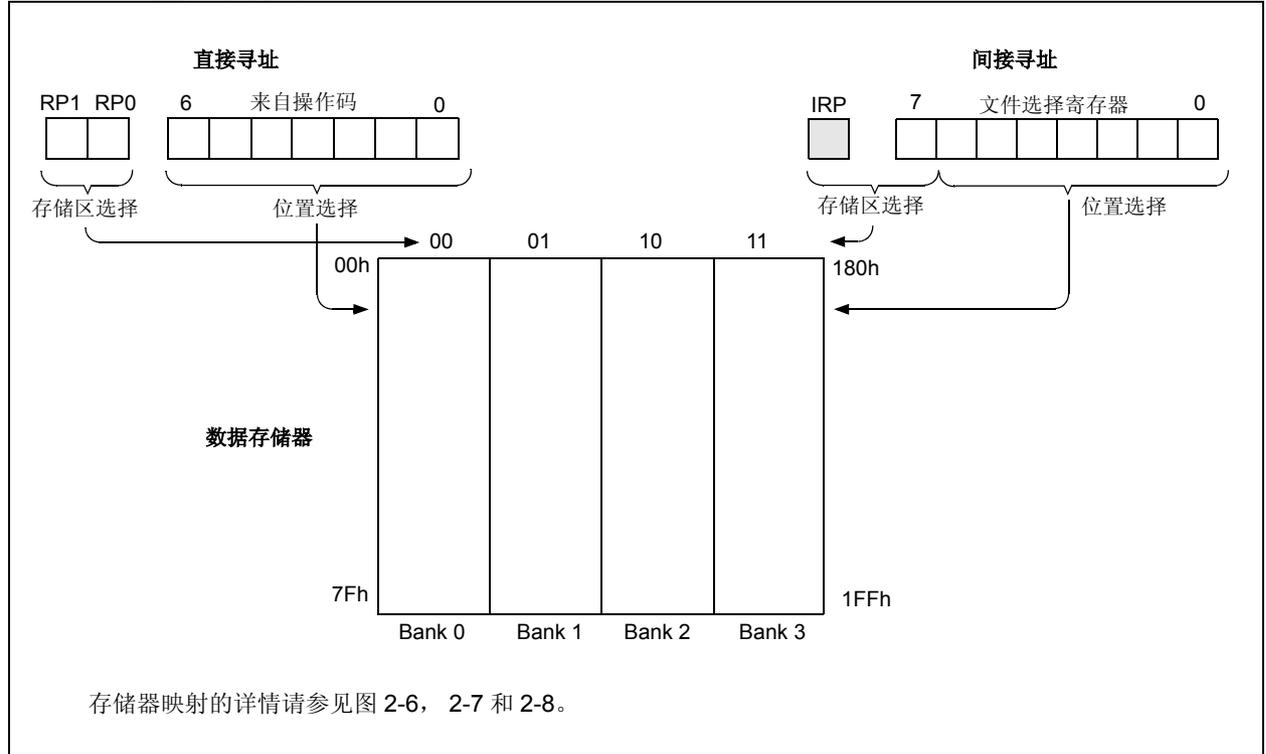
例 2-1 给出了一个使用间接寻址将 RAM 地址单元 20h-2Fh 清零的简单程序。

例 2-1: 间接寻址

```
MOVLW 0x20 ;initialize pointer
MOVWF FSR ;to RAM
NEXT CLRF INDF ;clear INDF register
INCF FSR ;inc pointer
BTFSS FSR,4 ;all done?
GOTO NEXT ;no clear next
CONTINUE ;yes continue
```

PIC16F631/677/685/687/689/690

图 2-10: 直接 / 间接寻址 PIC16F631/677/685/687/689/690



PIC16F631/677/685/687/689/690

注:

3.0 振荡器模式（带故障保护时钟监视器）

3.1 概述

振荡器模块具有多种时钟源和选择特性，广泛使用于各种应用中，同时最大限度地发挥应用性能并降低功耗。图 3-1 为振荡器模块的框图。

时钟源可配置为来自外部振荡器、石英晶体谐振器、陶瓷谐振器以及阻容（Resistor-Capacitor, RC）电路。此外，系统时钟源可配置为两个内部振荡器之一，并通过软件来选择速度。其他时钟特性包括：

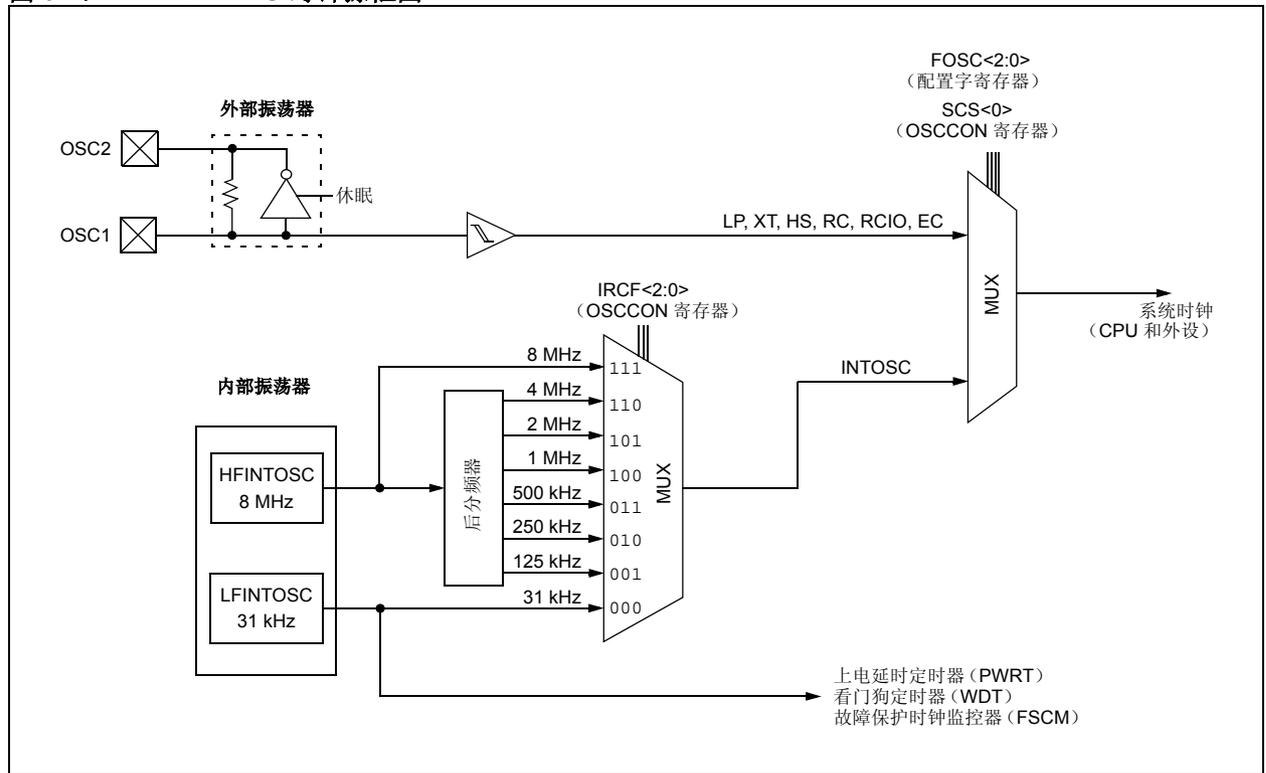
- 可通过软件选择外部或内部系统时钟源。
- 双速启动模式，最大限度地缩短外部振荡器起振与代码执行之间的延时。
- 故障保护时钟监视器（Fail-Safe Clock Monitor, FSCM），用来检测外部时钟源（LP、XT、HS、EC 或 RC 模式）故障以及自动切换到内部振荡器。

振荡器模块可配置为以下 8 种时钟模式之一。

1. EC——外部时钟，I/O 在 OSC2/CLKOUT 上。
2. LP——32 kHz 低功耗晶振模式。
3. XT——中等增益晶振或陶瓷谐振振荡器模式。
4. HS——高增益晶振或陶瓷谐振振荡器模式。
5. RC——外部阻容（RC），Fosc/4 输出到 OSC2/CLKOUT。
6. RCIO——外部阻容，I/O 在 OSC2/CLKOUT 上。
7. INTOSC——内部振荡器，Fosc/4 输出到 OSC2 且 I/O 在 OSC1/CLKIN 上。
8. INTOSCIO——内部振荡器，I/O 在 OSC2/CLKOUT 和 OSC1/CLKIN 上。

通过配置字寄存器（CONFIG）的 FOSC<2:0> 位来配置时钟源模式。内部时钟可用两个内部振荡器产生。HFINTOSC 是经过校准的高频振荡器。LFINTOSC 是未经校准的低频振荡器。

图 3-1: PIC® MCU 时钟源框图



PIC16F631/677/685/687/689/690

3.2 振荡器控制

振荡器控制（OSCCON）寄存器（图 3-1）控制系统时钟和频率选择等选项。OSCCON 寄存器包含以下位：

- 频率选择位（IRCF）
- 频率状态位（HTS, LTS）
- 系统时钟控制位（OSTS, SCS）

寄存器 3-1: **OSCCON: 振荡器控制寄存器**

U-0	R/W-1	R/W-1	R/W-0	R-1	R-0	R-0	R/W-0
—	IRCF2	IRCF1	IRCF0	OSTS ⁽¹⁾	HTS	LTS	SCS
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **未实现:** 读为 0

bit 6-4 **IRCF<2:0>:** 内部振荡器频率选择位

- 000 = 31 kHz
- 001 = 125 kHz
- 010 = 250 kHz
- 011 = 500 kHz
- 100 = 1 MHz
- 101 = 2 MHz
- 110 = 4 MHz (缺省值)
- 111 = 8 MHz

bit 3 **OSTS:** 振荡器起振超时状态位⁽¹⁾

- 1 = 器件运行在 FOSC<2:0> 定义的外部时钟之下
- 0 = 器件运行在内部振荡器之下 (HFINTOSC 或 LFINTOSC)

bit 2 **HTS:** HFINTOSC (高频——8 MHz 到 125 kHz) 状态位

- 1 = HFINTOSC 稳定
- 0 = HFINTOSC 不稳定

bit 1 **LTS:** LFINTOSC (低频——31 kHz) 状态位

- 1 = LFINTOSC 稳定
- 0 = LFINTOSC 不稳定

bit 0 **SCS:** 系统时钟选择位

- 1 = 内部振荡器用于系统时钟
- 0 = 时钟源由 FOSC<2:0> 决定

注 1: 双速启动且选取 LP、XT 或 HS 为振荡器模式时, 或者故障保护模式使能时, 该位将复位为 0。

3.3 时钟源模式

时钟源模式可分为外部和内部模式。

- 外部时钟模式依靠外部电路提供时钟源。例子有：振荡器模块（EC 模式）、石英晶体谐振器或陶瓷谐振器（LP、XT 和 HS 模式）以及阻容（RC）模式电路。
- 内部时钟源内置于振荡器模块中。振荡器模块有两个内部振荡器，一个是 8 MHz 高频内部振荡器（HFINTOSC），另一个是 31 kHz 低频内部振荡器（LFINTOSC）。

可通过 OSCCON 寄存器的系统时钟选择（SCS）位，在外部或内部时钟源之间选择系统时钟。欲了解更多信息，请参见第 3.6 节“时钟切换”。

3.4 外部时钟模式

3.4.1 振荡器起振定时器（OST）

如果振荡器模块配置为 LP、XT 或 HS 模式，振荡器起振定时器（OST）对来自 OSC1 的振荡计数 1024 次。这发生在上电复位（POR）之后以及上电延时定时器（PWRT）延时结束（如果配置了）时，或从休眠中唤醒后。在此期间，程序计数器不递增，程序执行暂停。OST 确保使用石英晶体谐振器或陶瓷谐振器的振荡器电路已经启动并向振荡器模块提供稳定的系统时钟信号。当在时钟源之间切换时，需要一定的延时以使新时钟稳定。表 3-1 给出了振荡器延时的例子。

为了使外部振荡器起振和代码执行之间的延时最小，可选择双速时钟启动模式（见第 3.7 节“双速时钟启动模式”）。

表 3-1: 振荡器延时示例

切换自	切换到	频率	振荡器延时
休眠 /POR	LFINTOSC HFINTOSC	31 kHz 125 kHz 到 8 MHz	5 μs-10 μs（近似值）CPU 启动 ⁽¹⁾
休眠 /POR	EC, RC	DC – 20 MHz	双周期
LFINTOSC（31 kHz）	EC, RC	DC – 20 MHz	每次一周期
休眠 /POR	LP, XT, HS	32 kHz 到 20 MHz	1024 个时钟周期（OST）
LFINTOSC（31 kHz）	HFINTOSC	125 kHz 到 8 MHz	1 μs（近似值）

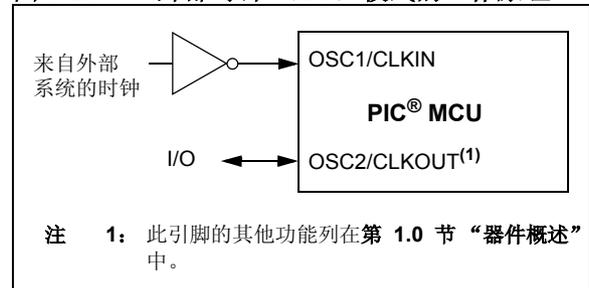
注 1: 5 ms 到 10 ms 起振延时是基于 1 MHz 系统时钟得出的。

3.4.2 EC 模式

外部时钟（EC）模式允许外部产生的逻辑电平作为系统时钟源。工作在此模式下时，外部时钟源连接到 OSC1 输入，OSC2 引脚可用作通用 I/O。图 3-2 给出了 EC 模式的引脚连接。

当选取 EC 模式时，振荡器起振定时器（OST）被禁止。因此，上电复位（POR）后或者从休眠中唤醒后的操作不存在延时。因为 PIC[®] MCU 的设计是完全静态的，停止外部时钟输入将使器件暂停工作并保持所有数据完整。当再次启动外部时钟时，器件恢复工作，就好像没有停止过一样。

图 3-2: 外部时钟（EC）模式的工作原理



PIC16F631/677/685/687/689/690

3.4.3 LP、XT 和 HS 模式

LP、XT 和 HS 模式支持连接到 OSC1 和 OSC2 的石英晶体谐振器或陶瓷谐振器的使用（图 3-3）。模式选择内部反相放大器的低、中或高增益设定，以支持各种谐振器类型及速度。

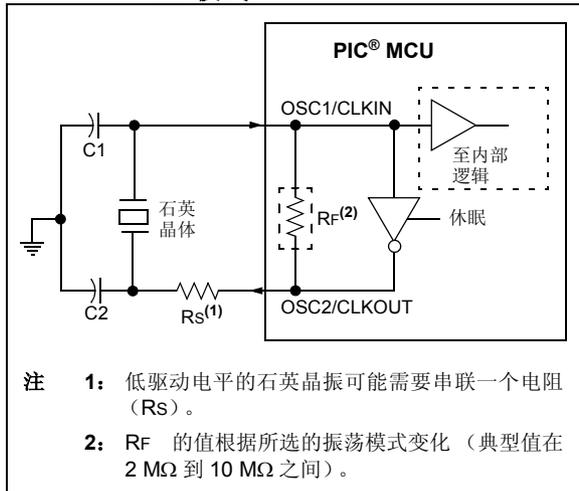
LP 振荡器模式选择内部反相放大器的最低增益设定。LP 模式的电流消耗在三种模式中最小。该模式设计仅用于驱动 32.768 kHz 音叉（Tuning Fork）式晶振（钟表晶振）。

XT 振荡器模式选择内部反相放大器的中等增益设定。XT 模式的电流消耗在三种模式中居中。该模式最适用于驱动具备中等驱动电平规格要求的谐振器。

HS 振荡器模式选择内部反相放大器的最高增益设定。HS 模式的电流消耗在三种模式中最大。该模式最适用于驱动需要高驱动设定的谐振器。

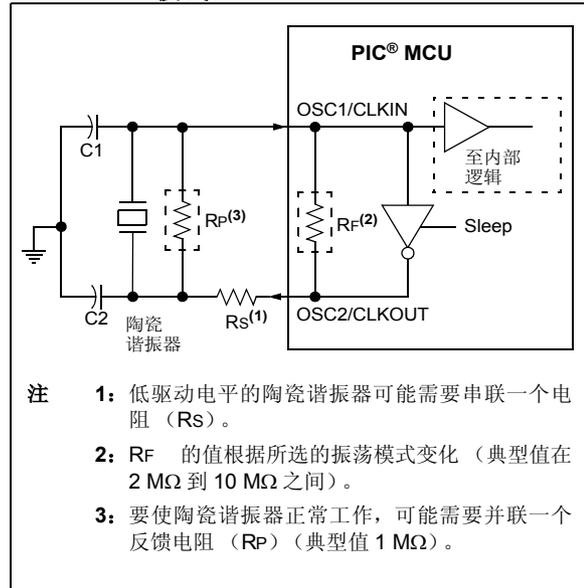
图 3-3 和图 3-4 分别给出了石英晶体谐振器和陶瓷谐振器的典型电路。

图 3-3: 石英晶振的工作原理（LP、XT 或 HS 模式）



- 注 1: 石英晶振的特性随类型、封装和制造商而变化。要了解规格说明和推荐应用，应查阅制造商提供的数据手册。
- 注 2: 应始终验证振荡器在应用预期的 V_{DD} 和温度范围内的性能。
- 注 3: 如需振荡器设计的帮助，请参见以下 Microchip 应用笔记：
- AN826, “Crystal Oscillator Basics and Crystal Selection for rPIC[®] and PIC[®] Devices” (DS00826)
 - AN849, “Basic PIC[®] Oscillator Design” (DS00849)
 - AN943, “Practical PIC[®] Oscillator Analysis and Design” (DS00943)
 - AN949, “Making Your Oscillator Work” (DS00949)

图 3-4: 陶瓷谐振器的工作原理（XT 或 HS 模式）

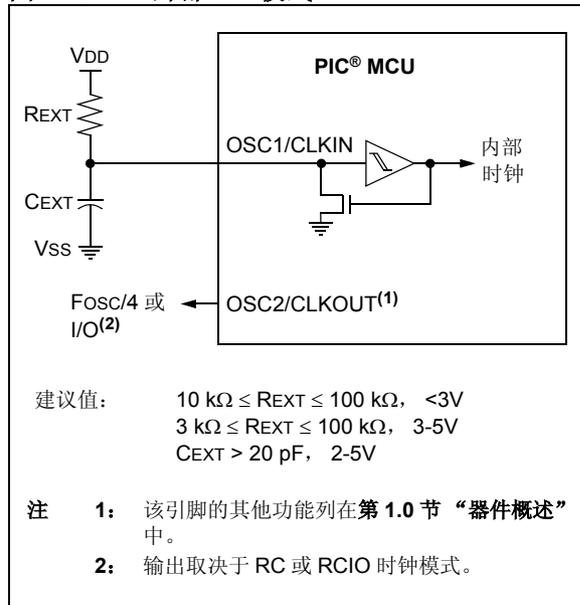


3.4.4 外部 RC 模式

外部阻容 (RC) 模式支持使用外部 RC 电路。对时钟精度要求不高时, 这使设计人员有了很大的频率选择空间, 且保持成本最低。有 RC 和 RCIO 两种模式。

在 RC 模式下, RC 电路连接到 OSC1。OSC2/CLKOUT 输出 RC 振荡频率的 4 分频。该信号可用于为外部电路、同步、校准、测试或其他应用需求提供时钟。图 3-5 给出了外部 RC 模式的连接图。

图 3-5: 外部 RC 模式



在 RCIO 模式下, RC 电路连接到 OSC1。OSC2 成为额外的通用 I/O 引脚。I/O 引脚成为 PORTA 的 bit 4 (RA4)。图 3-6 给出了 RCIO 模式的连接图。

RC 振荡器频率是供电电压、电阻 (REXT) 和电容 (CEXT) 值以及工作温度的函数。影响振荡器频率的其他因素有:

- 电压门限值变化
- 元件容差
- 不同封装的电容

用户还应考虑因所使用的外部 RC 元件的容差而导致的差异。

3.5 内部时钟模式

振荡器模块有两个独立的内部振荡器, 可配置或选取为系统时钟源。

1. **HFINTOSC** (高频内部振荡器) 出厂时已校准, 工作频率为 8 MHz。使用 OSCTUNE 寄存器 (寄存器 3-1), 用户可通过软件调整 HFINTOSC 的频率, 调整范围为 $\pm 12\%$ 。
2. **LFINTOSC** (低频内部振荡器) 未经校准, 工作频率为 31 kHz。

通过软件对 OSCCON 寄存器的内部振荡器频率选择位 IRCF<2:0> 进行操作, 可选择系统时钟速度。

可通过 OSCCON 寄存器的系统时钟选择 (SCS) 位, 在外部或内部时钟源之间选择系统时钟 (见第 3.6 节“时钟切换”)。

3.5.1 INTOSC 和 INTOSCIO 模式

当在配置字寄存器 (CONFIG) 中使用振荡器选择位 FOSC<2:0> 设置器件时, 在 INTOSC 和 INTOSCIO 模式下将内部振荡器配置为系统时钟源。

在 INTOSC 模式下, OSC1/CLKIN 可用作通用 I/O。OSC2/CLKOUT 输出所选内部振荡器频率的 4 分频。CLKOUT 信号可用于为外部电路、同步、校准、测试或其他应用需求提供时钟。

在 INTOSCIO 模式下, OSC1/CLKIN 和 OSC2/CLKOUT 引脚可用作通用 I/O。

3.5.2 HFINTOSC

高频内部振荡器 (HFINTOSC) 是出厂时已校准的 8 MHz 内部时钟源。使用 OSCTUNE 寄存器 (寄存器 3-2), 可通过软件调整 HFINTOSC 的频率, 调整范围约为 $\pm 12\%$ 。

HFINTOSC 的输出连接到后分频器和多路复用器 (见图 3-1)。使用 OSCCON 寄存器的 IRCF<2:0> 位, 可通过软件选择七个频率之一 (见第 3.5.4 节“频率选择位 (IRCF)”)。

将 OSCCON 寄存器的 IRCF<2:0> 位设置为 $\neq 000$ 选择 8 MHz 到 125 kHz 之间的任一频率, 可使能 HFINTOSC。然后将 OSCCON 寄存器的系统时钟源 (SCS) 位置 1, 或通过配置字寄存器 (CONFIG) 中的 IESO 置 1 使能双速启动。

OSCCON 寄存器的 HF 内部振荡器 (HTS) 位用于显示 HFINTOSC 是否稳定。

PIC16F631/677/685/687/689/690

3.5.2.1 OSCTUNE 寄存器

HFINTOSC 在出厂时已校准，但可通过在软件中写入 OSCTUNE 寄存器（寄存器 3-2）来进行调节。

OSCTUNE 寄存器的调节范围为 $\pm 12\%$ 。OSCTUNE 寄存器的缺省值为 0。该值是一个 5 位的 2 的补码。由于制造工艺的差异，可能无法确定单调性和频率步进。

当 OSCTUNE 寄存器被修改时，HFINTOSC 频率将开始转变为新频率。转变期间，代码将继续执行。是否已发生频率转变并无明确的指示。

OSCTUNE 不影响 LFINTOSC 频率。依赖于 LFINTOSC 时钟源频率的功能，如上电延时定时器（PWRT）、看门狗定时器（WDT）、故障保护时钟监控器（FSCM）以及外设等，其工作不受频率改变的影响。

寄存器 3-2: OSCTUNE: 振荡器调节寄存器

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7-5 **未实现:** 读为 0

bit 4-0 **UN<4:0>:** 频率调节位

 01111 = 最大频率

 01110 =

 •

 •

 •

 00001 =

 00000 = 振荡器模块运行在经过校准的频率上。

 11111 =

 •

 •

 •

 10000 = 最小频率

3.5.3 LFINTOSC

低频内部振荡器（LFINTOSC）是未经校准的 31 kHz 内部时钟源。

LFINTOSC 的输出连接到后分频器和多路复用器（见图 3-1）。通过软件对 OSCCON 寄存器的 IRCF<2:0> 位进行操作，选取 31 kHz。更多信息，请参见第 3.5.4 节“频率选择位（IRCF）”。LFINTOSC 还是上电延时定时器（PWRT）、看门狗定时器（WDT）以及故障保护时钟监控器（FSCM）的时钟源。

选取 31 kHz（将 OSCCON 寄存器的 IRCF<2:0> 位设置为 000）为系统时钟源（OSCCON 寄存器的位 SCS = 1），或者使能以下任一项时，LFINTOSC 将被使能：

- 双速启动（配置字寄存器的位 IESO = 1 且 OSCCON 寄存器的位 IRCF = 000）
- 上电延时定时器（PWRT）
- 看门狗定时器（WDT）
- 故障保护时钟监控器（FSCM）

OSCCON 寄存器的 LF 内部振荡器（LTS）位用于指示 LFINTOSC 是否稳定。

3.5.4 频率选择位（IRCF）

8 MHz HFINTOSC 和 31 kHz LFINTOSC 的输出连接到后分频器和多路复用器（见图 3-1）。OSCCON 寄存器的内部振荡器频率选择位 IRCF<2:0> 用于选择内部振荡器的频率输出。可通过软件选择以下 8 个频率之一：

- 8 MHz
- 4 MHz（复位后的缺省值）
- 2 MHz
- 1 MHz
- 500 kHz
- 250 kHz
- 125 kHz
- 31 kHz

注： 任何复位后，OSCCON 寄存器的 IRCF<2:0> 位将被置为 110 且频率选择置为 4 MHz。用户可修改 IRCF 位来选择其他频率。
--

3.5.5 HFINTOSC 和 LFINTOSC 时钟切换时序

当在 LFINTOSC 和 HFINTOSC 之间切换时，新的振荡器可能为了省电已经关闭（见图 3-6）。在这种情况下，OSCCON 寄存器的 IRCF 位被修改之后、频率选择生效之前，存在一个延时。OSCCON 寄存器的 LTS 和 HTS 位将反映 LFINTOSC 和 HFINTOSC 振荡器的当前活动状态。频率选择时序如下：

1. OSCCON 寄存器的 IRCF<2:0> 位被修改。
2. 如果新时钟是关闭的，开始一个时钟启动延时。
3. 时钟切换电路等待当前时钟下降沿的到来。
4. CLKOUT 保持为低，时钟切换电路等待新时钟上升沿的到来。
5. 现在 CLKOUT 连接到新时钟。OSCCON 寄存器的 HTS 和 LTS 位按要求被更新。
6. 时钟切换完成。

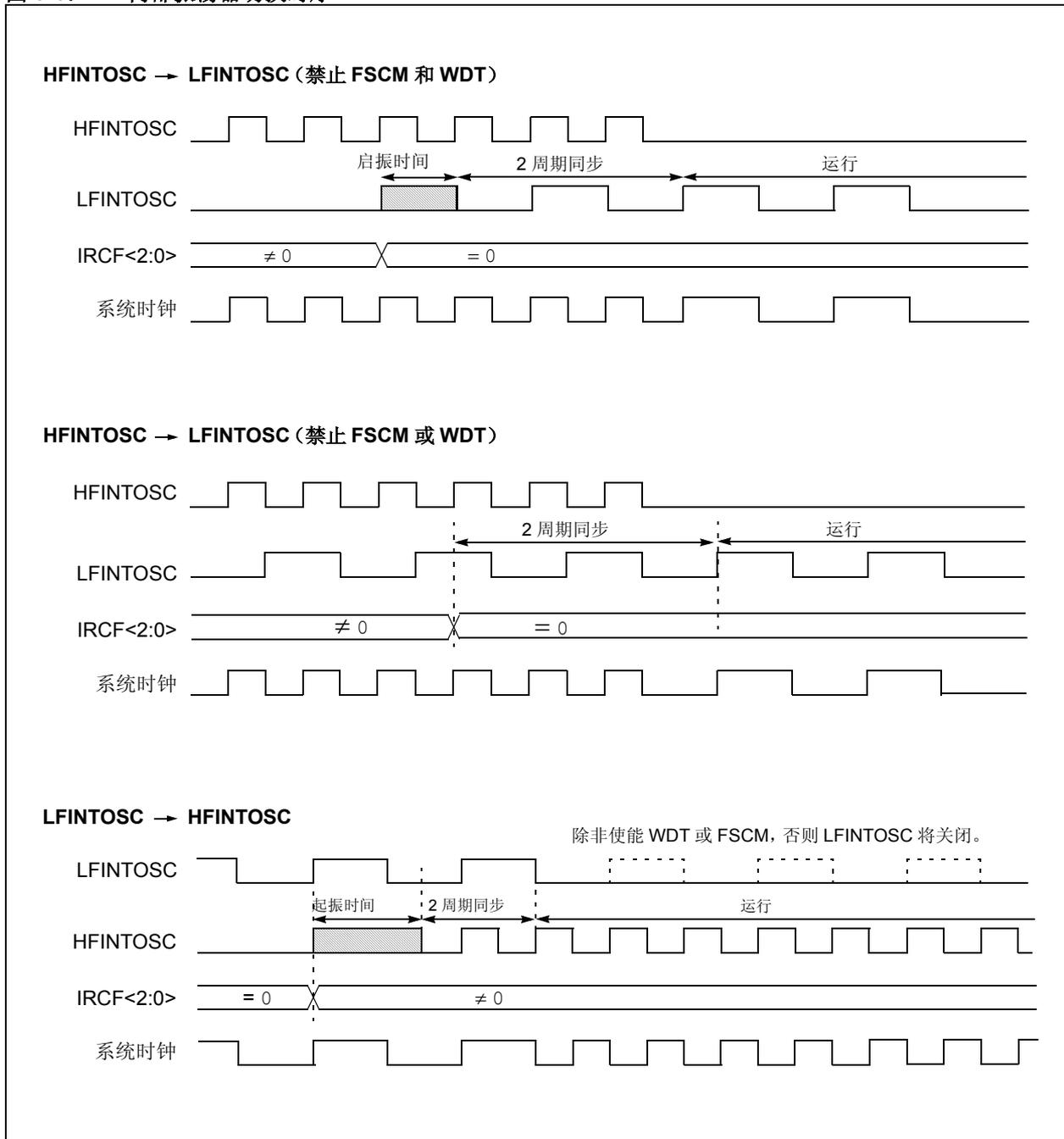
更多信息请参见图 3-1。

如果选取的内部振荡器速度在 8 MHz 到 125 kHz 之间，选取新频率不存在启动延时。这是因为新旧频率都来自经过后分频器和多路复用器的 HFINTOSC。

启动延时规范在第 17.0 节“电气特性”中与振荡器相关的表格中。

PIC16F631/677/685/687/689/690

图 3-6: 内部振荡器切换时序



3.6 时钟切换

通过软件对 OSCCON 寄存器的系统时钟选择 (SCS) 位进行操作, 可将系统时钟源在外部和内部时钟源之间切换。

3.6.1 系统时钟选择 (SCS) 位

OSCCON 寄存器的系统时钟选择 (SCS) 位选择用于 CPU 和外设的系统时钟源。

- OSCCON 寄存器的位 SCS = 0 时, 系统时钟源由配置字寄存器 (CONFIG) 中 FOSC<2:0> 位的配置决定。
- OSCCON 寄存器的位 SCS = 1 时, 根据 OSCCON 寄存器的 IRCF<2:0> 位所选的内部振荡器频率选取系统时钟源。复位后, OSCCON 寄存器的 SCS 总是被清零。

注: 任何自动时钟切换 (可能产生自双速启动或故障保护时钟监控器) 都不更新 OSCCON 寄存器的 SCS 位。用户可监控 OSCCON 寄存器的 OST 位以确定当前的系统时钟源。

3.6.2 振荡器起振超时状态 (OSTS) 位

OSCCON 寄存器的振荡器起振超时状态 (OSTS) 位用于指示系统时钟是来自外部时钟源, 还是来自内部时钟源。外部时钟源由配置字寄存器 (CONFIG) 的 FOSC<2:0> 定义。OSTS 还特别指明在 LP、XT 或 HS 模式下, 振荡器起振定时器 (OST) 是否已超时。

3.7 双速时钟启动模式

双速启动模式通过最大限度地缩短外部振荡器起振与代码执行之间的延时, 进一步节省了功耗。对于频繁使用休眠模式的应用, 双速启动模式将在器件唤醒后除去外部振荡器的起振时间, 从而可降低器件的总体功耗。

该模式使得应用能够从休眠中唤醒, 将 INTOSC 用作时钟源执行数条指令, 然后再返回休眠状态而无需等待主振荡器的稳定。

注: 执行 SLEEP 指令将中止振荡器起振时间, 并使 OSCCON 寄存器的 OST 位保持清零。

当振荡器模块配置为 LP、XT 或 HS 模式时, 振荡器起振定时器 (OST) 使能 (见第 3.4.1 节“振荡器起振定时器 (OST)”)。OST 将暂停程序执行, 直到完成 1024 次振荡计数。双速启动模式在 OST 计数时使用内部振荡器进行工作, 使代码执行的延时最大限度地缩短。当 OST 计数到 1024 且 OSCCON 寄存器的 OST 位置 1 时, 程序执行切换至外部振荡器。

3.7.1 双速启动模式配置

通过以下设定来配置双速启动模式:

- 配置字寄存器 (CONFIG) 中的位 IESO = 1; 内部 / 外部切换位 (使能双速启动模式)。
- OSCCON 寄存器的位 SCS = 0。
- 配置字寄存器 (CONFIG) 中的 FOSC<2:0> 配置为 LP、XT 或 HS 模式。

在下列操作之后, 进入双速启动模式:

- 上电复位 (POR) 且上电延时定时器 (PWRT) 延时结束 (使能时) 后, 或者
- 从休眠状态唤醒。

如果外部时钟振荡器配置为除 LP、XT 或 HS 模式以外的任一模式, 那么双速启动将被禁止。这是因为 POR 后或从休眠中退出时, 外部时钟振荡器不需要稳定时间。

3.7.2 双速启动顺序

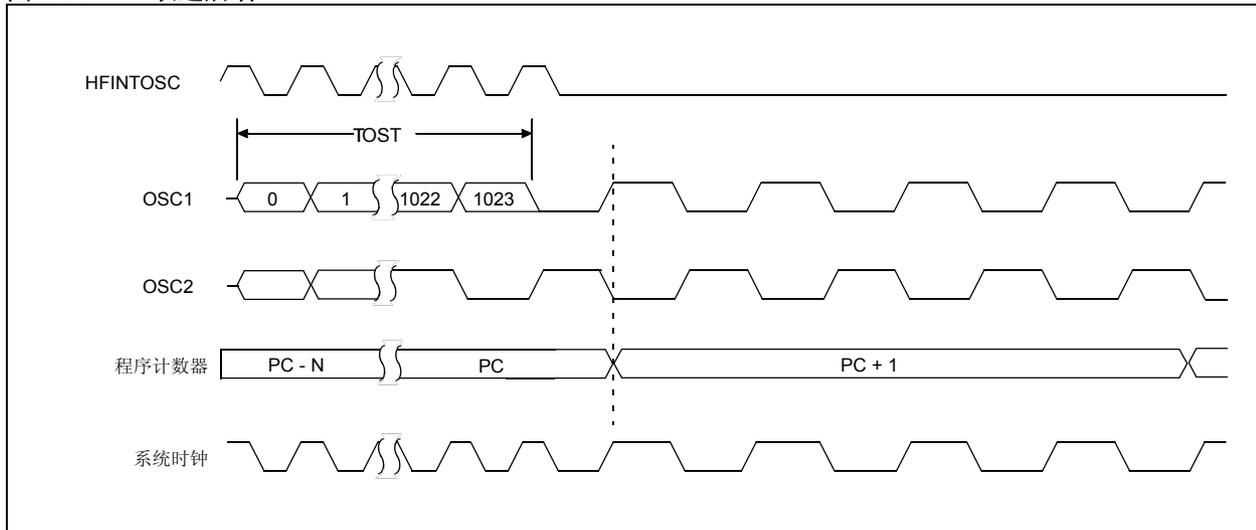
1. 从上电复位或休眠中唤醒。
2. 使用内部振荡器以 OSCCON 寄存器的 IRCF<2:0> 位设置的频率开始执行指令。
3. OST 使能, 计数 1024 个时钟周期。
4. OST 超时, 等待内部振荡器下降沿的到来。
5. OST 置 1。
6. 系统时钟保持为低, 直到新时钟下一个下降沿的到来 (LP、XT 或 HS 模式)。
7. 系统时钟切换到外部时钟源。

PIC16F631/677/685/687/689/690

3.7.3 检查外部 / 内部时钟状态

通过检查 OSCCON 寄存器的 OSTS 位的状态，可以确定单片机是否如配置字寄存器 (CONFIG) 中 FOSC<2:0> 位定义的那样运行于外部时钟源，抑或是运行于内部振荡器。

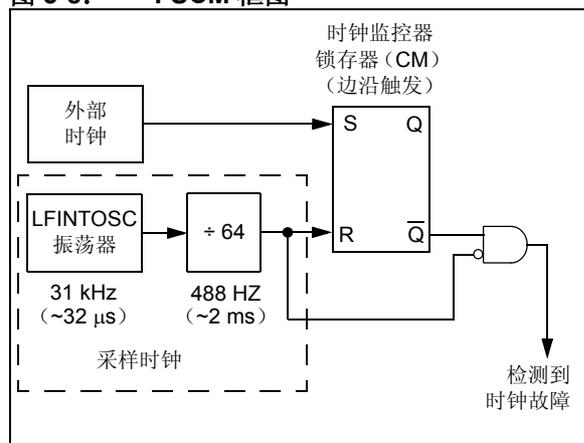
图 3-7: 双速启动



3.8 故障保护时钟监控器

故障保护时钟监控器（FSCM）使得器件在出现外部振荡器故障时仍能继续工作。FSCM 能在振荡器起振延定时器（OST）到期后的任一时刻检测振荡器故障。FSCM 通过将配置字寄存器（CONFIG）中的 FCMEN 位置 1 来使能。FSCM 可用于所有外部振荡模式（LP、XT、HS、EC、RC 和 RCIO）。

图 3-8: FSCM 框图



3.8.1 故障保护检测

FSCM 模块通过将外部振荡器与 FSCM 采样时钟比较来检测振荡器故障。LFINTOSC 除以 64，就产生了采样时钟。请参见图 3-8。故障检测器内部有一个锁存器。在外部时钟的每个下降沿，锁存器被置 1。在采样时钟的每个上升沿，锁存器被清零。如果采样时钟的整个半周期流逝而主时钟依然未进入低电平，就检测到故障。

3.8.2 故障保护操作

当外部时钟出现故障时，FSCM 将器件时钟切换到内部时钟源，并将 PIR2 寄存器的 OSFIF 标志位置 1。如果在 PIR2 寄存器的 OSFIE 位置 1 的同时将该标志位置 1，将产生中断。器件固件随后会采取措施减轻可能由故障时钟所产生的问题。系统时钟将继续来自内部时钟源，直到器件固件成功重启外部振荡器并切换回外部操作。

FSCM 所选的内部时钟源由 OSCCON 寄存器的 IRCF<2:0> 位决定。这使内部振荡器可以在故障发生前就得以配置。

3.8.3 故障保护条件清除

复位、执行 SLEEP 指令或翻转 OSCCON 寄存器的 SCS 位后，故障保护条件被清除。OSCCON 寄存器的 SCS 位被修改后，OST 将重新启动。OST 运行时，器件继续从 OSCCON 中选定的 INTOSC 进行操作。OST 超时后，故障保护条件被清除，器件将从外部时钟源进行操作。必须先清除故障保护条件，才能清零 OSFIF 标志位。

3.8.4 复位或从休眠中唤醒

FSCM 设计为能在振荡器起振延定时器（OST）到期后的任一时刻检测振荡器故障。OST 的使用场合为从休眠状态唤醒后以及任何类型的复位后。OST 不能在 EC 或 RC 时钟模式下使用，所以一旦复位或唤醒完成，FSCM 就处于激活状态。当 FSCM 被使能时，双速启动也被使能。因此，当 OST 运行时，器件总是处于代码执行阶段。

注： 由于振荡器起振时间的范围变化较大，在振荡器起振期间（即，从复位或休眠中退出时），故障保护电路不处于激活状态。经过一段适当的时间后，用户应检查 OSCCON 寄存器的 OSTST 位，以验证振荡器是否已成功起振以及系统时钟是否切换成功。

PIC16F631/677/685/687/689/690

图 3-9: FSCM 时序图

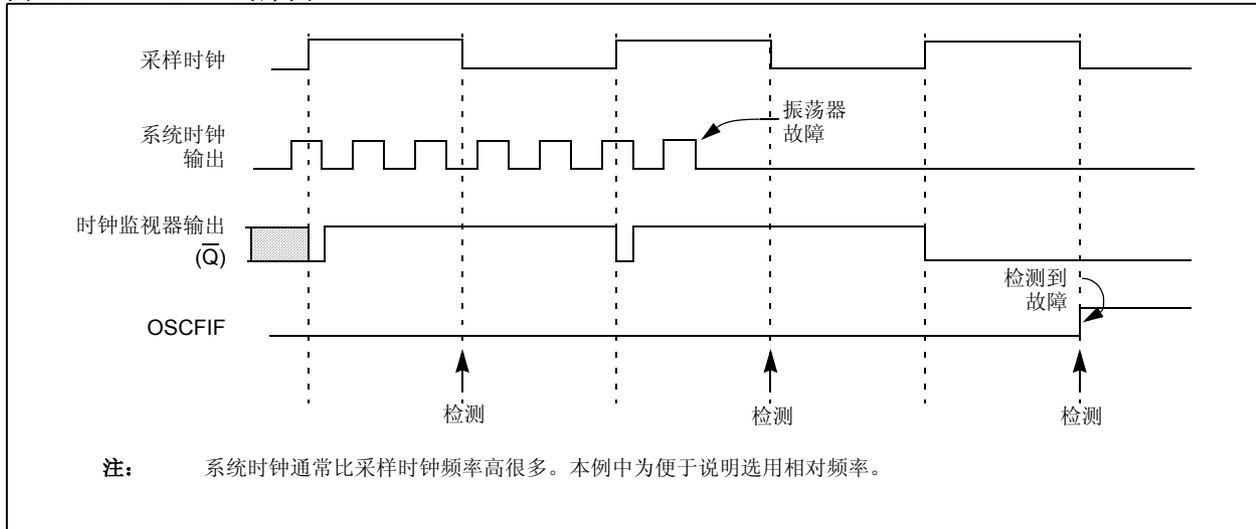


表 3-2: 与时钟源相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位 ⁽¹⁾ 时的值
CONFIG ⁽²⁾	CPD	CP	MCLRE	$\overline{\text{PWRTE}}$	WDTE	FOSC2	FOSC1	FOSC0	—	—
OSCCON	—	IRCF2	IRCF1	IRCF0	OSTS	HTS	LTS	SCS	-110 x000	-110 x000
OSCTUNE	—	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	---u uuuu
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000

图注: x = 未知, u = 不变, - = 未实现单元读为 0。振荡器不使用阴影单元。

注 1: 其他 (非上电) 复位包括正常工作期间的 MCLR 复位和看门狗定时器复位。

注 2: 所有寄存器位的操作请参见配置字寄存器 (寄存器 14-1)。

PIC16F631/677/685/687/689/690

4.2 引脚的其他功能

本器件系列中每个 PORTA 引脚都具有电平变化中断功能和弱上拉功能。RA0 还有超低功耗唤醒功能。以下三节将对这些功能进行介绍。

4.2.1 ANSEL 和 ANSELH 寄存器

ANSEL 和 ANSELH 寄存器用于禁止 I/O 引脚的输入缓冲器，从而使模拟电压可施加在这些引脚上而不会引起电流过大。将相应引脚的 ANSx 位置 1 可使所有对该引脚的数字读操作返回 0，并使该引脚的模拟功能正常工作。

ANSx 位的状态对相应引脚的数字输出功能没有影响。TRISx 位清零而 ANSx 位置 1 的引脚将作为数字输出工作，同时具有该引脚的模拟输入功能。ANSx 位置 1 的所有引脚始终读为 0，在执行读或写操作时这将导致意外的操作，这是因为所有读写操作均执行读 - 修改 - 写序列。

4.2.2 弱上拉

除 RA3 外的每个 PORTA 引脚都具有内部弱上拉功能。控制位 WPUAx 用于使能或禁止每个上拉功能。请参见寄存器 4-4。当端口引脚被配置为输出时，这些弱上拉会自动关闭。上电复位时，OPTION 寄存器的 RABPU 位将禁止上拉功能。当配置为 MCLR 时，RA3 上的弱上拉自动使能；当 RA3 是 I/O 时则被禁止。不存在对 MCLR 上拉的软件控制。

4.2.3 电平变化中断

每个 PORTA 引脚都可单独配置具有电平变化中断功能。控制位 IOCAx 用于使能或禁止各引脚的中断功能。请参见寄存器 4-6。电平变化中断功能在上电复位时被禁止。

对于使能了电平变化中断功能的引脚，其值将与上次读取的 PORTA 的旧锁存值相比较。所有与上次读取值不匹配的输出去进行或运算，运算结果用来设置 INTCON 寄存器（寄存器 2-6）中的 PORTA 电平变化中断标志位（RABIF）。

该中断可唤醒处于休眠状态中的器件。用户在中断服务程序中可通过以下方式清除该中断：

- 对 PORTA 的任何读或写操作。这将结束不匹配条件，然后：
- 清零标志位 RABIF。

不匹配条件将继续将标志位 RABIF 置 1。读 PORTA 将结束不匹配条件并将标志位 RABIF 清零。保持上一次读取值的锁存器不受 MCLR 或 BOR 复位的影响。在这些复位之后，如果存在不匹配情况，RABIF 标志还将继续被置 1。

注：	当读操作正在执行时若发生 I/O 引脚电平变化（Q2 周期的起始时刻），则 RABIF 中断标志位可能不会被置 1。
-----------	--

PIC16F631/677/685/687/689/690

寄存器 4-3: ANSEL: 模拟选择寄存器

R/W-1							
ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
bit 7							bit 0

图注:

R = 可读位
W = 可写位
U = 未实现位, 读为 0
-n = POR 时的值
1 = 置 1
0 = 清零
x = 未知

bit 7-0 **ANS<7:0>**: 模拟选择位
在 AN<7:0> 引脚上分别进行模拟或数字功能的模拟选择。
1 = 模拟输入。引脚被分配为模拟输入 ⁽¹⁾。
0 = 数字 I/O。引脚被分配给端口或特殊功能。

注 1: 将某引脚设置为模拟输入将自动禁止数字输入电路、弱上拉以及电平变化中断 (如果有的话)。相应 TRIS 位必须设置为输入模式以允许对该引脚的电压进行外部控制。

寄存器 4-4: ANSELH: 模拟选择高位寄存器 ⁽²⁾

U-0	U-0	U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1
—	—	—	—	ANS11	ANS10	ANS9	ANS8
bit 7							bit 0

图注:

R = 可读位
W = 可写位
U = 未实现位, 读为 0
-n = POR 时的值
1 = 置 1
0 = 清零
x = 未知

bit 7-4 **未实现:** 读为 0
bit 3-0 **ANS<11:8>**: 模拟选择位
在 AN<7:0> 引脚上分别进行模拟或数字功能的模拟选择。
1 = 模拟输入。引脚被分配为模拟输入 ⁽¹⁾。
0 = 数字 I/O。引脚被分配给端口或特殊功能。

注 1: 将某引脚设置为模拟输入将自动禁止数字输入电路、弱上拉以及电平变化中断 (如果有的话)。相应 TRIS 位必须设置为输入模式以允许对该引脚的电压进行外部控制。

注 2: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。

PIC16F631/677/685/687/689/690

寄存器 4-5: WPUA: PORTA 寄存器

U-0	U-0	R/W-1	R/W-1	U-0	R/W-1	R/W-1	R/W-1
—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 7-6	未实现: 读为 0
bit 5-4	WPUA<5:4> : 弱上拉寄存器位 1 = 使能上拉 0 = 禁止上拉
bit 3	未实现: 读为 0
bit 2-0	WPUA<2:0> : 弱上拉寄存器位 1 = 使能上拉 0 = 禁止上拉

- 注
- 1: 必须使能 OPTION 寄存器的全局 $\overline{\text{RABPU}}$ 位以使能各个上拉。
 - 2: 如果引脚处于输出模式 ($\text{TRISA} = 0$), 则弱上拉器件被自动禁止。
 - 3: 在配置字寄存器中配置为 $\overline{\text{MCLR}}$ 时 RA3 上拉被使能, 配置为 I/O 时上拉被禁止。
 - 4: 在 XT、HS 和 LP 振荡模式下 WPUA<5:4> 始终读为 1。

寄存器 4-6: IOCA: 电平变化中断 PORTA 寄存器

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 7-6	未实现: 读为 0
bit 5-0	IOCA<5:0> : 电平变化中断 PORTA 控制位 1 = 允许电平变化中断 0 = 禁止电平变化中断

- 注
- 1: 必须允许全局中断允许 (GIE) 以使各中断被识别。
 - 2: 在 XT、HS 和 LP 振荡模式下 IOCA<5:4> 始终读为 1。

4.2.4 超低功耗唤醒

RA0 上的超低功耗唤醒 (ULPWU) 功能允许缓慢下降的电压能够在 RA0 上产生电平变化中断, 同时不消耗很大的电流。将 PCON 寄存器的 ULPWUE 位置 1 将选取超低功耗唤醒模式。这将产生一个小的拉电流 (current sink), 可用来对 RA0 上电容器进行放电。

要使用此功能, 请按以下步骤操作:

- a) 将 RA0 引脚设置为输出 (= 1) 为 RA0 上的电容充电。
- b) 将 RA0 设置为输入。
- c) 允许 RA0 的电平变化中断。
- d) 将 PCON 寄存器的 ULPWUE 位置 1 开始为电容放电。
- e) 执行一条 SLEEP 指令。

当 RA0 上电压下降到低于 V_L 时, 将产生中断, 唤醒器件将执行下一条指令。如果 INTCON 寄存器的 GIE 位置 1, 器件随后将调用中断向量 (0004h)。更多信息, 请参见第 4.4.2 节“电平变化中断”和第 14.3.3 节“PORTA/PORTB 中断”。

该功能提供了一种周期性将器件从休眠中唤醒的低功耗方法。休眠时间取决于 RA0 上 RC 电路的放电时间。超低功耗唤醒模块的初始化, 请参见例 4-2。

RA0 和外部电容之间串联电阻为 RA0/AN0/C1IN+/ICSPDAT/ULPWU 引脚提供过流保护, 同时允许使用软件校准休眠时间 (见图 4-1)。可使用一个定时器测量电容器的充放电时间。然后调节充电时间, 以提供所需的中断延时。此方法将对温度、电压和元件精度的影响进行补偿。超低功耗唤醒外设还可配置为简单的可编程低压检测功能或温度传感器。

注: 更多信息, 请参见应用笔记 AN879 “Using the Microchip Ultra Low-Power Wake-up Module” (DS00879)。

例 4-2: 超低功耗唤醒初始化

```
BCF STATUS,RP0 ;Bank 0
BCF STATUS,RP1 ;
BSF PORTA,0 ;Set RA0 data latch
BSF STATUS,RP1 ;Bank 2
BCF ANSEL,0 ;RA0 to digital I/O
BSF STATUS,RP0 ;Bank 1
BCF STATUS,RP1 ;
BCF TRISA,0 ;Output high to
CALL CapDelay ;charge capacitor
BSF PCON,ULPWUE ;Enable ULP Wake-up
BSF IOCA,0 ;Select RA0 IOC
BSF TRISA,0 ;RA0 to input
MOVLW B'10001000' ;Enable interrupt
MOVWF INTCON ;and clear flag
BCF STATUS,RP0 ;Bank 0
SLEEP ;Wait for IOC
```

PIC16F631/677/685/687/689/690

4.2.5 引脚说明和引脚图

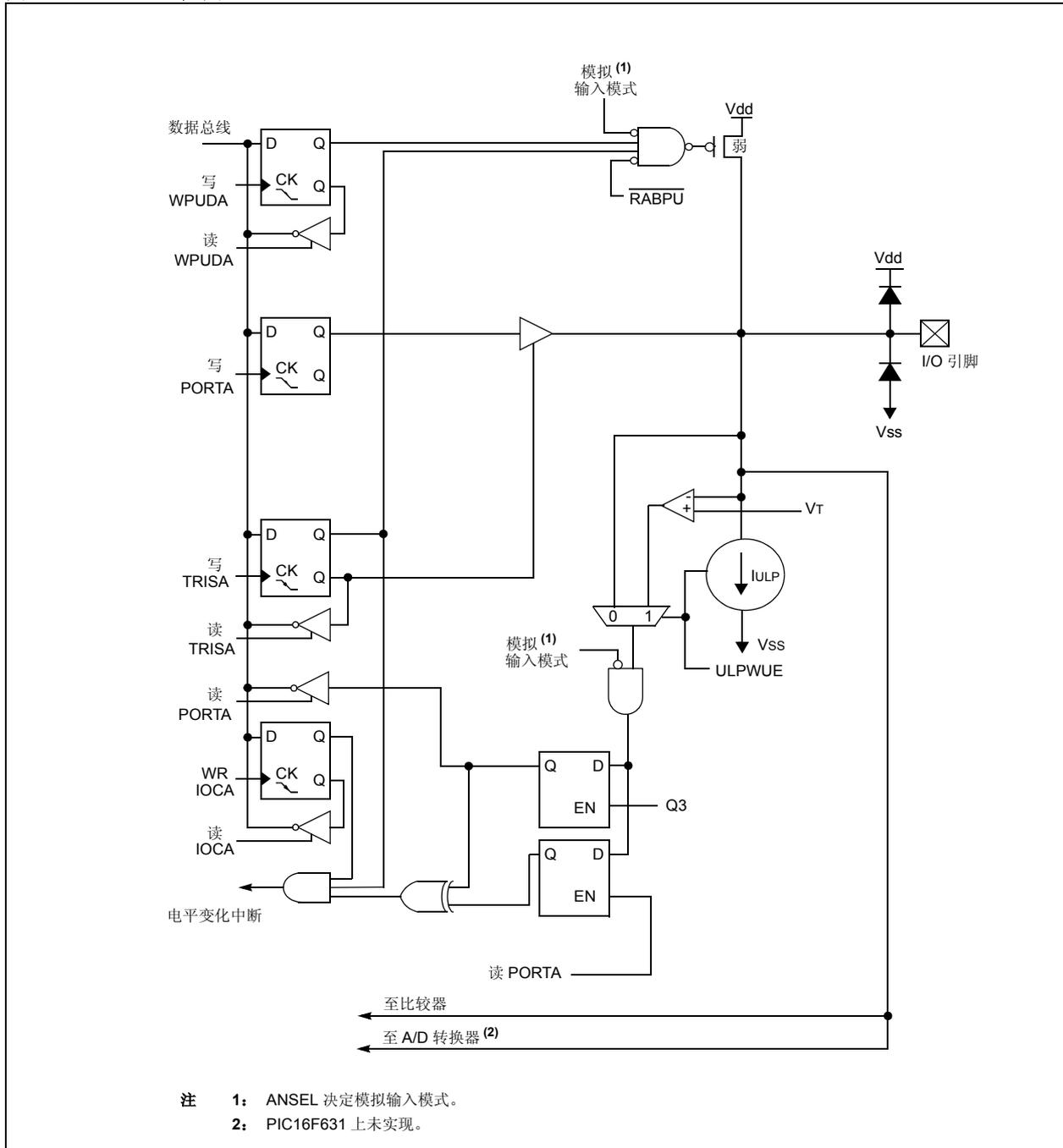
每个 PORTA 引脚都与其他功能复用。这里将简要说明引脚及其复合功能。各功能如比较器或 A/D 转换器 (A/D Converter, ADC) 的具体信息, 请参见本数据手册中的相关章节。

4.2.5.1 RA0/AN0/C1IN+/ICSPDAT/ULPWU

图 4-2 给出了此引脚的引脚图。RA0/AN0/C1IN+/ICSPDAT/ULPWU 引脚可配置为下列功能之一:

- 通用 I/O
- 连接至 ADC 的模拟输入 (除 PIC16F631 外)
- 连接至比较器 (C1) 的模拟输入
- 在线串行编程 (In-Circuit Serial Programming™) 数据
- 超低功耗唤醒的模拟输入

图 4-1: RA0 框图



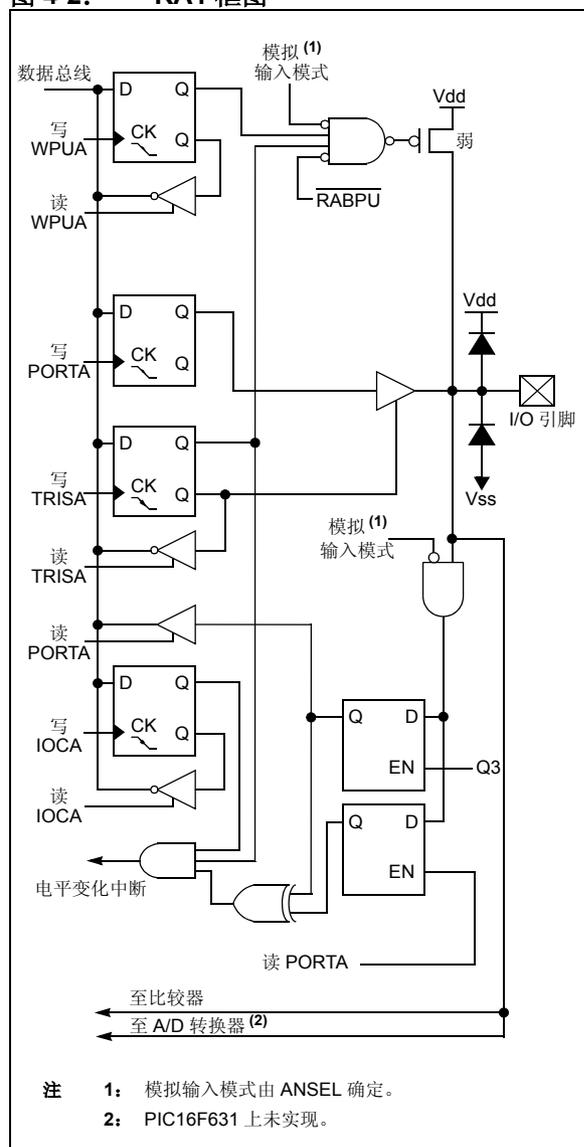
PIC16F631/677/685/687/689/690

4.2.5.2 RA1/AN1/C12IN-/VREF/ICSPCLK

图 4-2 给出了此引脚的引脚图。RA1/AN1/C12IN0-/VREF/ICSPCLK 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- 连接至比较器（C1 或 C2）的模拟输入
- ADC 的参考电压输入
- 在线串行编程时钟

图 4-2: RA1 框图

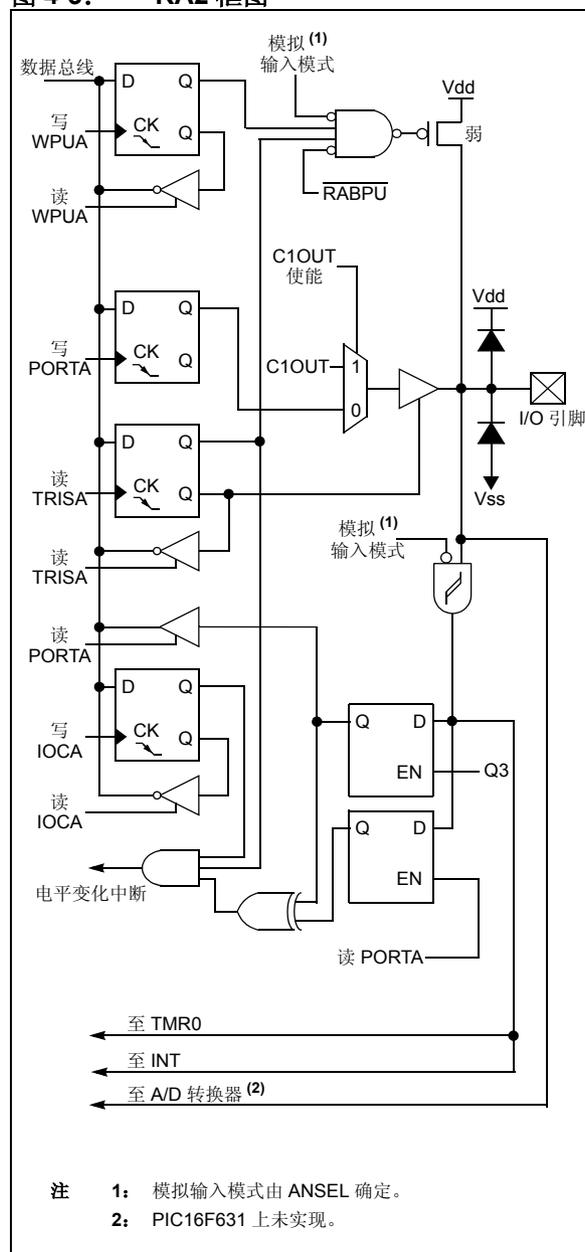


4.2.5.3 RA2/AN2/T0CKI/INT/C1OUT

图 4-3 给出了此引脚的引脚图。RA2/AN2/T0CKI/INT/C1OUT 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- TMR0 的时钟输入
- 外部边沿触发的中断
- 来自比较器（C1）的数字输出

图 4-3: RA2 框图



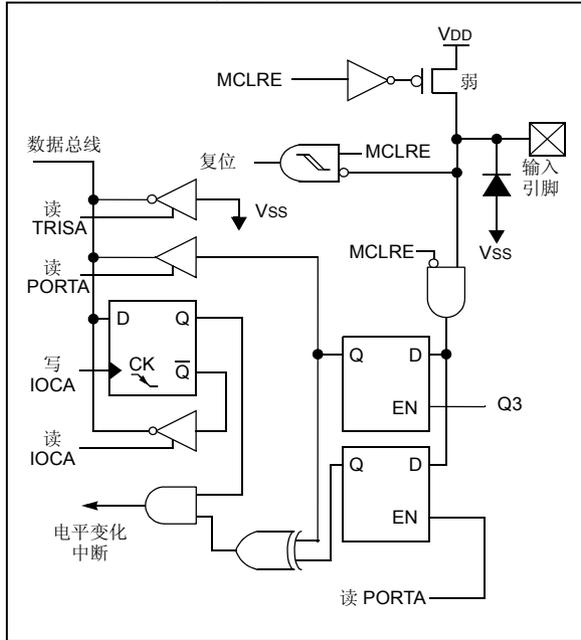
PIC16F631/677/685/687/689/690

4.2.5.4 RA3/MCLR/VPP

图 4-4 给出了此引脚的引脚图。RA3/MCLR/VPP 引脚可配置为下列功能之一：

- 通用输入
- 带弱上拉的主清零复位

图 4-4: RA3 框图

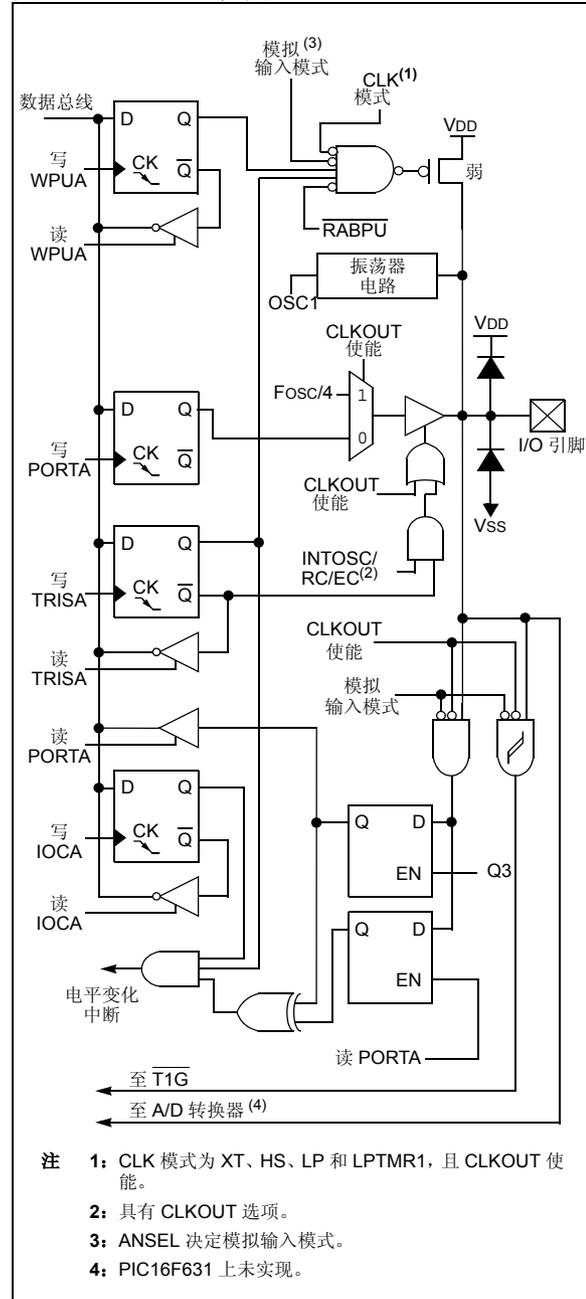


4.2.5.5 RA4/AN3/T1G/OSC2/CLKOUT

图 4-5 给出了此引脚的引脚图。RA4/AN3/T1G/OSC2/CLKOUT 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- TMR1 门控输入
- 晶振 / 谐振器连接
- 时钟输出

图 4-5: RA4 框图



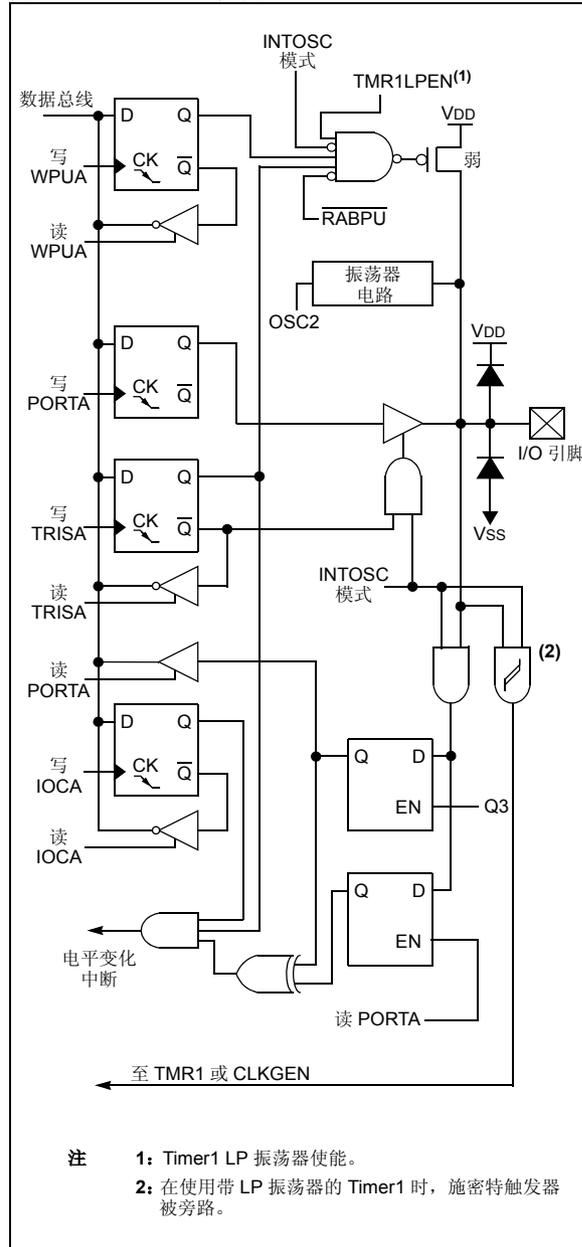
- 注
- 1: CLK 模式为 XT、HS、LP 和 LPTMR1, 且 CLKOUT 使能。
 - 2: 具有 CLKOUT 选项。
 - 3: ANSEL 决定模拟输入模式。
 - 4: PIC16F631 上未实现。

4.2.5.6 RA5/T1CKI/OSC1/CLKIN

图 4-6 给出了此引脚的引脚图。RA5/T1CKI/OSC1/CLKIN 引脚可配置为下列功能之一：

- 通用 I/O
- TMR1 时钟输入
- 晶振 / 谐振器连接
- 时钟输入

图 4-6: RA5 框图



PIC16F631/677/685/687/689/690

表 4-1: 与 PORTA 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
ADCON0	ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	0000 0000
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 -000
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
IOCA	—	—	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	--00 0000	--00 0000
OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNCR	TMR1CS	TMR1ON	0000 0000	uuuu uuuu
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
WPUA	—	—	WPUA5	WPUA4	—	WPUA2	WPUA1	WPUA0	--11 -111	--11 -111

图注: x = 未知, u = 不变, - = 未实现单元读为 0。PORTA 不使用阴影单元。

4.3 PORTB 和 TRISB 寄存器

PORTB 是一个 4 位宽的双向端口，对应的数据方向寄存器是 TRISB（寄存器 4-6）。将 TRISB 某位置 1（= 1）时，会将 PORTB 的相应引脚设为输入（即，使相应的输出驱动器呈高阻状态）。将 TRISB 某位清零（= 0）时，会将 PORTB 的相应引脚设为输出（即，使能输出驱动器并将输出锁存器中的内容置于选中引脚）。例 4-3 显示了如何初始化 PORTB。读取 PORTB 寄存器（寄存器 4-5）将读出相应引脚的电平状态，而对其进行写操作则是写入其数据锁存器。所有写操作都是“读—修改—写”操作。因此，对端口的写操作意味着总是先读端口引脚电平状态，然后修改这个值，最后再写入该端口的数据锁存器。

TRISB 寄存器控制着 PORTB 输出驱动器的方向，即使它们用作模拟输入引脚。当引脚用于模拟输入时，用户应确保 TRISB 中的各位保持置 1。对配置为模拟输入的 I/O 引脚，总是读为 0。

例 4-3: 初始化 PORTB

```
BCF STATUS,RP0 ;Bank 0
BCF STATUS,RP1 ;
CLRF PORTB ;Init PORTB
BSF STATUS,RP0 ;Bank 1
MOVLW FFh ;Set RB<7:4> as inputs
MOVWF TRISB ;
BCF STATUS,RP0 ;Bank 0
```

注: 必须对 ANSELH 寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。

4.4 PORTB 引脚的其他功能

器件系列上的 PORTB 引脚 RB<7:4> 都具有电平变化中断功能和弱上拉功能。以下三节将对这些 PORTB 引脚功能进行介绍。

寄存器 4-7: PORTB: PORTB 寄存器

R/W-x	R/W-x	R/W-x	R/W-x	U-0	U-0	U-0	U-0
RB7	RB6	RB5	RB4	—	—	—	—
bit 7				bit 0			

图注:

R = 可读位
W = 可写位
U = 未实现位，读为 0
-n = POR 时的值
1 = 置 1
0 = 清零
x = 未知

bit 7-4 **RB<7:4>**: PORTB I/O 引脚位
1 = 端口引脚 > V_{IH}
0 = 端口引脚 < V_{IL}
bit 3-0 **未实现**: 读为 0

4.4.1 弱上拉

每个 PORTB 引脚都具有单独配置的内部弱上拉功能。控制位 WPUB<7:4> 用于使能或禁止每个上拉功能（见寄存器 4-7）。当端口引脚被配置为输出时，这些弱上拉会自动关闭。上电复位时将禁止上拉功能，RABPU 位（OPTION_REG<7>）置 1。

4.4.2 电平变化中断

4 个 PORTB 引脚被单独配置为具有电平变化中断功能的引脚。控制位 IOCB<7:4> 用于使能或禁止各引脚的中断功能。请参见寄存器 4-10。电平变化中断功能在上电复位时被禁止。

对于使能了电平变化中断功能的引脚，当前值将与上次读取的 PORTB 的旧锁存值相比较，以确定哪个值发生了变化或与旧值不匹配。所有不匹配的输出来进行或运算，运算结果用来设置 INTCON 寄存器（寄存器 2-3）中的 PORTA 电平变化中断标志位（RABIF）。

该中断可唤醒处于休眠状态中的器件。用户在中断服务程序中可通过以下方式清除该中断：

- 对 PORTB 的任何读或写操作。这将结束不匹配条件。
- 清零标志位 RABIF。

不匹配条件将继续把标志位 RABIF 置 1。读或写 PORTB 将结束不匹配条件并将标志位 RABIF 清零。保持上一次读取值的锁存器不受 MCLR 或欠压复位的影响。在这些复位之后，如果存在不匹配情况，RABIF 标志还将继续被置 1。

注: 当读操作正在执行时发生了 I/O 引脚电平变化（Q2 周期的起始时刻），则 RABIF 中断标志位可能不会被置 1。此外，由于端口上的读或写操作会影响该端口的所有位，所以在电平变化中断模式下使用多个引脚时必须特别小心。一个引脚上的变化可能不会在另一个引脚上反映出来。

PIC16F631/677/685/687/689/690

寄存器 4-8: TRISB: PORTB 三态寄存器

R/W-1	R/W-1	R/W-1	R/W-1	U-0	U-0	U-0	U-0
TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-4 **TRISB<7:4>**: PORTB 三态控制位
 1 = PORTB 引脚被配置为输入 (三态)
 0 = PORTB 引脚被配置为输出

bit 3-0 **未实现**: 读为 0

寄存器 4-9: WPUB: 弱上拉 PORTB 寄存器

R/W-1	R/W-1	R/W-1	R/W-1	U-0	U-0	U-0	U-0
WPUB7	WPUB6	WPUB5	WPUB4	—	—	—	—
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-4 **WPUB<7:4>**: 弱上拉寄存器位
 1 = 使能上拉
 0 = 禁止上拉

bit 3-0 **未实现**: 读为 0

- 注 1: 必须使能 OPTION 寄存器的全局 $\overline{\text{RABPU}}$ 位以使能各上拉。
 2: 如果引脚处于输出模式 ($\text{TRISB}<7:4> = 0$) 则弱上拉器件被自动禁止。

寄存器 4-10: IOCB: 电平变化中断 PORTB 寄存器

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
IOCB7	IOCB6	IOCB5	IOCB4	—	—	—	—
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-4 **IOCB<7:4>**: 电平变化中断 PORTB 控制位
 1 = 允许电平变化中断
 0 = 禁止电平变化中断

bit 3-0 **未实现**: 读为 0

PIC16F631/677/685/687/689/690

4.4.3 引脚说明和引脚图

每个 PORTB 引脚都与其他功能复用。这里将简要说明引脚及其复用功能。各功能的具体信息（如 SSP、I²C™ 或中断），请参见本数据手册中的相关章节。

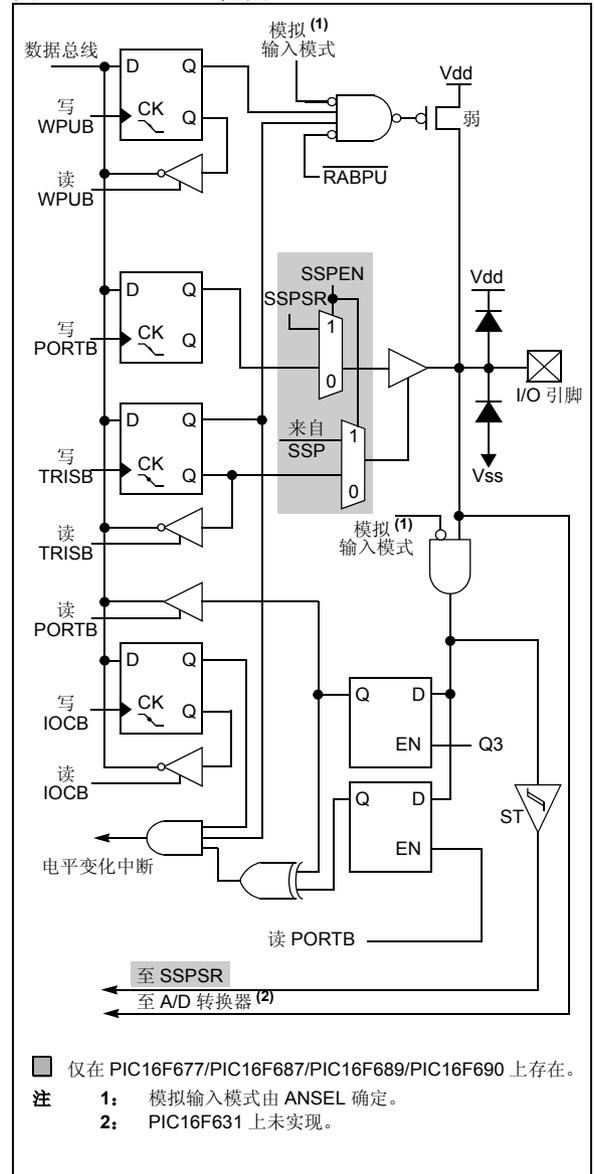
4.4.3.1 RB4/AN10/SDI/SDA

图 4-7 给出了此引脚的引脚图。RB4/AN10/SDI/SDA⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- SPI 数据 I/O
- I²C™ 数据 I/O

注 1: SDI 和 SDA 仅在 PIC16F687/PIC16F689/PIC16F690 上存在。

图 4-7: RB4 框图



PIC16F631/677/685/687/689/690

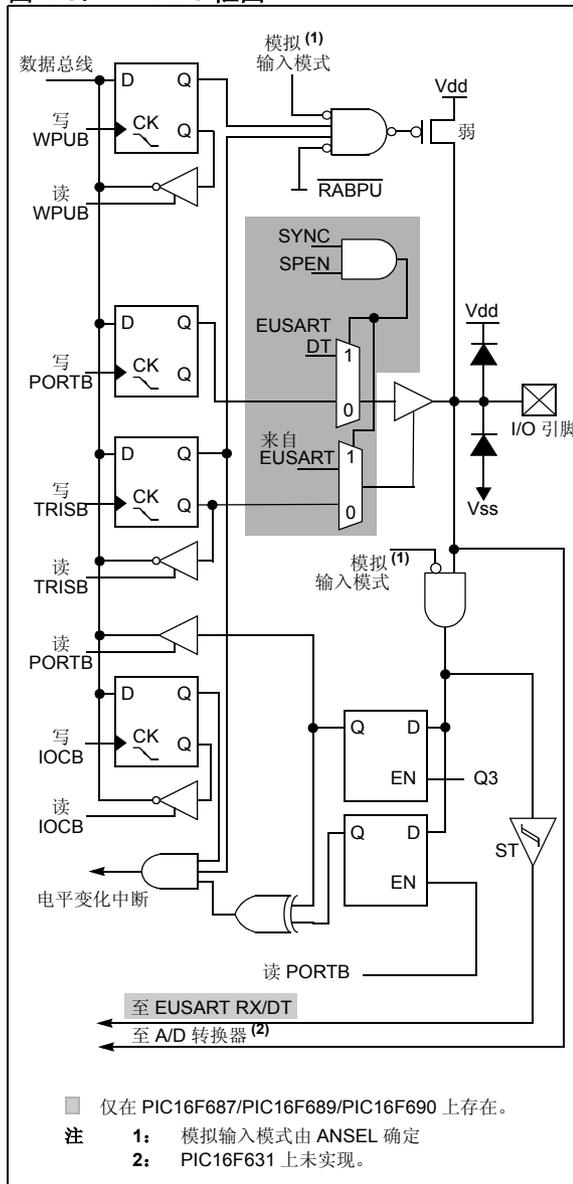
4.4.3.2 RB5/AN11/RX/DT

图 4-8 给出了此引脚的引脚图。RB5/AN11/RX/DT^(1,2) 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- 异步串行输入
- 同步串行数据 I/O

注 1: RX 和 DT 仅在 PIC16F687/PIC16F689/PIC16F690 上存在。
注 2: PIC16F631 上未实现 AN11。

图 4-8: RB5 框图



PIC16F631/677/685/687/689/690

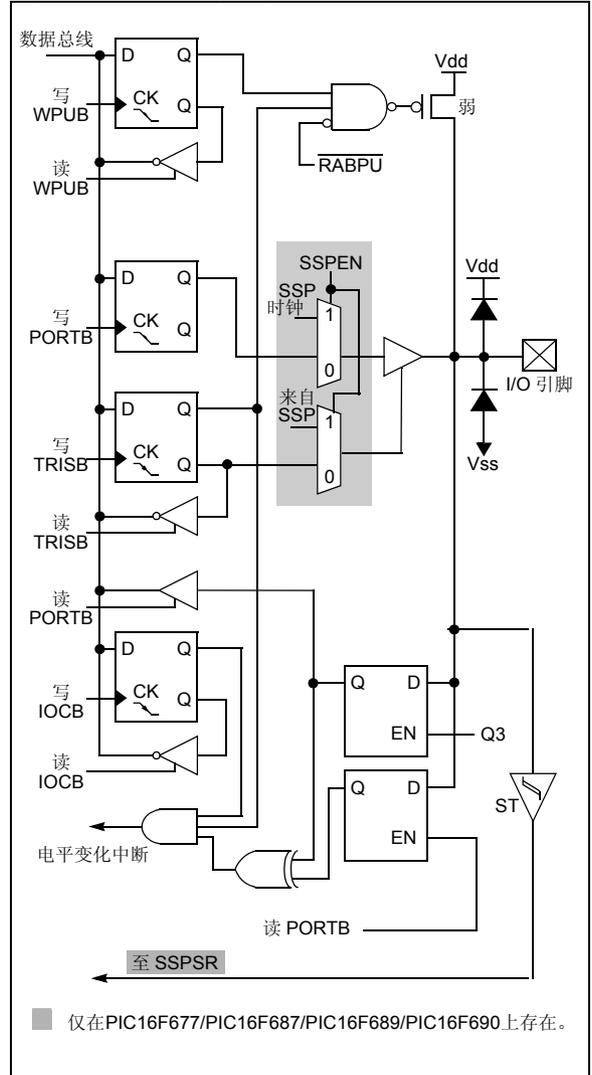
4.4.3.3 RB6/SCK/SCL

图 4-9 给出了此引脚的引脚图。RB6/SCK/SCL⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- SPI 时钟
- I²C™ 时钟

注 1: SCK 和 SCL 仅在 PIC16F677/PIC16F689/PIC16F690 上存在。

图 4-9: RB6 框图



PIC16F631/677/685/687/689/690

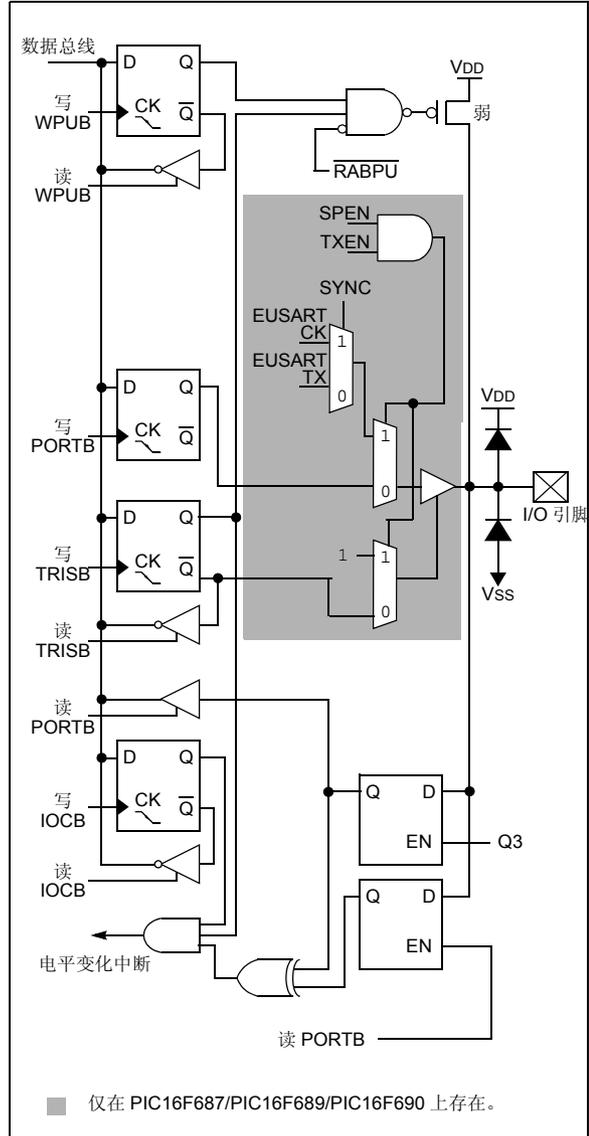
4.4.3.4 RB7/TX/CK

图 4-10 给出了此引脚的引脚图。RB7/TX/CK⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 异步串行输出
- 同步时钟 I/O

注 1: TX 和 CK 仅在 PIC16F687/PIC16F689/PIC16F690 上存在。

图 4-10: RB7 框图



PIC16F631/677/685/687/689/690

表 4-2: 与 PORTB 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 的值	所有其他复位值
IOCB	IOCB7	IOCB6	IOCB5	IOCB4	—	—	—	—	0000 ----	0000 ----
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PORTB	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	uuuu ----
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
WPUB	WPUB7	WPUB6	WPUB5	WPUB4	—	—	—	—	1111 ----	1111 ----

图注: x = 求知, u = 不变, — = 未实现读为 0。PORTB 不使用阴影单元。

PIC16F631/677/685/687/689/690

4.5.1 RC0/AN4/C2IN+

RC0 引脚可配置为下列功能之一：

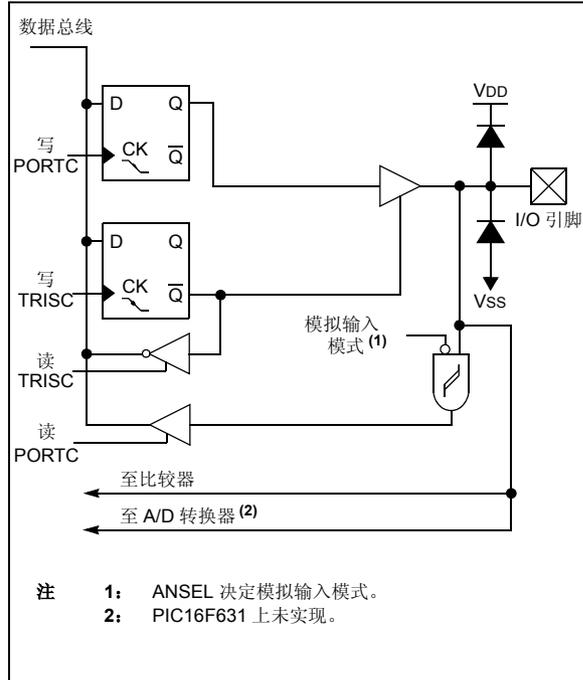
- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- 连接至比较器 C2 的模拟输入

4.5.2 RC1/AN5/C12IN1-

RC1 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入
- 连接至比较器 C1 或 C2 的模拟输入

图 4-11: RC0 和 RC1 框图



4.5.3 RC2/AN6/C12IN2-/P1D

RC2/AN6/P1D⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- PWM 输出
- 连接至比较器 C1 或 C2 的模拟输入

注 1: P1D 仅在 PIC16F685/PIC16F690 上存在。

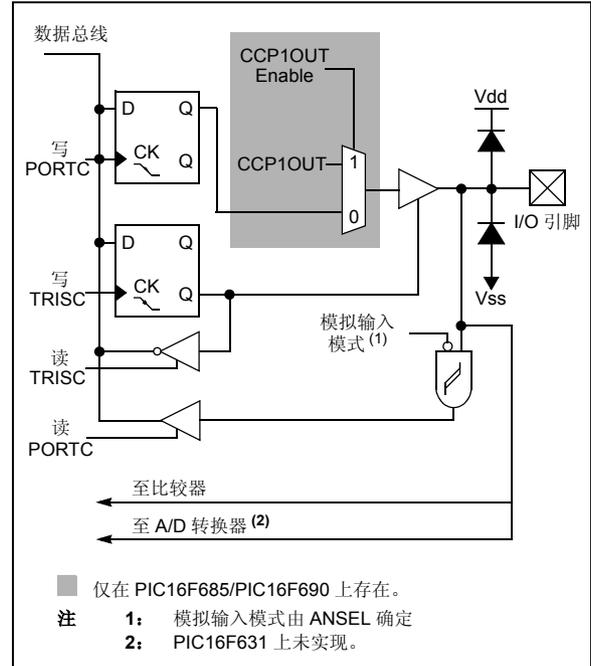
4.5.4 RC3/AN7/C12IN3-/P1C

RC3/AN7/P1C⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- PWM 输出
- 连接至比较器 C1 或 C2 的模拟输入

注 1: P1C 仅在 PIC16F685/PIC16F690 上存在。

图 4-12: RC2 和 RC3 框图



PIC16F631/677/685/687/689/690

4.5.5 RC4/C2OUT/P1B

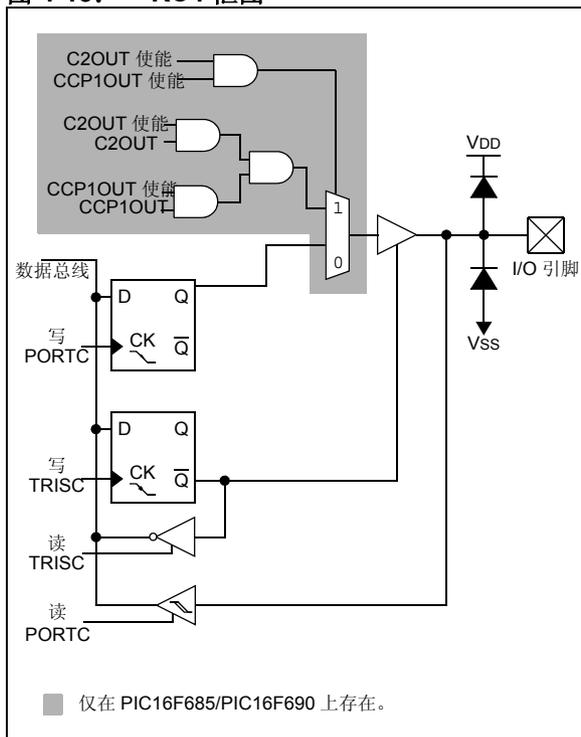
RC4/C2OUT/P1B^(1,2) 引脚可配置为下列功能之一：

- 通用 I/O
- 来自比较器 C2 的数字输出
- PWM 输出

注 1: 同时使能 C2OUT 和 P1B 将在 RC4 上引起冲突并产生不可预知的结果。因此，如果 C2OUT 被使能，则 ECCP+ 不能用于半桥或全桥模式下，反之亦然。

注 2: P1B 仅在 PIC16F685/PIC16F690 上存在。

图 4-13: RC4 框图



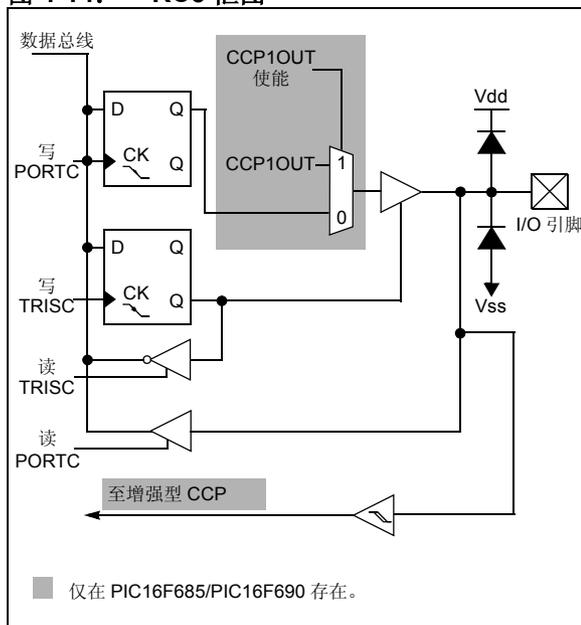
4.5.6 RC5/CCP1/P1A

RC5/CCP1/P1A⁽¹⁾ 引脚可配置为下列功能之一：

- 通用 I/O
- 增强型 CCP 的数字输入 / 输出
- PWM 输出

注 1: CCP1 和 P1A 仅在 PIC16F685/PIC16F690 上存在。

图 4-14: RC5 框图



PIC16F631/677/685/687/689/690

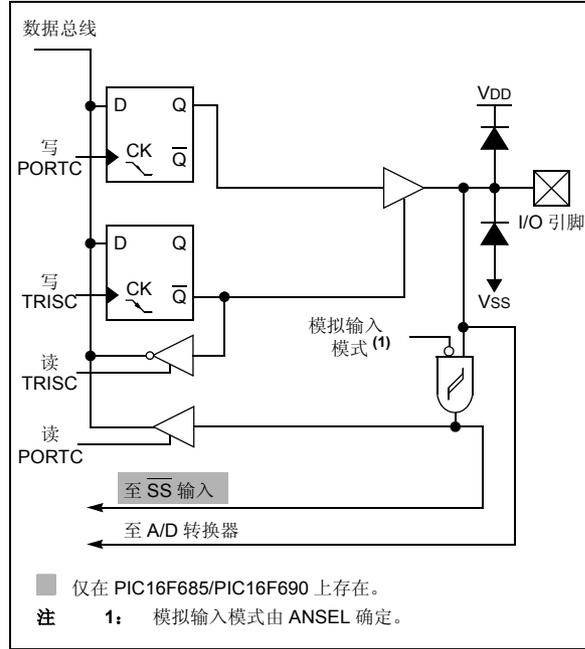
4.5.7 RC6/AN8/SS

RC6/AN8/SS^(1,2) 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- 从动选择输入

注 1: SS 仅在 PIC16F687/PIC16F689/PIC16F690 上存在。
注 2: PIC16F631 上未实现 AN8。

图 4-15: RC6 框图



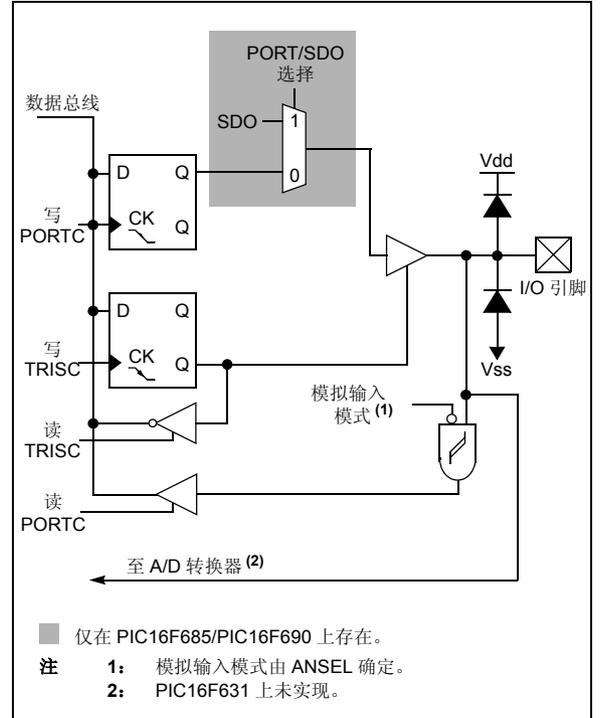
4.5.8 RC7/AN9/SDO

RC7/AN9/SDO^(1,2) 引脚可配置为下列功能之一：

- 通用 I/O
- 连接至 ADC 的模拟输入（除 PIC16F631 外）
- 串行数据输出

注 1: SDO 仅在 PIC16F687/PIC16F689/PIC16F690 上存在。
注 2: PIC16F631 上未实现 AN9。

图 4-16: RC7 框图



PIC16F631/677/685/687/689/690

表 4-3: 与 PORTC 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
ANSELH	—	—	—	—	ANS11	ANS10	ANS9	ANS8	---- 1111	---- 1111
CCP1CON ⁽²⁾	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
SRCON	SR1	SR0	C1SEN	C2REN	PULSS	PULSR	—	—	0000 00--	0000 00--
SSPCON ⁽¹⁾	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
VRCON	C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0	0000 0000	0000 0000

图注: x = 未知, u = 不变, - = 未实现单元读为 0。PORTC 未实现阴影单元。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

注 2: 仅限 PIC16F685/PIC16F690。

5.0 TIMER0 模块

Timer0 模块是 8 位定时器 / 计数器，具备以下特性：

- 8 位定时器 / 计数器寄存器 (TMR0)
- 8 位预分频器 (与看门狗定时器共用)
- 可编程内部或外部时钟源
- 可编程外部时钟边沿选择
- 溢出中断

图 5-1 是 Timer0 模块的框图。

5.1 Timer0 的工作原理

作为定时器使用时，Timer0 模块可用作 8 位定时器或 8 位计数器。

5.1.1 8 位定时器模式

作为定时器使用时，Timer0 模块将在每个指令周期递增（无预分频器）。将 OPTION 寄存器的 T0CS 位清零选择定时器模式。

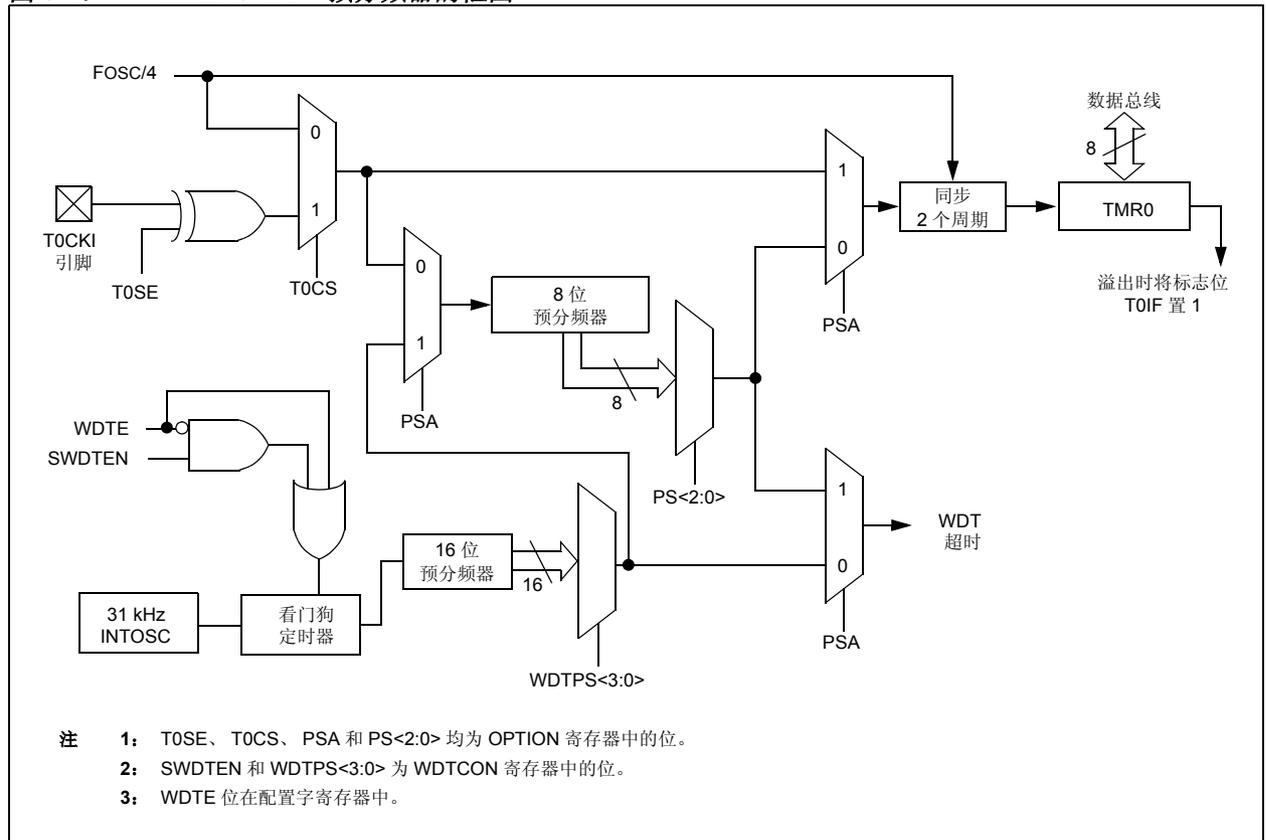
当 TMR0 被写入时，写入后将立即禁止 2 周期递增。

注： 在 TMR0 被写入时，为了计入两个指令周期的延时，可以调整写入 TMR0 寄存器的值。

5.1.2 8 位计数器模式

作为计数器使用时，Timer0 模块将在 T0CKI 引脚的每个上升沿递增。递增边沿由 OPTION 寄存器的 T0SE 位决定。将 OPTION 寄存器的 T0CS 位置 1 选择计数器模式。

图 5-1: TIMER0/WDT 预分频器的框图



PIC16F631/677/685/687/689/690

5.1.3 软件可编程预分频器

Timer0 或看门狗定时器 (WDT) 之一可使用一个软件可编程预分频器, 但两者不能同时使用。预分频器的分配由 OPTION 寄存器的 PSA 位控制。要将预分频器分配给 Timer0, 必须将 PSA 位清零。

Timer0 模块的预分频比有 8 种选项, 从 1:2 至 1:256。预分频比可通过 OPTION 寄存器的 PS<2:0> 位进行选择。要使 Timer0 模块得到 1:1 的预分频比, 必须将预分频器分配给 WDT 模块。

预分频器不可读写。当预分频器被分配给 Timer0 模块时, 所有写入 TMR0 寄存器的指令均会将预分频器清零。

当预分频器被分配给 WDT 时, 一条 CLRWDT 指令将同时清零预分频器和 WDT。

5.1.3.1 在 Timer0 和 WDT 模块间切换预分频器

由于预分频器可分配给 Timer0 或 WDT, 因此在切换预分频比时可能产生不想要的器件复位。当把预分频器从 Timer0 切换到 WDT 模块时, 必须执行例 5-1 所示的指令序列。

例 5-1: 更改预分频器 (TIMER0 → WDT)

```
BANKSEL TMR0 ;
CLRWDT ;Clear WDT
CLRF TMR0 ;Clear TMR0 and
; prescaler
BANKSEL OPTION_REG ;
BSF OPTION_REG, PSA ;Select WDT
CLRWDT ;
;
MOVLW b'11111000' ;Mask prescaler
ANDWF OPTION_REG, W ; bits
IORLW b'00000101' ;Set WDT prescaler
MOVWF OPTION_REG ; to 1:32
```

当将预分频器从 WDT 切换到 Timer0 模块时, 必须执行以下指令序列 (见例 5-2)。

例 5-2: 更改预分频器 (WDT → TIMER0)

```
CLRWDT ;Clear WDT and
;prescaler
BANKSEL OPTION_REG ;
MOVLW b'11110000' ;Mask TMR0 select and
ANDWF OPTION_REG, W ; prescaler bits
IORLW b'00000011' ;Set prescale to 1:16
MOVWF OPTION_REG ;
```

5.1.4 TIMER0 中断

TMR0 寄存器从 FFh 溢出到 00h 时, Timer0 将产生中断。INTCON 寄存器的 TOIF 中断标志位将在每次 TMR0 寄存器溢出时被置 1, 无论是否允许了 Timer0 中断。必须用软件将 TOIF 位清零。Timer0 中断允许位是 INTCON 寄存器的 TOIE 位。

注: 由于定时器在休眠时被冻结, 因此 Timer0 中断无法将处理器从休眠中唤醒。

5.1.5 TIMER0 与外部时钟配合使用

Timer0 处理计数器模式时, T0CKI 输入和 Timer0 寄存器的同步是通过采样内部相位时钟的 Q2 和 Q4 周期实现的。因此, 外部时钟源的高低周期必须满足第 17.0 节“电气特性”中所列的时序要求。

PIC16F631/677/685/687/689/690

寄存器 5-1: **OPTION_REG: 选项寄存器**

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 7 **RABPU:** PORTA/PORTB 上拉使能位
 1 = 使能 PORTA/PORTB 上拉
 0 = PORTA/PORTB 上拉由各端口锁存器值使能
- bit 6 **INTEDG:** 中断沿选择位
 1 = 在 INT 引脚的上升沿中断
 0 = 在 INT 引脚的下降沿中断
- bit 5 **T0CS:** TMR0 时钟源选择位
 1 = T0CKI 引脚的跳变
 0 = 内部指令周期时钟 (Fosc/4)
- bit 4 **T0SE:** TMR0 时钟源边沿选择位
 1 = 在 T0CKI 引脚的下降沿递增
 0 = 在 T0CKI 引脚的上升沿递增
- bit 3 **PSA:** 预分频器分配位
 1 = 预分频器分配给 WDT
 0 = 预分频器分配给 Timer0 模块
- bit 2-0 **PS<2:0>:** 预分频比选择位

位值	TMR0 分频比	WDT 分频比
000	1:2	1:1
001	1:4	1:2
010	1:8	1:4
011	1:16	1:8
100	1:32	1:16
101	1:64	1:32
110	1:128	1:64
111	1:256	1:128

注 1: 有一个专用的 16 位 WDT 后分频器。更多信息请参见第 14.5 节“看门狗定时器 (WDT)”。

表 5-1: **与 TIMER0 相关的寄存器汇总**

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 0000	0000 0000
OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
TMR0	Timer0 模块寄存器								xxxx xxxx	uuuu uuuu
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111

图注: -- = 未实现单元, 读为 0, u = 不变, x = 未知。Timer0 模块不使用阴影单元。

PIC16F631/677/685/687/689/690

6.0 带门控的 TIMER1 模块

Timer1 模块是 16 位定时器 / 计数器，具备以下特性：

- 一对 16 位定时器 / 计数器寄存器 (TMR1H:TMR1L)
- 可编程内部或外部时钟源
- 3 位预分频器
- 可选 LP 振荡器
- 同步或异步操作
- 通过比较器或 T1G 引脚的 Timer1 门控 (计数使能)
- 溢出中断
- 溢出时唤醒 (仅限外部时钟且异步模式时)
- 捕捉 / 比较功能的时基 (仅限 PIC16F685/PIC16F690)
- 特殊事件触发 (带 ECCP) (仅限 PIC16F685/PIC16F690)
- 比较器输出与 Timer1 时钟同步

图 6-1 是 Timer1 模块的框图。

6.1 Timer1 的工作原理

Timer1 模块是 16 位递增计数器，通过一对寄存器 TMR1H:TMR1L 访问。对 TMR1H 或 TMR1L 的写操作将直接更新计数器。

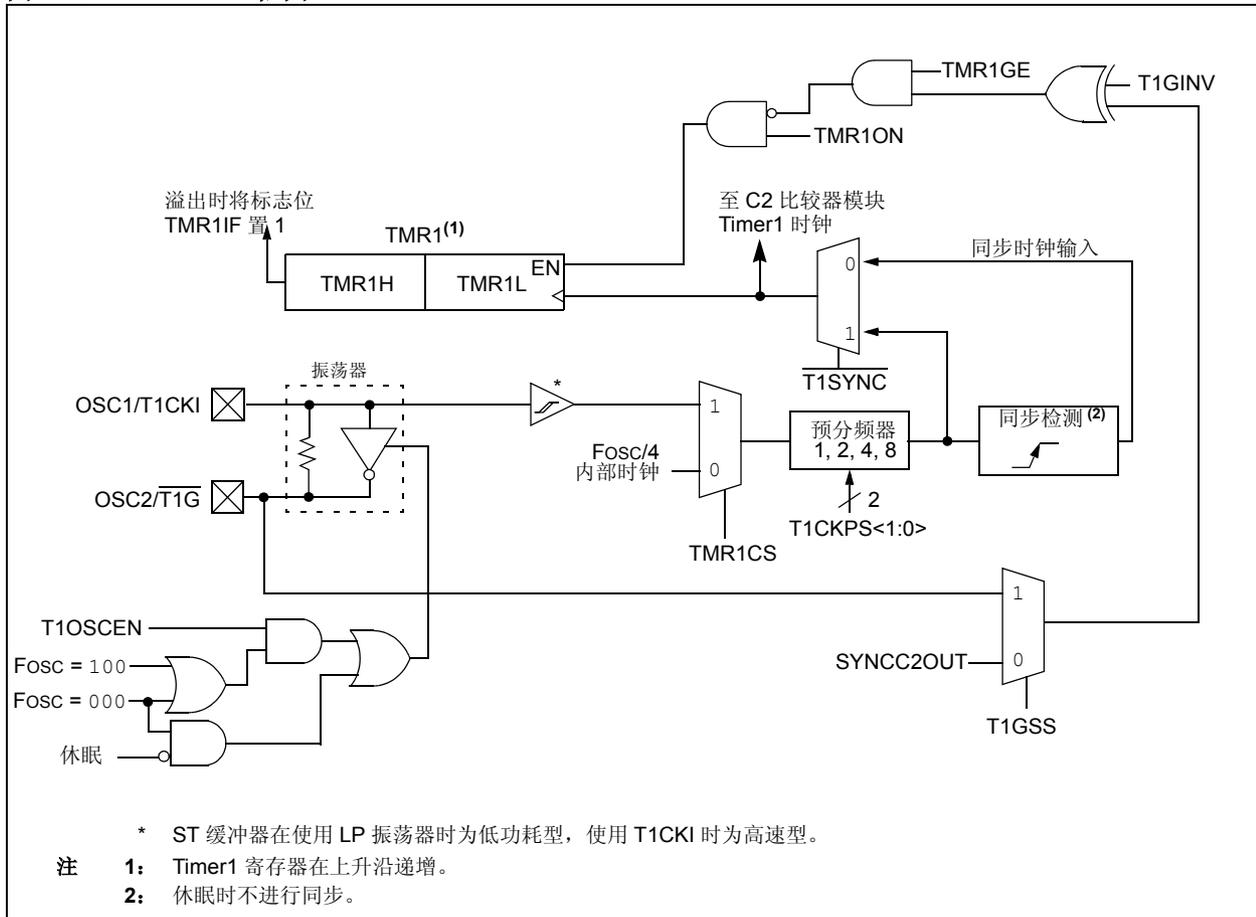
与内部时钟源配合使用时，该模块为定时器。与外部时钟源配合使用时，该模块可用作定时器或计数器。

6.2 选择时钟源

T1CON 寄存器的 TMR1CS 位用于选择时钟源。当 TMR1CS = 0 时，时钟源为 Fosc/4。TMR1CS = 1 时，时钟源由外部提供。

时钟源	T1OSCEN	FOSC 模式	TMR1CS
Fosc/4	x	xxx	0
T1CKI 引脚	0	xxx	1
T1LPOSC	1	LP 或 INTOSCIO	1

图 6-1: TIMER1 框图



6.2.1 内部时钟源

选择内部时钟源时，TMR1H:TMR1L 这对寄存器将在 Fosc 的某个倍数递增，倍数由 Timer1 预分频器决定。

6.2.2 外部时钟源

选择外部时钟源时，Timer1 模块可作为定时器，也可作为计数器工作。

计数时，Timer1 在外部时钟输入 T1CKI 的上升沿递增。此外，计数器模式时钟可同步到单片机系统时钟，也可异步运行。

若需外部时钟振荡器（且单片机使用不带 CLKOUT 的 INTOSC），则 Timer1 可使用 LP 振荡器作为时钟源。

注： 在计数器模式下，发生以下任何一个或多个情况后，计数器在首个上升沿递增前，必须先经过一个下降沿：

- POR 复位后使能 Timer1
- 写入 TMR1H 或 TMR1L
- Timer1 被禁止
- T1CKI 为高电平时 Timer1 被禁止 (TMR1ON = 0)，然后在 T1CKI 为低电平时 Timer1 被使能 (TMR1ON=1)。

请参见图 6-2。

6.3 Timer1 预分频器

Timer1 有四种预分频选项，可对时钟输入进行 1、2、4 或 8 分频。T1CON 寄存器的 T1CKPS 位控制预分频计数器。预分频计数器不可直接读写；但当发生对 TMR1H 或 TMR1L 的写操作时，预分频计数器被清零。

6.4 Timer1 振荡器

OSC1（输入）引脚与 OSC2（放大器输出）引脚之间内置有一个低功耗 32.768 kHz 晶振。将 T1CON 寄存器的 T1OSCCN 控制位置 1 使能振荡器。休眠时振荡器继续工作。

Timer1 振荡器与系统 LP 振荡器共用。这样，Timer1 就只能在主系统时钟来自内部振荡器或振荡器处于 LP 模式时使用此模式。用户必须提供软件延时以确保振荡器正常起振。

Timer1 振荡器被使能时，TRISA5 和 TRISA4 位置 1。RA5 和 RA4 位读为 0 且 TRISA5 和 TRISA4 位读为 1。

注： 振荡器在使用前需要一段起振和稳定时间。这样，应将 T1OSCCN 置 1 并在使能 Timer1 前应有一段适当的延时。

6.5 Timer1 工作于异步计数器模式下

若 T1CON 寄存器的控制位 $\overline{T1SYNC}$ 置 1，则外部时钟输入不同步。定时器与内部相位时钟异步递增。若选择了外部时钟源，则定时器将在休眠时继续运行，并可在溢出时产生中断，唤醒处理器。然而，读写定时器时应特别谨慎（见第 6.5.1 节“在异步计数器模式下读写 Timer1”）。

注： 从同步操作切换为异步操作时，有可能错过一次递增从异步操作切换为同步操作时，有可能多产生一次递增。

6.5.1 在异步计数器模式下读写 TIMER1

定时器运行于外部异步时钟时，读取 TMR1H 或 TMR1L 将确保读操作有效（由硬件负责）。然而，应该注意的是，用两个 8 位值来读取 16 位定时器本身就会产生某些问题，这是因为定时器可能在两次读操作之间产生溢出。

对于写操作，建议用户直接停止计数器，然后写入所期望的值。如果寄存器正在进行递增计数，对定时器寄存器进行写操作，可能会导致写入竞争，从而可能在 TMR1H:TMR1L 这对寄存器中产生不可预测的值。

6.6 Timer1 门控

Timer1 门控源可软件配置为 $\overline{T1G}$ 引脚或比较器 C2 的输出。这使器件可直接使用 $\overline{T1G}$ 为外部事件定时，或使用比较器 C2 对模拟事件定时。Timer1 门控源的选择请参见 CM2CON1 寄存器（寄存器 8-3）。这个特性可以简化 $\Delta - \Sigma$ A/D 转换器和许多其他应用的程序。有关 $\Delta - \Sigma$ A/D 转换器的更多信息，请参见 Microchip 网站（www.microchip.com）。

PIC16F631/677/685/687/689/690

注： T1CON 寄存器的 TMR1GE 位必须置 1 以将 T1G 或 C2OUT 用作 Timer1 门控源。更多有关选择 Timer1 门控源的信息，请参见 CM2CON1 寄存器（寄存器 8-3）。

使用 T1CON 寄存器的 T1GINV 位可翻转 Timer1 门控，不论其来自 T1G 引脚还是比较器 C2 的输出。这将配置 Timer1 以确保事件之间存在低电平有效或高电平有效的的时间。

6.7 Timer1 中断

Timer1 的一对寄存器 (TMR1H:TMR1L) 递增至 FFFFh 后返回 0000h。Timer1 计满返回时，PIR1 寄存器的 Timer1 中断标志位被置 1。为确保计满返回时产生中断，您必须将以下位置 1：

- T1CON 寄存器的 TMR1ON 位
- PIE1 寄存器的 TMR1IE 位
- INTCON 寄存器的 PEIE 位
- INTCON 寄存器的 GIE 位

在中断服务程序中将 TMR1IF 位清零将清除中断。

注： TMR1H:TMR1L 这对寄存器和 TMR1IF 位应在允许中断前清零。

6.8 Timer1 在休眠模式下的工作原理

只有在设定异步计数器模式时，Timer1 才能在休眠模式下工作。在该模式下，可使用外部晶振或时钟源信号使计数器递增。要设置定时器以唤醒器件：

- 必须将 T1CON 寄存器的 TMR1ON 位置 1
- 必须将 PIE1 寄存器的 TMR1IE 位置 1
- 必须将 INTCON 寄存器的 PEIE 位置 1
- 必须将 T1CON 寄存器的 T1SYNC 位置 1
- 必须将 T1CON 寄存器的 TMR1CS 位置 1
- 可将 T1CON 寄存器的 T1OSCEN 位置 1

溢出时器件将被唤醒并执行下一条指令。若 INTCON 寄存器的 GIE 位置 1，器件将调用中断服务程序 (0004h)。

6.9 ECCP 捕捉 / 比较时基

工作于捕捉或比较模式时，ECCP 模块使用 TMR1H:TMR1L 这对寄存器作为时基。

在捕捉模式下，TMR1H:TMR1L 这对寄存器的值在发生某个配置好的事件时被复制到 CCPR1H:CCPR1L 这对寄存器中。

在比较模式下，当 CCPR1H:CCPR1L 这对寄存器的值与 TMR1H:TMR1L 的值匹配时，将触发一个事件。该事件可以是特殊事件触发。

更多信息请参见第 11.0 节“增强型捕捉 / 比较 / PWM 模块”。

6.10 ECCP 特殊事件触发器

当 ECCP 配置为触发特殊事件时，触发器会将 TMR1H:TMR1L 这对寄存器清零。该特殊事件不会产生 Timer1 中断。ECCP 模块仍可配置为产生 ECCP 中断。

在此工作模式下，CCPR1H:CCPR1L 这对寄存器成为了 Timer1 的周期寄存器。

Timer1 应同步为 Fosc 以充分利用特殊事件触发器。Timer1 异步工作可导致错过特殊事件触发器。

当对 TMR1H 或 TMR1L 的写操作与一个 ECCP 特殊事件触发器同时发生时，写操作具有优先权。

更多信息请参见第 11.2.4 节“特殊事件触发器”。

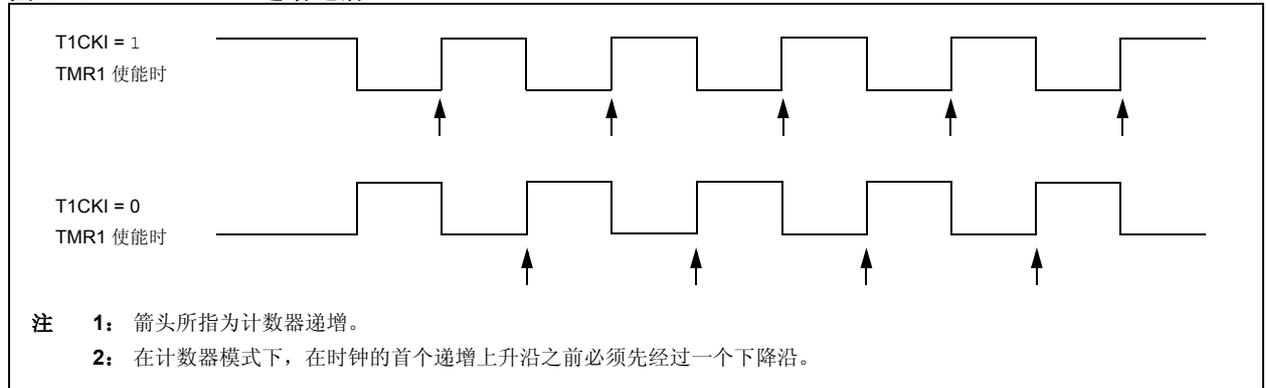
6.11 比较器同频

用于使 Timer1 递增的时钟还可用于同步比较器输出。这功能可在比较器模块中使能。

将比较器用于 Timer1 门控时，比较器输出应同步为 Timer1。这将在比较器发生变化时确保 Timer1 不错过递增。

更多信息请参见第 8.8.2 节“同步比较器 C2 输出和 Timer1”。

图 6-2: TIMER1 递增边沿



PIC16F631/677/685/687/689/690

6.12 Timer1 控制寄存器

如寄存器 6-1 所示，Timer1 控制寄存器（T1CON）用于控制 Timer1 并选择 Timer1 模块的各种功能。

寄存器 6-1: T1CON: TIMER1 控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T1GINV ⁽¹⁾	TMR1GE ⁽²⁾	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位，读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

- bit 7 **T1GINV:** Timer1 门控翻转位⁽¹⁾
1 = Timer1 门控为高电平有效（门控为高电平时 Timer1 计数）
0 = Timer1 门控为低电平有效（门控为低电平时 Timer1 计数）
- bit 6 **TMR1GE:** Timer1 门控使能位⁽²⁾
如果 TMR1ON = 0:
此位被忽略
如果 TMR1ON = 1:
1 = Timer1 在 Timer1 门控不活动时打开
0 = Timer1 打开
- bit 5-4 **T1CKPS<1:0>:** Timer1 输入时钟预分频比选择位
11 = 1:8 预分频比
10 = 1:4 预分频比
01 = 1:2 预分频比
00 = 1:1 预分频比
- bit 3 **T1OSCEN:** LP 振荡器使能控制位
若无 CLKOUT 振荡器的 INTOSC 处于激活状态:
1 = LP 振荡器被使能用于 Timer1 时钟
0 = LP 振荡器关闭
否则:
此位被忽略
- bit 2 **T1SYNC:** Timer1 外部时钟输入同步控制位
TMR1CS = 1:
1 = 不同步外部时钟输入
0 = 同步外部时钟输入
TMR1CS = 0:
此位被忽略。Timer1 使用内部时钟
- bit 1 **TMR1CS:** Timer1 时钟源选择位
1 = 来自 T1CK1 引脚（上升沿）的外部时钟
0 = 内部时钟（Fosc/4）
- bit 0 **TMR1ON:** Timer1 打开位
1 = 使能 Timer1
0 = 停止 Timer1

注 1: 无论门控源为何，T1GINV 位均将翻转 Timer1 门控逻辑。

2: 必须将 TMR1GE 位置 1 以使用 T1G 引脚或 C2OUT，使用哪个引脚作为 Timer1 的门控源由 CM2CON1 寄存器的 T1GSS 位选择。

PIC16F631/677/685/687/689/690

表 6-1: 与 TIMER1 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	---- --10	---- --10
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 0000	0000 0000
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
TMR1H	16 位 TMR1 寄存器的最高有效位的保持寄存器								xxxx xxxx	uuuu uuuu
TMR1L	16 位 TMR1 寄存器的最低有效位的保持寄存器								xxxx xxxx	uuuu uuuu
T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	uuuu uuuu

图注: x = 未知, u = 不变, — = 未实现, 读为 0。Timer1 模块不使用阴影单元。

PIC16F631/677/685/687/689/690

注:

7.0 TIMER2 模块

Timer2 模块是一个 8 位定时器，具备以下功能：

- 8 位定时器寄存器（TMR2）
- 8 位周期寄存器（PR2）
- TMR2 与 PR2 匹配时中断
- 软件可编程预分频比（1:1、1:4 或 1:16）
- 软件可编程后分频比（1:1 至 1:16）

Timer2 的框图请参见图 7-1。

7.1 Timer2 的工作原理

Timer2 模块的时钟输入是系统指令时钟（Fosc/4）。该时钟送入 Timer2 预分频器，其预分频比有 1:1、1:4 或 1:16 三种选择。随后预分频器的输出被用于递增 TMR2 寄存器。

TMR2 和 PR2 的值被不断比较以确定何时匹配。TMR2 将从 00h 开始递增直到与 PR2 的值相同。匹配时将发生以下两种情况：

- TMR2 在下一递增周期复位为 00h。
- Timer2 后分频比递增

Timer2/PR2 比较器的匹配输出送入 Timer2 后分频器。后分频器的选项范围为 1:1 至 1:16。Timer2 后分频器的输出用于将 PIR1 寄存器的 TMR2IF 中断标志置 1。

TMR2 和 PR2 寄存器均完全可读写。任何复位时，TMR2 寄存器置为 00h 且 PR2 寄存器置为 FFh。

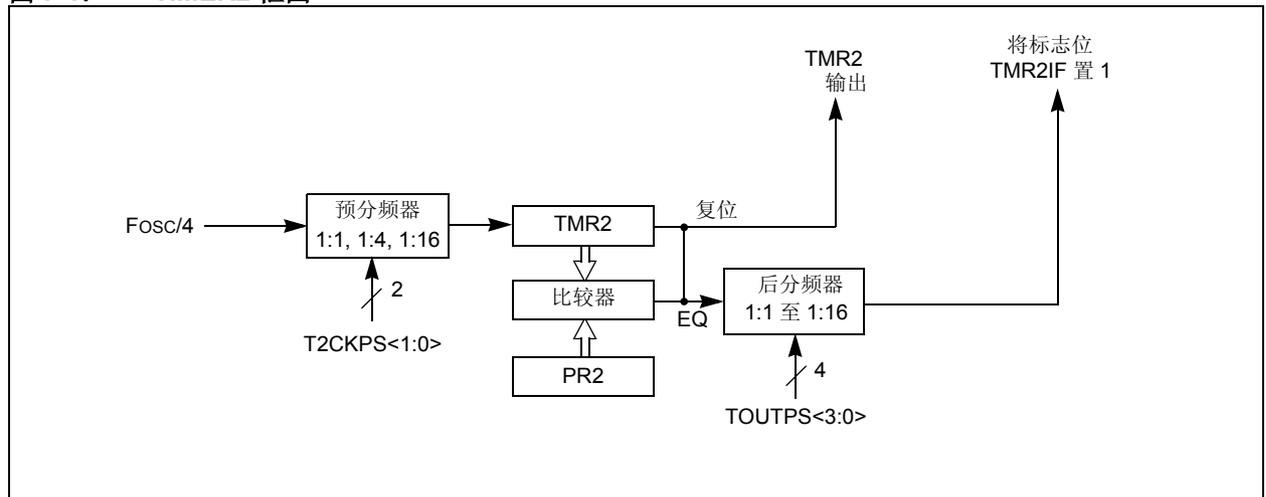
将 T2CON 寄存器中的 TMR2ON 位置 1 可打开 Timer2。将 TMR2ON 位清零可关闭 Timer2。

Timer2 预分频器由 T2CON 寄存器的 T2CKPS 位控制。Timer2 后分频器由 T2CON 寄存器的 TOUTPS 位控制。预分频器和后分频器计数器在以下情况下被清零：

- 发生了向 TMR2 的写入操作。
- 发生了向 T2CON 的写入操作。
- 发生了任一器件复位（上电复位， $\overline{\text{MCLR}}$ 复位，看门狗定时器复位或欠压复位）。

注： T2CON 被写入时 TMR2 不清零。

图 7-1: TIMER2 框图



PIC16F631/677/685/687/689/690

寄存器 7-1: **T2CON: TIMER2 控制寄存器⁽¹⁾**

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7 **未实现:** 读为 0

bit 6-3 **TOUTPS<3:0>:** Timer2 输出后分频比选择位
 0000 = 1:1 后分频比
 0001 = 1:2 后分频比
 0010 = 1:3 后分频比
 0011 = 1:4 后分频比
 0100 = 1:5 后分频比
 0101 = 1:6 后分频比
 0110 = 1:7 后分频比
 0111 = 1:8 后分频比
 1000 = 1:9 后分频比
 1001 = 1:10 后分频比
 1010 = 1:11 后分频比
 1011 = 1:12 后分频比
 1100 = 1:13 后分频比
 1101 = 1:14 后分频比
 1110 = 1:15 后分频比
 1111 = 1:16 后分频比

bit 2 **TMR2ON:** Timer2 打开位
 1 = Timer2 打开
 0 = Timer2 关闭

bit 1-0 **T2CKPS<1:0>:** Timer2 时钟预分频比选择位
 00 = 预分频比为 1
 01 = 预分频比为 4
 1x = 预分频比为 16

注 1: 仅限 PIC16F685/PIC16F690。

表 7-1: **与 TIMER2⁽¹⁾ 相关的寄存器汇总**

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
PR2	Timer2 模块周期寄存器								1111 1111	1111 1111
TMR2	8 位 TMR2 寄存器的保持寄存器								0000 0000	0000 0000
T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000

图注: x = 未知, u = 不变, - = 未实现读为 0。Timer2 模块不使用阴影单元。

注 1: 仅限 PIC16F685/PIC16F690。

8.0 比较器模块

比较器用于接口模拟电路与数字电路，它将两个模拟电压相比较并提供一个表示两者相对幅度数字值。比较器由于提供了独立于程序执行以外的模拟功能，因而对于混合信号构建模块是相当有用的。模拟比较器模块包含以下特性：

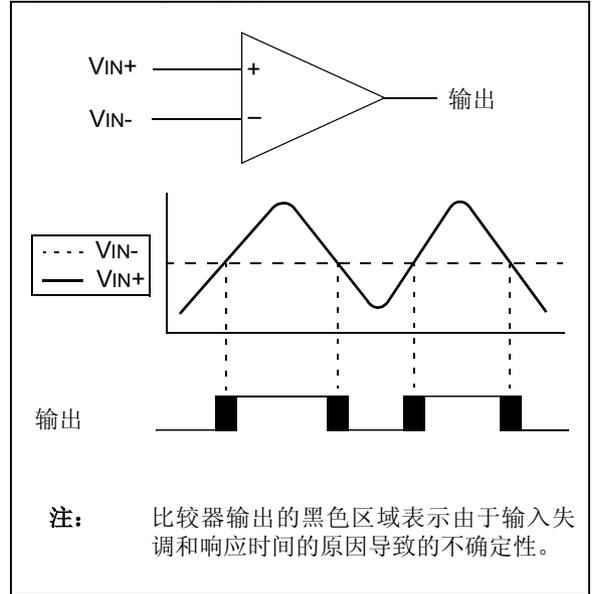
- 独立比较器控制
- 可编程输入选择
- 有内部 / 外部比较器输出
- 可编程输出极性
- 电平变化中断
- 从休眠中唤醒
- PWM 关闭
- Timer1 门控（计数使能）
- 输出与 Timer1 时钟输入同步
- SR 锁存器
- 可编程和固定参考电压

注： 只有比较器 C2 可连接到 Timer1。

8.1 比较器概述

图 8-1 所示为单比较器及模拟输入电平和数字输出之间的关系。当 V_{IN+} 的模拟电压小于 V_{IN-} 的模拟电压时，比较器输出数字低电平。当 V_{IN+} 的模拟电压大于 V_{IN-} 的模拟电压时，比较器输出数字高电平。

图 8-1: 单比较器



PIC16F631/677/685/687/689/690

图 8-2: 比较器 C1 的简化框图

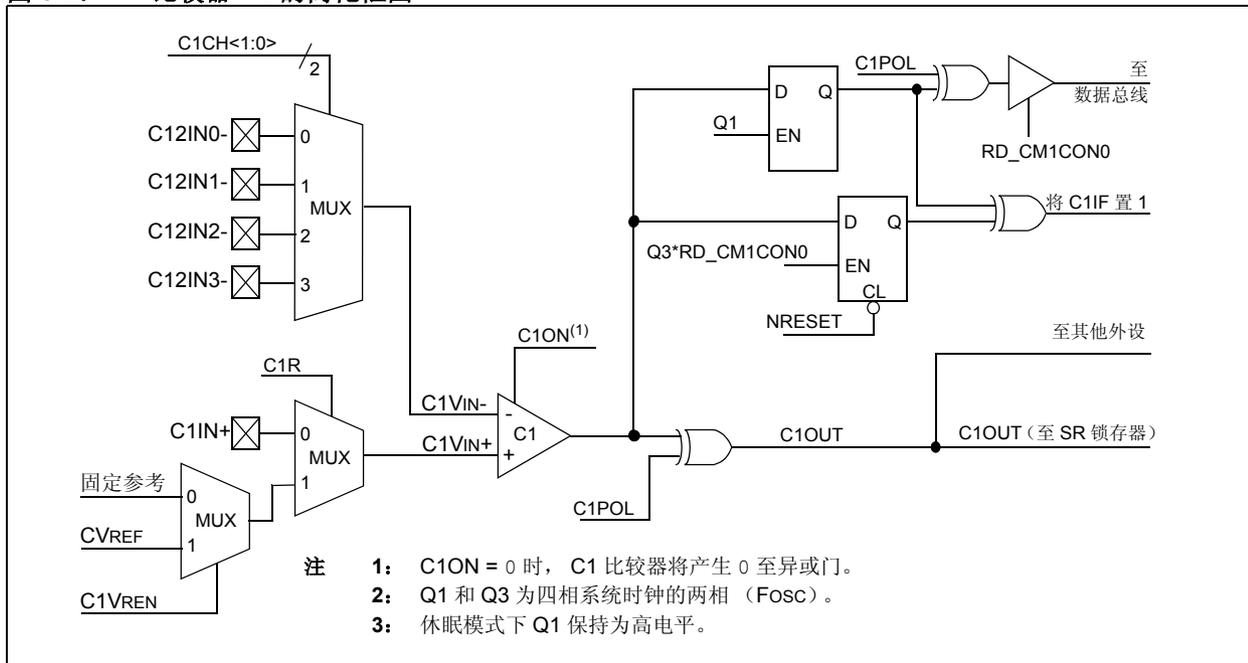
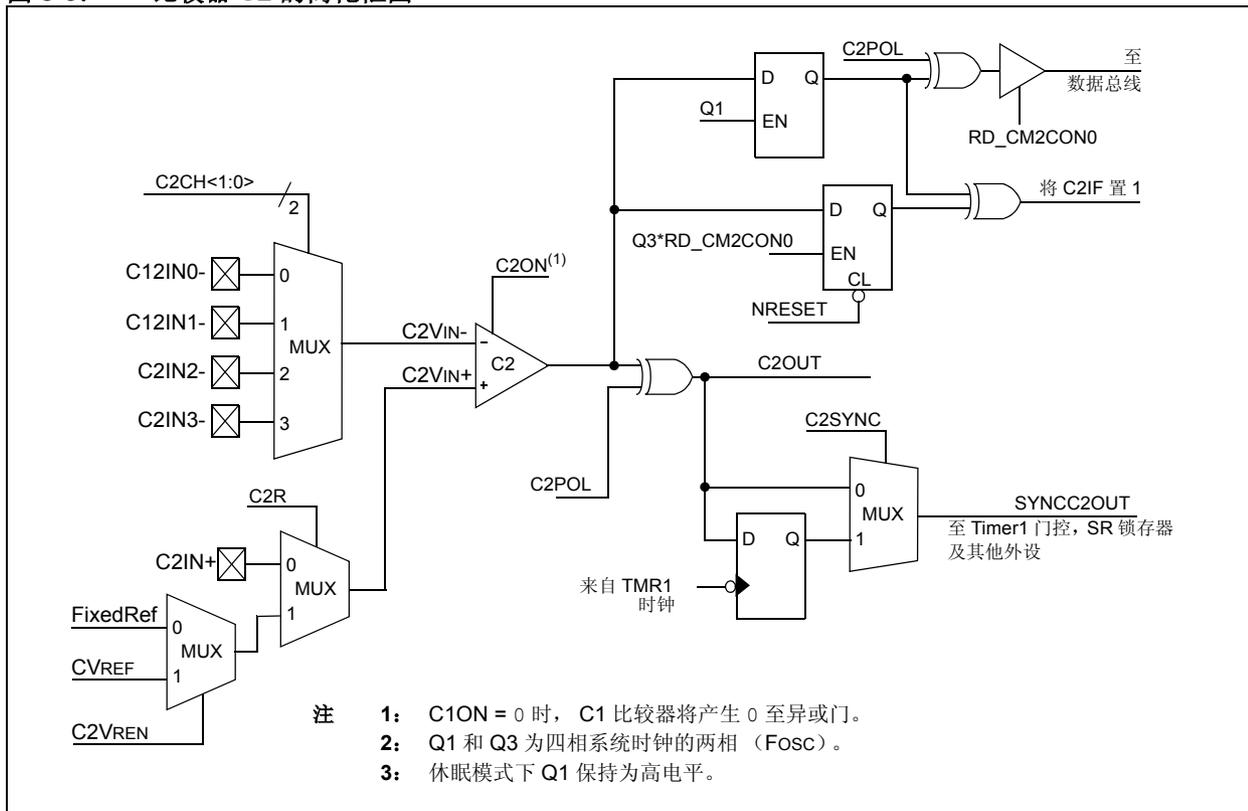


图 8-3: 比较器 C2 的简化框图



8.2 比较器的控制

每个比较器都有其各自的控制和配置寄存器：比较器 C1 的为 CM1CON0，比较器 C2 的为 CM2CON0。此外，比较器 C2 还有另一个控制寄存器 CM2CON1，用于控制与 Timer1 的互动并同时读取两个比较器的输出。

CM1CON0 和 CM2CON0 寄存器（分别见寄存器 8-1 和 8-2）包含以下各项的控制位和状态位：

- 使能
- 输出选择
- 参考电压选择
- 输出选择
- 输出极性

8.2.1 比较器的使能

将 CMxCON0 寄存器的 CxON 位置 1 使能比较器工作。将 CxON 位清零禁止比较器，使电流消耗降至最低。

8.2.2 比较器输入的选择

CMxCON0 寄存器的 CxCH<1:0> 位将四个模拟输入引脚之一连接到比较器的反相输入端。

注： 要将 CxIN+ 和 C12INx- 引脚用作模拟输入，必须将 ANSEL 寄存器中的相应位置 1，相应的 TRIS 位也必须置 1 以禁止输出驱动器。

8.2.3 比较器参考电压的选择

将 CMxCON0 寄存器的 CxR 位置 1 将内部参考电压或模拟输入引脚连接至比较器的同相输入端。更多有关内部参考电压模块的信息请参见第 8.9 节“比较器的 SR 锁存器”。

8.2.4 比较器输出的选择

比较器的输出可通过读取 CMxCON0 寄存器的任一 CxOUT 位或 CM2CON1 寄存器的 MCxOUT 位来监控。要使输出可与外部连接，以下条件必须成立：

- CMxCON0 寄存器的 CxOE 位必须置 1
- 相应的 TRIS 位必须清零
- CMxCON0 寄存器的 CxON 位必须置 1

注 1： CxOE 位覆盖 PORT 数据锁存器。将 CxON 置 1 对端口的覆盖没有影响。

2： 比较器的内部输出与每个指令周期锁存。除非另外说明，否则外部输出不锁存。

8.2.5 比较器输出极性

翻转比较器输出与交换比较器输入的效果相同。比较器的输出极性可通过将 CMxCON0 寄存器的 CxPOL 位置 1 翻转。将 CxPOL 位清零将产生同相输出。

表 8-1 所示为包括极性控制在内的输出状态与输入条件的比较。

表 8-1： 比较器输出状态—输入条件

输入条件	CxPOL	CxOUT
CxVIN- > CxVIN+	0	0
CxVIN- < CxVIN+	0	1
CxVIN- > CxVIN+	1	1
CxVIN- < CxVIN+	1	0

8.3 比较器的响应时间

在比较器的一个输入源发生改变或选择了另一个参考电压后，比较器的输出在一段时间内无法确定。这段时间称为响应时间。比较器的响应时间随参考电压的稳定时间不同而不同。因此，在确定比较器输入改变时的总响应时间时，必须将这两个时间考虑在内。详情请参见第 17.0 节“电气特性”中比较器和参考电压规范。

8.4 比较器中断的工作原理

只要比较器的输出值有所变化，比较器的中断标志就可以被置 1。变化的识别是通过由两个锁存器和一个异或门组成的失配电路（见图 8-2 和图 8-3）来实现的。当读取 CMxCON0 寄存器时，一个锁存器被比较器输出电平更新。该锁存器保存该值直到下次读取 CMxCON0 寄存器或发生复位。失配电路的另一个锁存器被系统时钟的每个 Q1 更新。在 Q1 时钟周期，当比较器输出的变化送达第二个锁存器时，将产生失配条件。此时，失配的两个锁存器中有着相反的输出电平，这两个电平被异或门检测到并输送给中断电路。失配条件将持续到 CMxCON0 寄存器被读取或比较器输出返回到先前的状态为止。

- 注 1:** 对 CMxCON0 寄存器执行写操作也将清除失配条件，这是因为所有写周期开始时均包含读操作。
- 2:** 无论 CxOE 状态如何，比较器中断均将正常运行。

比较器中断由失配边沿而非失配电平设置。这意味着中断标志无需多加一个读取或写入 CMxCON0 寄存器以清零失配寄存器的步骤即可复位。失配寄存器被清零后，在比较器返回先前的状态时将产生中断，否则不会产生中断。

软件必须保存从 CMxCON0 寄存器或 CM2CON1 寄存器读取的比较器输出信息，以确定实际发生的变化。

PIR1 寄存器的 CxIF 位是比较器中断标志。该位必须用软件将其清零而复位。该寄存器也可被置 1 产生中断。

PIE1 寄存器的 CxIE 位和 INTCON 寄存器的 PEIE 和 GIE 位必须都置 1 以允许比较器中断。如果其中任一位置零，则中断不被允许，然而 PIR1 寄存器的 CxIF 位仍将在中断条件发生时被置 1。

图 8-4: 不读取 CMxCON0 时的比较器中断时序

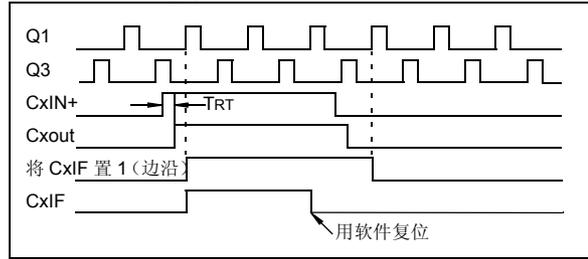
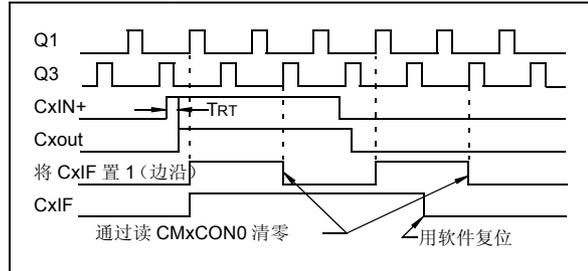


图 8-5: 读取 CMxCON0 时的比较器中断时序



- 注 1:** 如果在读操作正在执行时不得不改变 CMxCON0 寄存器 (CxOUT) (Q2 周期的起始)，则 PIR1 寄存器的 CxIF 中断标志不一定会被置 1。
- 2:** 当任一比较器先被使能时，比较器模块中的偏置电路可产生无效的比较器输出，直到偏置电路稳定为止。应留有 1 μs 偏置电路稳定时间，然后在使能比较器中断前清除失配条件，并将中断标志清零。

8.5 休眠时的操作

如果在比较器进入休眠模式前将其使能，它将在休眠期间保持激活状态。比较器消耗的额外电流在**第 17.0 节“电气特性”**中单独列出。如果不使用比较器唤醒器件，可将比较器关闭，使其在休眠期间的功耗降至最低。通过将 **CMxCON0** 寄存器的 **CxON** 位清零可关闭各个比较器。

比较器输出变化可将器件从休眠模式唤醒。要使能比较器唤醒休眠的器件的功能，必须将 **PIE1** 寄存器的 **CxIE** 位和 **INTCON** 寄存器的 **PEIE** 位置 1。器件从休眠唤醒后，将始终执行紧随休眠指令之后的一条指令。如果 **INTCON** 寄存器的 **GIE** 位也被置 1，器件将执行中断服务程序。

8.6 复位的影响

器件复位强制 **CMxCON0** 和 **CM2CON1** 寄存器回到其复位状态。这将使比较器及参考电压回到关闭状态。

PIC16F631/677/685/687/689/690

寄存器 8-1: CM1CON0: 比较器 C1 控制寄存器 0

R/W-0	R-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

- bit 7 **C1ON:** 比较器 C1 使能位
1 = 比较器 C1 被使能
0 = 比较器 C1 被禁止
- bit 6 **C1OUT:** 比较器 C1 输出位
如果 C1POL = 1 (极性相反):
C1OUT = 0, C1VIN+ > C1VIN- 时
C1OUT = 1, C1VIN+ < C1VIN- 时
如果 C1POL = 0 (极性相同):
C1OUT = 1, C1VIN+ > C1VIN- 时
C1OUT = 0, C1VIN+ < C1VIN- 时
- bit 5 **C1OE:** 比较器 C1 输出使能位
1 = C1OUT 在 C1OUT 引脚上 ⁽¹⁾
0 = C1OUT 仅在内部
- bit 4 **C2POL:** 比较器 C2 输出极性选择位
1 = C2OUT 逻辑反相
0 = C2OUT 逻辑同相
- bit 3 **未实现:** 读为 0
- bit 2 **C1R:** 比较器 C1 参考电压选择位 (同相输入)
1 = C1VIN+ 连接到 C1VREF 输出
0 = C1VIN+ 连接到 C1IN+ 引脚
- bit 1-0 **C1CH<1:0>:** 比较器 C1 通道选择位
00 = C1 的 C1VIN- 连接到 C12IN0- 引脚
01 = C1 的 C1VIN- 连接到 C12IN1- 引脚
10 = C1 的 C1VIN- 连接到 C12IN2- 引脚
11 = C1 的 C1VIN- 连接到 C12IN3- 引脚

注 1: 比较器输出需满足以下三个条件: C1OE = 1, C1ON = 1 且相应 PORT 的 TRIS 位 = 0。

PIC16F631/677/685/687/689/690

寄存器 8-2: CM2CON0: 比较器 C2 控制寄存器 0

R/W-0	R-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 7 **C2ON:** 比较器 C2 使能位
 1 = 比较器 C2 被使能
 0 = 比较器 C2 被禁止
- bit 6 **C2OUT:** 比较器 C2 输出位
如果 C2POL = 1 (极性相反):
 C2OUT = 0, C2VIN+ > C2VIN- 时
 C2OUT = 1, C2VIN+ < C2VIN- 时
如果 C2POL = 0 (极性相同):
 C2OUT = 1, C2VIN+ > C2VIN- 时
 C2OUT = 0, C2VIN+ < C2VIN- 时
- bit 5 **C2OE:** 比较器 C2 输出使能位
 1 = C2OUT 在 C2OUT 引脚上 ⁽¹⁾
 0 = C2OUT 仅在内部
- bit 4 **C2POL:** 比较器 C2 输出极性选择位
 1 = C2OUT 逻辑反相
 0 = C2OUT 逻辑同相
- bit 3 **未实现:** 读为 0
- bit 2 **C2R:** 比较器 C2 参考电压选择位 (同相输入)
 1 = C2VIN+ 连接到 C2VREF
 0 = C2VIN+ 连接到 C2IN+ 引脚
- bit 1-0 **C2CH<1:0>:** 比较器 C2 通道选择位
 00 = C2 的 C2VIN- 连接到 C12IN0- 引脚
 01 = C2 的 C2VIN- 连接到 C12IN1- 引脚
 10 = C2 的 C2VIN- 连接到 C12IN2- 引脚
 11 = C2 的 C2VIN- 连接到 C12IN3- 引脚

注 1: 比较器输出需要满足以下三个条件: C2OE = 1, C2ON = 1 且相应 PORT 的 TRIS 位 = 0。

PIC16F631/677/685/687/689/690

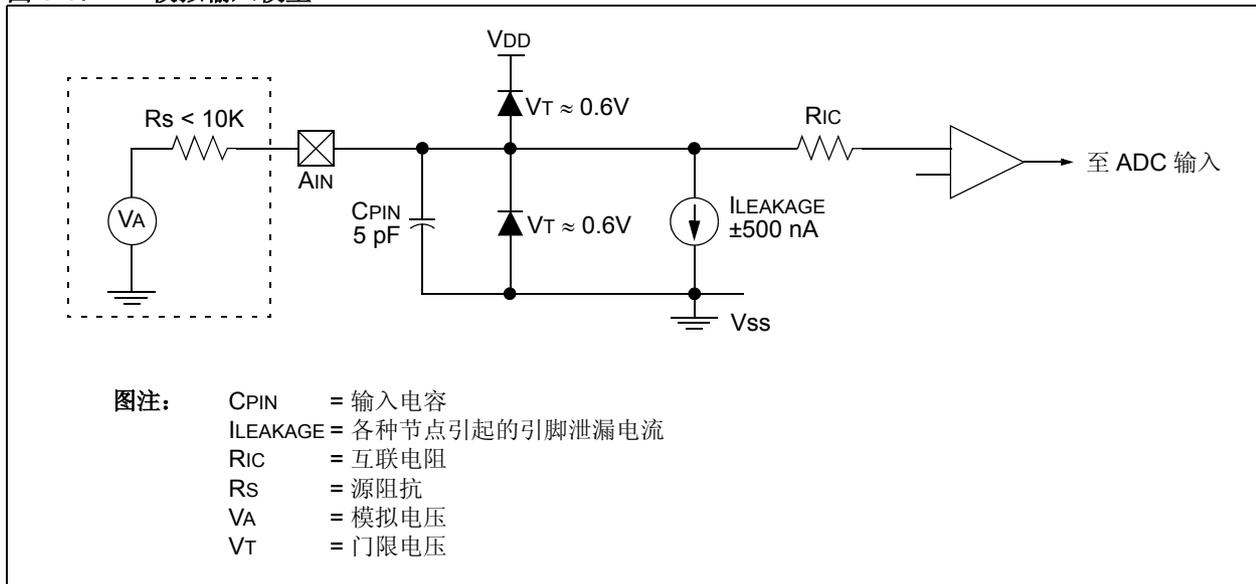
8.7 模拟输入连接考虑事项

图 8-6 所示为模拟输入的简化电路。由于模拟输入引脚与数字输入共用连接，因此它们具有连接到 VDD 和 VSS 的反向偏置 ESD 保护二极管。因此模拟输入电压必须介于 VSS 和 VDD 之间。如果输入电压与该范围的绝对值偏差超过 0.6V，其中一个二极管将正向偏置，从而可能发生闭锁。

建议为模拟输入源连接一个最大为 10 kΩ 的源阻抗。另外，连接到模拟输入引脚的外部元件，如电容或稳压二极管，应具有极小的泄漏电流以将引入误差减到最小。

- 注 1:** 读取 PORT 寄存器时，所有配置为模拟输入的引脚均将读为 0。根据输入规范，配置为数字输入的引脚将转变成模拟输入。
- 注 2:** 在任何定义为数字输入的引脚上若有模拟电平，将导致输入缓冲器消耗超出规范的电流。

图 8-6: 模拟输入模型



8.8 比较器的其他特性

比较器还有以下三个特性：

- Timer1 计数使能（门控）
- 输出与 Timer1 同步
- 同时读取两个比较器输出

8.8.1 比较器 C2 门控 TIMER1

此特性可用于为模拟事件的间隔持续时间定时。将 CM2CON1 寄存器的 T1GSS 位清零将使 Timer1 根据比较器 C2 的输出递增。这要求将 Timer1 打开并使能门控。详情请参见第 6.0 节“带门控的 Timer1 模块”。

当比较器用作 Timer1 门控源时，建议通过将 C2SYNC 位置 1 使比较器与 Timer1 同步。这将确保 Timer1 在递增期间若比较器改变，Timer1 不错过递增。

8.8.2 同步比较器 C2 输出和 TIMER1

通过将 CM2CON1 寄存器的 C2SYNC 位置 1 可将比较器 C2 的输出与 Timer1 同步。C2 输出使能时，将在 Timer1 时钟源的下降沿锁存。如果 Timer1 使用了预分频器，比较器的输出在预分频后锁存。为了防止争用，比较器的输出在 Timer1 时钟源的下降沿锁存，而 Timer1 在时钟源的上升沿递增。更多信息请参见比较器框图（图 8-3）和 Timer1 框图（图 6-1）。

8.8.3 同时读取两个比较器输出

CM2CON1 寄存器的 MC1OUT 和 MC2OUT 位为两个比较器输出的镜像副本位。由于用一个寄存器即可同时读取两个比较器输出，因此消除了分别读取两个寄存器的时序偏差（timing skew）。

注 1: 通过读取 CM2CON1 获得 C1OUT 或 C2OUT 的状态不影响比较器中断失配寄存器。

寄存器 8-3: CM2CON1: 比较器 C2 控制寄存器 1

R-0	R-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0
MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位，读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7 **MC1OUT:** C1OUT 的镜像副本位
 bit 6 **MC2OUT:** C2OUT 的镜像副本位
 bit 5-2 **未实现:** 读为 0
 bit 1 **T1GSS:** Timer1 门控源选择位⁽¹⁾
 1 = Timer1 的门控源为 T1G
 0 = Timer1 的门控源为 SYNCC2OUT
 bit 0 **C2SYNC:** 比较器 C2 输出同步位⁽²⁾
 1 = 输出同步为 Timer1 时钟的下降沿
 0 = 输出异步

- 注 1:** 请参见第 6.6 节“Timer1 门控”。
注 2: 请参见图 8-3。

PIC16F631/677/685/687/689/690

8.9 比较器的 SR 锁存器

SR 锁存器模块提供了对比较器输出的额外控制。该模块由一个 SR 锁存器和输出复用器组成。SR 锁存器可由比较器输出置 1，复位或翻转。SR 锁存器还可通过 SRCON 寄存器的控制位置 1 或复位，而与比较器的输出无关。SR 锁存器输出复用器选择是将锁存器输出还是将比较器输出连接至 I/O 端口逻辑电路，以使事件发生时输出到引脚上。

8.9.1 锁存器的工作原理

锁存器的置 1 或复位不依赖于时钟源。每个置 1 或复位的输入均为高电平有效。每个锁存器输入均连接到比较器的输入和一个由软件控制的脉冲发生器上。锁存器可由 C1OUT 或 SRCON 寄存器的 PULSS 位置 1，可由 C2OUT 或 SRCON 寄存器的 PULSR 位复位。锁存器是复位主导的，即如果置 1 或复位输入均为高电平，锁存器将进入复位状态。PULSS 和 PULSR 位均为自复位的，即只要对任一位执行写操作即可完成锁存器的置 1 或复位操作。

8.9.2 锁存器输出

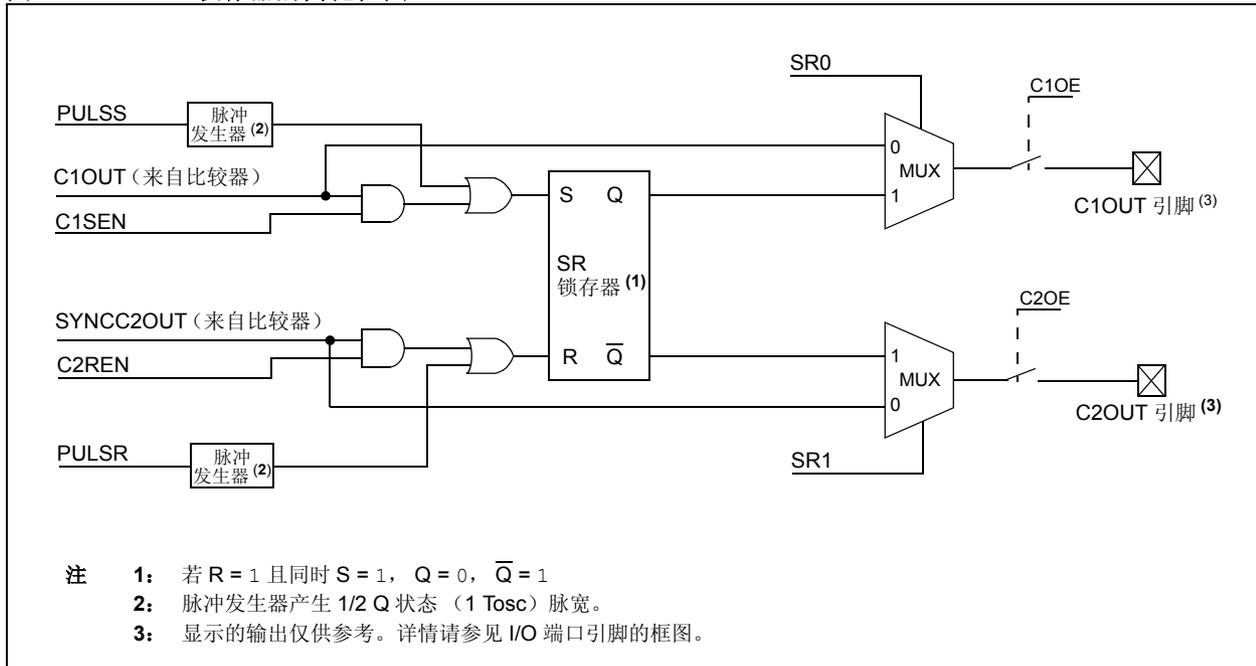
SRCON 寄存器的 SR<1:0> 位控制锁存器输出复用器并决定四种配置。在这四种配置中，CxOUT I/O 端口逻辑均连接到：

- C1OUT 和 C2OUT
- C1OUT 和 SR 锁存器的 \bar{Q}
- C2OUT 和 SR 锁存器的 Q
- SR 锁存器的 Q 和 \bar{Q}

任何复位后，默认的输出配置均为未锁存的 C1OUT 和 C2OUT 模式。这样可保持与不具备 SR 锁存器特性的器件兼容。

必须将相应端口的 TRIS 位清零以使能端口引脚输出驱动器。此外，CMxCON0 寄存器的比较器输出使能位 CxOE 必须置 1 以使比较器或锁存器输出可出现在输出引脚上。锁存器的配置使能状态完全与比较器的使能状态无关。

图 8-7: SR 锁存器的简化框图



PIC16F631/677/685/687/689/690

寄存器 8-4: **SRCON: SR 锁存器控制寄存器**

R/W-0	R/W-0	R/W-0	R/W-0	R/S-0	R/S-0	U-0	U-0
SR1 ⁽²⁾	SR0 ⁽²⁾	C1SEN	C2REN	PULSS	PULSR	—	—
bit 7						bit 0	

图注:	S = 只可置 1	U = 未实现位, 读为 0
R = 可读位	W = 可写位	0 = 清零
-n = POR 时的值	1 = 置 1	x = 未知

- bit 7 **SR1: SR 锁存器配置位⁽²⁾**
 1 = C2OUT 引脚锁存 \bar{Q} 输出
 0 = C2OUT 引脚为比较器 C2 的输出
- bit 6 **SR0: SR 锁存器配置位⁽²⁾**
 1 = C1OUT 锁存 Q 输出
 0 = C1OUT 引脚为比较器 C1 的输出
- bit 5 **C1SEN: C1 置 1 使能位**
 1 = C1 比较器输出将 SR 锁存器置 1
 0 = C1 比较器输出对 SR 锁存器没有影响
- bit 4 **C2REN: C2 复位使能位**
 1 = C2 比较器输出将 SR 锁存器复位
 0 = C2 比较器输出对 SR 锁存器没有影响
- bit 3 **PULSS: 为 SR 锁存器的 SET 输入提供脉冲的位**
 1 = 触发脉冲发生器以将 SR 锁存器置 1。该位被硬件立即复位。
 0 = 不触发脉冲发生器
- bit 2 **PULSR: 为 SR 锁存器的复位输入提供脉冲的位**
 1 = 触发脉冲发生器以将 SR 锁存器复位。该位被硬件立即复位。
 0 = 不触发脉冲发生器
- bit 1-0 **未实现:** 读为 0

- 注 1:** 无论 SR 锁存器如何操作, CMxCON0 寄存器的 CxOUT 位将始终反映比较器的实际输出 (非引脚上的电平)。
- 2:** 要将 SR 锁存器输出到引脚上, 必须正确配置相应的 CxOE 和 TRIS 位。

PIC16F631/677/685/687/689/690

8.10 比较器参考电压

比较器参考电压模块为比较器提供了一个内部产生的参考电压。它有以下特性：

- 独立于比较器操作以外
- 两个 16 级电压范围
- 输出钳位到 Vss
- 与 VDD 成比例
- 固定参考电压 (0.6V)

VRCON 寄存器 (寄存器 8-5) 控制参考电压模块, 如图 8-8 所示。

8.10.1 独立工作

比较器参考电压与比较器配置不相关。将 VRCON 寄存器的 VREN 位将使能参考电压。

8.10.2 输出电压的选择

CVREF 参考电压有两种范围, 每种均为 16 个电平。范围的选择由 VRCON 寄存器的 VRR 位控制。这 16 个电平由 VRCON 寄存器的 VR<3:0> 位设置。

CVREF 输出电压由以下公式确定:

公式 8-1: CVREF 输出电压

$VRR = 1 \text{ (低电平范围):}$ $CVREF = (VR<3:0>/24) \times VDD$ $VRR = 0 \text{ (高电平范围):}$ $CVREF = (VDD/4) + (VR<3:0> \times VDD/32)$

由于模块的构造所限, 无法实现 Vss 至 VDD 的满量程。请参见图 8-8。

8.10.3 输出钳位至 Vss

通过将 VRCON 按如下配置可将 CVREF 输出电压设置为 Vss, 从而不消耗功率:

- VREN = 0
- VRR = 1
- VR<3:0> = 0000

这使比较器可进行过零检测而不消耗额外的 CVREF 模块电流。

8.10.4 输出与 VDD 成比例

比较器的参考电压由 VDD 而来, 因此 CVREF 输出随 VDD 的波动而变化。比较器参考电压的绝对准确度在第 17.0 节“电气特性”中列出。

8.10.5 固定参考电压

固定参考电压与 VDD 无关，其标称输出电压为 0.6V。该参考电压可通过将 VRCON 寄存器的 VP6EN 位置 1 而使能。当 HFINTOSC 振荡器激活时此参考电压始终使能。

8.10.6 固定参考电压的稳定周期

当此固定参考电压模块使能时，需要一段时间使参考电压及其放大电路达到稳定。用户程序必须包含允许模块稳定的延时小程序。关于最小延时要求，请参见电气规范章节。

8.10.7 参考电压的选择

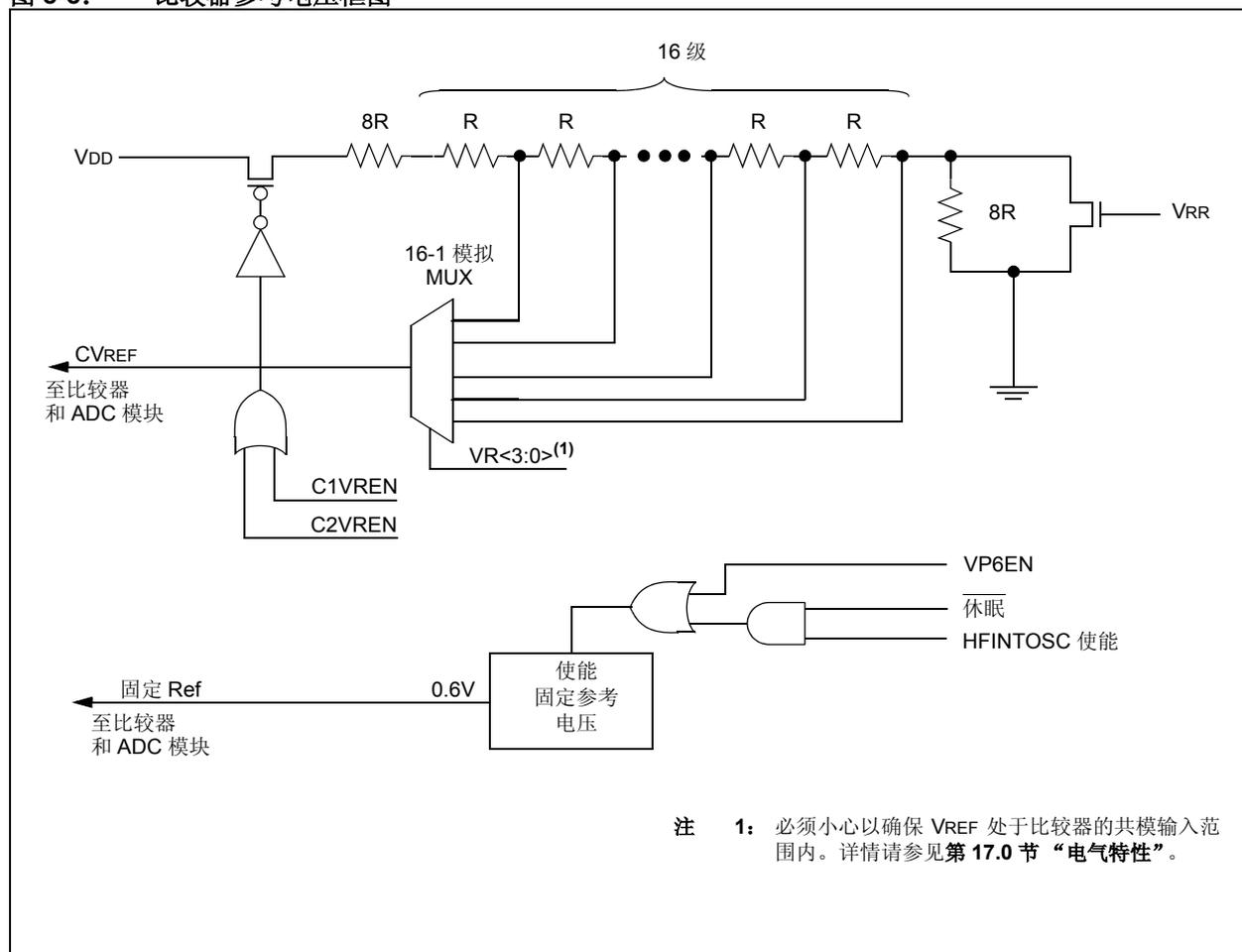
通过参考电压输出端的复用器可选择 CVREF 或固定参考电压供比较器使用。

将 VRCON 寄存器的 C1VREN 位置 1 使电流流入 CVREF 分压器并选择 CVREF 电压供 C1 使用。将 C1VREN 位清零选择固定电压供 C1 使用。

将 VRCON 寄存器的 C2VREN 位置 1 使电流流入 CVREF 分压器并选择 CVREF 电压供 C2 使用。将 C2VREN 位清零选择固定电压供 C2 使用。

当 C1VREN 和 C2VREN 位同时清零时，电流被禁止流入 CVREF 分压器，参考电压外设的功率流失降到最小。

图 8-8: 比较器参考电压框图



PIC16F631/677/685/687/689/690

寄存器 8-5: **VRCON: 参考电压控制寄存器**

R/W-0	R/W-0	R/W-0	R/W-0	R/S-0	R/S-0	U-0	U-0
C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0
bit 7							bit 0

图注: S = 只可置 1
 R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 7 **C1VREN:** 比较器 C1 参考电压使能位
 1 = CVREF 电路上电并送至比较器 C1 的 C1VREF 输入端
 0 = 0.6V 恒定参考电压被送至比较器 C1 的 C1VREF 输入端
- bit 6 **C2VREN:** 比较器 C2 参考电压使能位
 1 = CVREF 电路上电并送至比较器 C2 的 C2VREF 输入端
 0 = 0.6V 恒定参考电压被送至比较器 C2 的 C2VREF 输入端
- bit 5 **VRR:** 比较器参考电压 CVREF 范围选择位
 1 = 低电压范围
 0 = 高电压范围
- bit 4 **VP6EN:** 0.6V 参考电压使能位
 1 = 使能
 0 = 禁止
- bit 3-0 **VR<3:0>:** 比较器参考电压 CVREF 值选择, $0 \leq VR<3:0> \leq 15$
 When VRR = 1: $CVREF = (VR<3:0>/24) * VDD$
 When VRR = 0: $CVREF = VDD/4 + (VR<3:0>/32) * VDD$

表 8-2: 与比较器和参考电压模块相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 0000
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE2	OSFIE	C2IE	C1IE	EEIE	—	—	—	—	0000 ----	0000 ----
PIR2	OSFIF	C2IF	C1IF	EEIF	—	—	—	—	0000----	0000----
PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
REFCON	—	—	BGST	VRBB	VREN	VROE	CVROE	—	--00 000-	--00 000-
SRCON	SR1	SR0	C1SEN	C2REN	PULSS	PULSR	—	—	0000 00--	0000 00--
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
VRCON	C1VREN	C2VREN	VRR	VP6EN	VR3	VR2	VR1	VR0	0000 0000	0000 0000

图注: x = 未知, u = 不变, - = 未实现, 读为 0。比较器不使用阴影单元。

9.0 模数转换器 (ADC) 模块

模数转换器 (Analog-to-digital Converter, ADC) 可将模拟输入信号转换为相应的 10 位二进制表征值。该系列器件采用多个模拟输入复用到一个采样保持电路。采样保持电路的输出与转换器的输入相连接。转换器通过逐次逼近法产生 10 位二进制值, 并将转换结果保存在 ADC 结果寄存器 (ADRESL:ADRESH) 中。

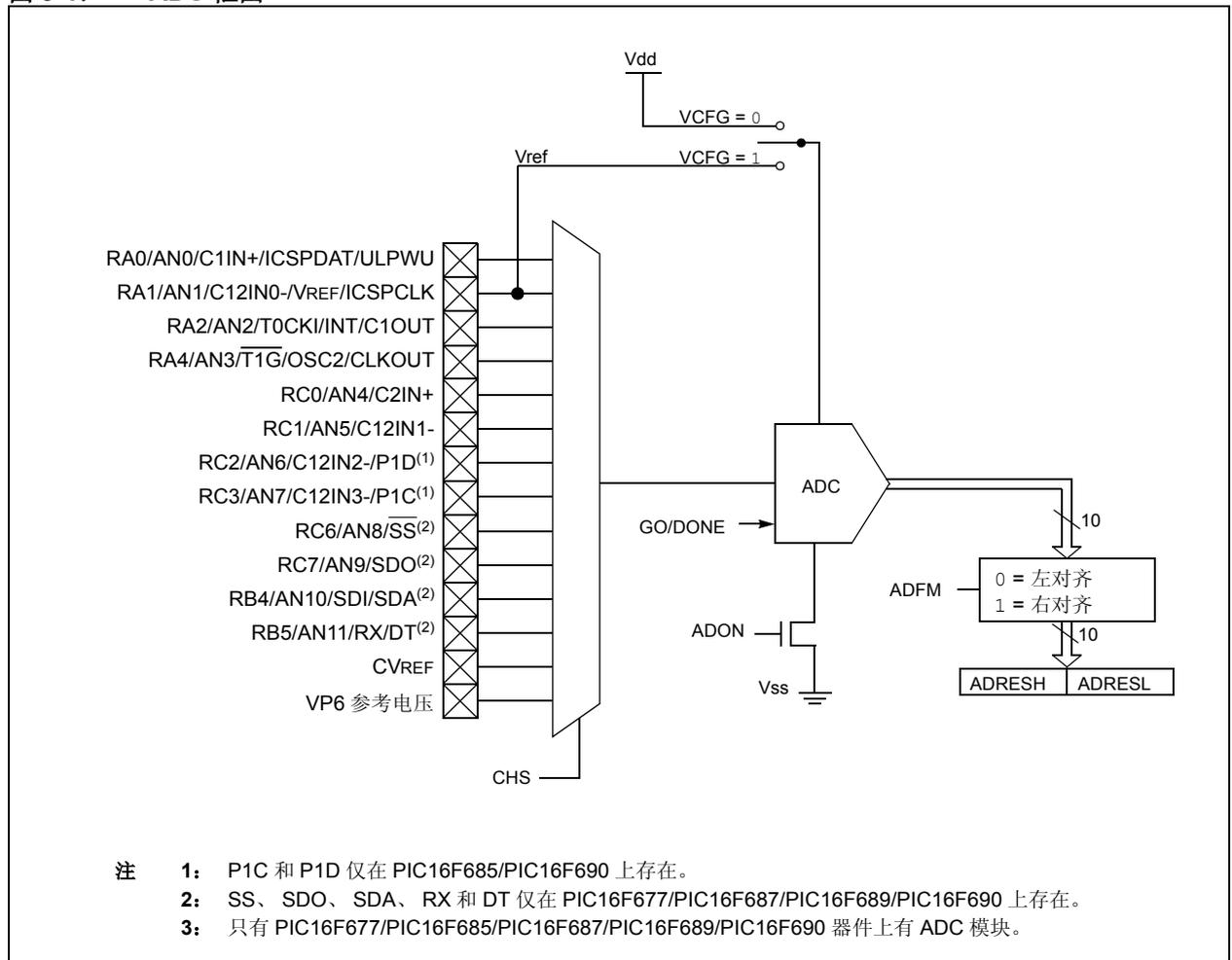
注: 只有 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690 器件中有 ADC 模块。

ADC 参考电压可用软件选择为 VDD 或施加在外部参考引脚上的电压。

ADC 可在转换完成时产生中断。该中断可用于将器件从休眠唤醒。

图 9-1 所示为 ADC 的框图。

图 9-1: ADC 框图



PIC16F631/677/685/687/689/690

9.1 ADC 的配置

配置和使用 ADC 时，必须考虑以下功能：

- 端口配置
- 通道选择
- ADC 参考电压的选择
- ADC 转换时钟源
- 中断控制
- 转换结果的格式

9.1.1 端口配置

ADC 可用于转换模拟和数字信号。转换模拟信号时，应将相关的 TRIS 和 ANSEL 位置 1 将 I/O 引脚应配置为模拟功能。更多信息请参见相应的端口章节。

注： 如果定义为数字输入的引脚上存在模拟电压，可导致输入缓冲器传导过大的电流。

9.1.2 通道选择

ADCON0 寄存器的 CHS 位决定将哪个通道连接到采样保持电路。

改变通道时，开始下一次转换前需要一个延时。更多信息请参见第 9.2 节“ADC 的工作原理”。

9.1.3 ADC 参考电压

ADCON0 寄存器的 VCFG 位提供对正参考电压的控制。正参考电压可以是 VDD，也可以是外部电压源。负参考电压始终连接到参考地。

9.1.4 转换时钟

转换时钟源可通过 ADCON1 寄存器的 ADCS 位用软件选择。有以下七种时钟选项：

- Fosc/2
- Fosc/4
- Fosc/8
- Fosc/16
- Fosc/32
- Fosc/64
- FRC（专用内部振荡器）

完成一位（bit）的转换时间定义为 TAD。完成 10 位转换需要 11 个 TAD 周期，如图 9-2 所示。

进行正确的转换必须满足相应的 TAD 规范。更多信息请参见第 17.0 节“电气特性”中的 A/D 转换要求。表 9-1 所示为正确选择 ADC 时钟的示例。

注： 除非使用的是 FRC，否则任何系统时钟频率的变化均会改变 ADC 时钟频率，这将对 ADC 结果产生负面影响。

PIC16F631/677/685/687/689/690

表 9-1: ADC 时钟周期 (TAD) —— 器件工作频率 (VDD ≥ 3.0V)

ADC 时钟周期 (TAD)		器件频率 (Fosc)			
ADC 时钟源	ADCS<2:0>	20 MHz	8 MHz	4 MHz	1 MHz
Fosc/2	000	100 ns ⁽²⁾	250 ns ⁽²⁾	500 ns ⁽²⁾	2.0 μs
Fosc/4	100	200 ns ⁽²⁾	500 ns ⁽²⁾	1.0 μs ⁽²⁾	4.0 μs
Fosc/8	001	400 ns ⁽²⁾	1.0 μs ⁽²⁾	2.0 μs	8.0 μs ⁽³⁾
Fosc/16	101	800 ns ⁽²⁾	2.0 μs	4.0 μs	16.0 μs ⁽³⁾
Fosc/32	010	1.6 μs	4.0 μs	8.0 μs ⁽³⁾	32.0 μs ⁽³⁾
Fosc/64	110	3.2 μs	8.0 μs ⁽³⁾	16.0 μs ⁽³⁾	64.0 μs ⁽³⁾
FRC	×11	2-6 μs ^(1,4)	2-6 μs ^(1,4)	2-6 μs ^(1,4)	2-6 μs ^(1,4)

图注: 阴影单元超出了建议范围。

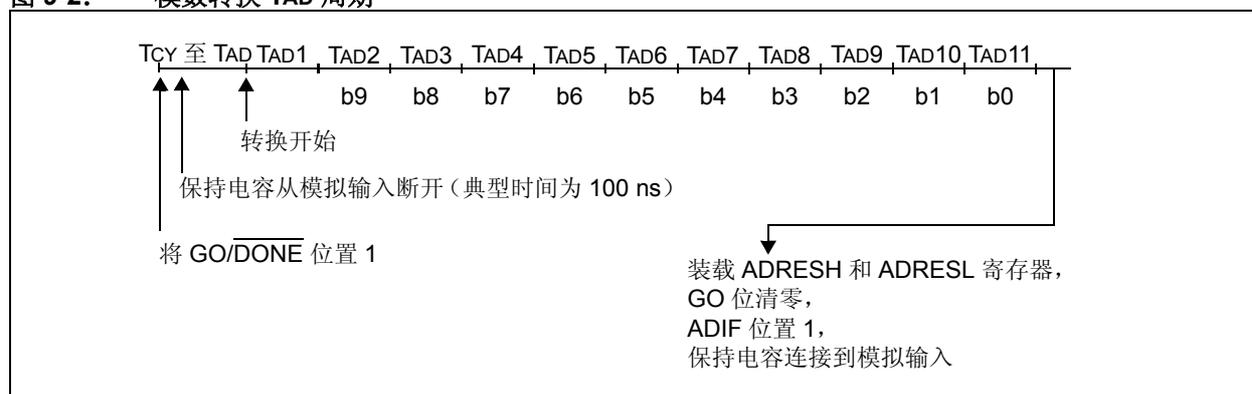
注 1: 在 VDD > 3.0V 的情况下, FRC 时钟源的典型 TAD 时间为 4 μs。

2: 这些值违反了最小 TAD 时间要求。

3: 要加快转换, 建议选择其他时钟源。

4: 当器件频率大于 1 MHz 时, 只有在休眠中进行转换才建议使用 FRC 时钟源。

图 9-2: 模数转换 TAD 周期



9.1.5 中断

ADC 模块可使中断在模数转换完成时产生。ADC 中断标志为 PIR1 寄存器中的 ADIF 位。ADC 中断使能为 PIE1 寄存器中的 ADIE 位。ADIF 位必须用软件清零。

注: 无论 ADC 中断是否被允许, ADIF 位在每次转换完成时均置 1。

器件工作或处于休眠状态时均可产生中断。如果器件处于休眠状态, 中断将唤醒器件。从休眠唤醒时, 始终执行 SLEEP 指令后的那条指令。如果用户试图唤醒器件并恢复顺序执行代码, 必须禁止全局中断。如果允许全局中断, 代码执行将转至中断服务程序。

更多信息请参见第 9.1.5 节“中断”。

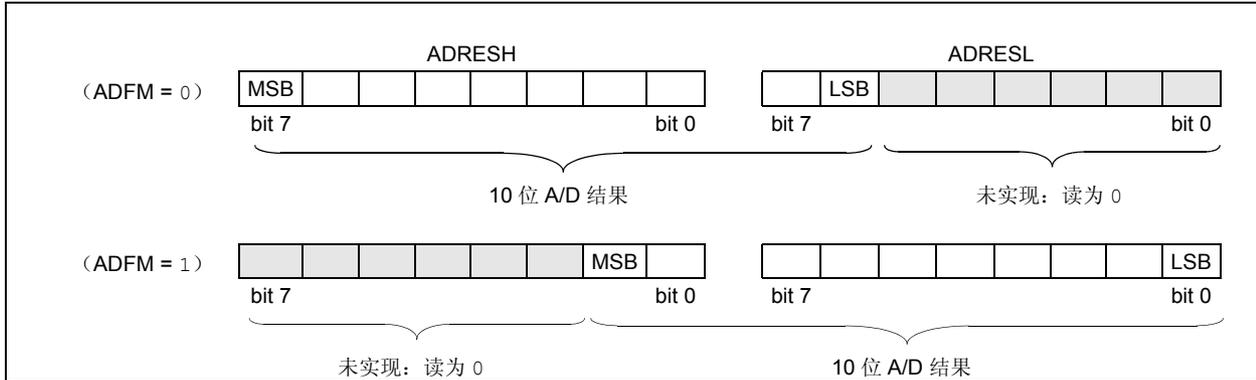
PIC16F631/677/685/687/689/690

9.1.6 转换结果的格式

10 位 A/D 转换结果有两种格式，即左对齐和右对齐。
ADCON0 寄存器的 ADFM 位控制输出格式。

图 9-3 所示为两种输出格式。

图 9-3: 10 位 A/D 转换结果格式



9.2 ADC 的工作原理

9.2.1 启动转换

要能使 ADC 模块，必须将 ADCON0 寄存器的 ADON 位置 1。将 ADCON0 寄存器的 GO/DONE 位置 1 将启动模数转换。

注： 应在打开 ADC 的那条指令中将 GO/DONE 位置 1。请参见第 9.2.6 节“A/D 转换步骤”。

9.2.2 转换完成

转换完成时，ADC 模块将：

- 将 GO/DONE 位清零
- 将 ADIF 标志位置 1
- 用新的转换结果更新 ADRESH:ADRESL 寄存器

9.2.3 终止转换

如果转换必须在完成前被终止，可用软件将 GO/DONE 清零。ADRESH:ADRESL 寄存器不会被未完成的模数转换采样更新。相反，ADRESH:ADRESL 这对寄存器将保持先前转换的值。此外，启动另一次采集前，需等待 2 TAD 的延时。延时后，所选通道的输入采集将自动启动。

注： 器件复位将强制所有寄存器回到其复位状态。这样，ADC 模块就被关闭，并且任何待处理的转换均被终止。

9.2.4 休眠模式下 ADC 的工作

ADC 模块可在休眠期间工作。这要求将 ADC 时钟源置于 FRC 选项。选定 FRC 时钟源后，ADC 将再等待一条指令后才开始转换。这使 SLEEP 指令得以执行，从而降低转换期间的系统噪声。如果允许 ADC 中断，转换完成后器件将从休眠唤醒。如果禁止 ADC 中断，ADC 模块在转换完成后关闭，尽管 ADON 位保持置 1 状态。

如果 ADC 时钟源不是 FRC，执行一条 SLEEP 指令将使当前转换中止，并且 ADC 模块被关闭，尽管 ADON 位保持置 1 状态。

9.2.5 特殊事件触发器

ECCP 特殊事件触发器可在软件不干预的情况下周期性地对 ADC 测量。发生触发事件时，GO/DONE 位由硬件置 1，Timer1 计数器复位为零。

特殊事件触发器的使用并不确保正常 ADC 定时。确保满足 ADC 定时要求是用户的责任。

更多信息请参见第 11.0 节“增强型捕捉 / 比较 / PWM 模块”。

9.2.6 A/D 转换步骤

以下是使用 ADC 进行模数转换的步骤示例：

1. 配置端口：
 - 禁止引脚输出驱动器（见 TRIS 寄存器）
 - 将引脚配置为模拟
2. 配置 ADC 模块：
 - 选择 ADC 转换时钟
 - 配置参考电压
 - 选择 ADC 输入通道
 - 选择转换结果的格式
 - 打开 ADC 模块
3. 配置 ADC 中断（可选）：
 - 将 ADC 中断标志清零
 - 允许 ADC 中断
 - 允许外设中断
 - 允许全局中断⁽¹⁾
4. 等待所需的采集时间⁽²⁾
5. 将 GO/DONE 置 1 启动转换
6. 通过以下情况之一等待 ADC 转换完成：
 - 查询 GO/DONE 位
 - 等待 ADC 中断（允许中断时）
7. 读取 ADC 结果
8. 将 ADC 中断标志清零（必允许中断）。

注 1： 如果用户试图将器件从休眠中唤醒并顺序执行代码，则可禁止全局中断。

2： 请参见第 9.3 节“A/D 采集时间要求”。

PIC16F631/677/685/687/689/690

例 9-1: A/D 转换

```
;This code block configures the ADC
;for polling, Vdd reference, Frc clock
;and AN0 input.
;
;Conversion start & polling for completion
; are included.
;
BANKSEL   ADCON1   ;
MOVLW    B'01110000' ;ADC Frc clock
MOVWF    ADCON1   ;
BANKSEL   TRISA    ;
BSF      TRISA,0   ;Set RA0 to input
BANKSEL   ANSEL    ;
BSF      ANSEL,0   ;Set RA0 to analog
BANKSEL   ADCON0   ;
MOVLW    B'10000001' ;Right justify,
MOVWF    ADCON0   ; Vdd Vref, AN0, On
CALL     SampleTime ;Acquisiton delay
BSF      ADCON0,GO ;Start conversion
BTFSC    ADCON0,GO ;Is conversion done?
GOTO     $-1      ;No, test again
BANKSEL   ADRESH   ;
MOVF     ADRESH,W  ;Read upper 2 bits
MOVWF    RESULTHI  ;store in GPR space
BANKSEL   ADRESL   ;
MOVF     ADRESL,W  ;Read lower 8 bits
MOVWF    RESULTLO  ;Store in GPR space
```

9.2.7 ADC 寄存器定义

以下寄存器用于控制 ADC 的工作。

PIC16F631/677/685/687/689/690

寄存器 9-1: ADCON0: A/D 控制寄存器 0

R/W-0	R/W-0						
ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零 x = 未知

bit 7 **ADFM:** A/D 转换结果格式选择位

1 = 右对齐
0 = 左对齐

bit 6 **VCFG:** 参考电压位

1 = VREF 引脚
0 = VDD

bit 5-2 **CHS<3:0>:** 模拟通道选择位

0000 = AN0
0001 = AN1
0010 = AN2
0011 = AN3
0100 = AN4
0101 = AN5
0110 = AN6
0111 = AN7
1000 = AN8
1001 = AN9
1010 = AN10
1011 = AN11
1100 = CVREF
1101 = 0.6V 参考电压
1110 = 保留。不要使用。
1111 = 保留。不要使用。

bit 1 **GO/DONE:** A/D 转换状态位

1 = A/D 转换正在进行。将本位置 1 启动一次 A/D 转换。
A/D 转换完成时此位由硬件自动清零。
0 = A/D 转换完成 / 不在进行中

bit 0 **ADON:** ADC 使能位

1 = 使能 ADC
0 = 禁止 ADC, 不消耗工作电流

PIC16F631/677/685/687/689/690

寄存器 9-2: **ADCON1: A/D 控制寄存器 1**

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	ADCS2	ADCS1	ADCS0	—	—	—	—
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 7 **未实现:** 读为 0

bit 6-4 **ADCS<2:0>:** A/D 转换时钟选择位

000 = Fosc/2

001 = Fosc/8

010 = Fosc/32

x11 = FRC (时钟来自专用内部振荡器 = 500 kHz 最大值)

100 = Fosc/4

101 = Fosc/16

110 = Fosc/64

bit 3-0 **未实现:** 读为 0

PIC16F631/677/685/687/689/690

寄存器 9-3: ADRESH: ADC 结果高位寄存器 (ADRESH), ADFM = 0

R/W-x							
ADRES9	ADRES8	ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-0 **ADRES<9:2>**: ADC 结果寄存器位
 10 位转换结果的高 8 位

寄存器 9-4: ADRESL: ADC 结果低位寄存器 (ADRESL), ADFM = 0

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
ADRES1	ADRES0	—	—	—	—	—	—
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-6 **ADRES<1:0>**: ADC 结果寄存器位
 10 位转换结果的低 2 位

bit 5-0 **保留**: 不要使用

寄存器 9-5: ADRESH: ADC 结果高位寄存器 (ADRESH), ADFM = 1

R/W-x	R/W-x						
—	—	—	—	—	—	ADRES9	ADRES8
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-2 **保留**: 不要使用

bit 1-0 **ADRES<9:8>**: ADC 结果寄存器位
 10 位转换结果的高 2 位

寄存器 9-6: ADRESL: ADC 结果低位寄存器 (ADRESL), ADFM = 1

R/W-x							
ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2	ADRES1	ADRES0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-0 **ADRES<7:0>**: ADC 结果寄存器位
 10 位转换结果的低 8 位

PIC16F631/677/685/687/689/690

9.3 A/D 采集时间要求

为了使 ADC 达到规定的精度，必须使充电保持电容（CHOLD）充满至输入通道的电平。模拟输入模型请参见图 9-4。源阻抗（Rs）和内部采样开关（Rss）阻抗直接影响电容 CHOLD 的充电时间。采样开关（Rss）阻抗随器件电压（VDD）的变化而变化，参见图 9-4。**建议模拟信号源的最大阻抗为 10 kΩ。**采集时间随着源阻抗的降低而缩短。在选择（或改变）模拟输入通道后，必须在开始转换前完成采集。

可以使用公式 9-1 来计算最小采集时间。该公式假设误差为 1/2 LSB（ADC 转换需要 1024 步）。1/2 LSB 误差是 ADC 达到规定精度所允许的最大误差。

公式 9-1: 采集时间示例

假设 温度 = 50°C, 外部电阻 10 kΩ, 5.0V V_{DD}

$$\begin{aligned}T_{ACQ} &= \text{放大器稳定时间} + \text{保持电容充电时间} + \text{温度系数} \\ &= T_{AMP} + T_C + T_{COFF} \\ &= 5 \mu\text{s} + T_C + [(\text{温度} - 25^\circ\text{C}) (0.05 \mu\text{s}/^\circ\text{C})]\end{aligned}$$

T_C 值可以用以下公式近似计算

$$V_{APPLIED} \left(1 - \frac{1}{2047} \right) = V_{CHOLD} \quad ; [1] \text{ 在 } 1/2 \text{ lsb 误差范围内对 } V_{CHOLD} \text{ 充电}$$

$$V_{APPLIED} \left(1 - e^{-\frac{T_C}{RC}} \right) = V_{CHOLD} \quad ; [2] \text{ 依照 } V_{APPLIED} \text{ 对 } V_{CHOLD} \text{ 充电}$$

$$V_{APPLIED} \left(1 - e^{-\frac{T_C}{RC}} \right) = V_{APPLIED} \left(1 - \frac{1}{2047} \right) \quad ; \text{ 结合 } [1] \text{ 和 } [2]$$

求解 T_C:

$$\begin{aligned}T_C &= -CHOLD(RIC + RSS + RS) \ln(1/2047) \\ &= -10 \text{ pF} (1 \text{ k}\Omega + 7 \text{ k}\Omega + 10 \text{ k}\Omega) \ln 0.004885 \\ &= 1.37 \mu\text{s}\end{aligned}$$

因此

$$\begin{aligned}T_{ACQ} &= 5 \mu\text{s} + 1.37 \mu\text{s} + [(50^\circ\text{C} - 25^\circ\text{C}) (0.05 \mu\text{s}/^\circ\text{C})] \\ &= 7.67 \mu\text{s}\end{aligned}$$

- 注 1: 由于参考电压（VREF）将自身消去，因此对公式没有影响。
2: 充电保持电容（CHOLD）在每次转换后并不放电。
3: 模拟输入的最大建议源阻抗为 10 kΩ。这是为了满足引脚泄漏规范。

图 9-4: 模拟输入模型

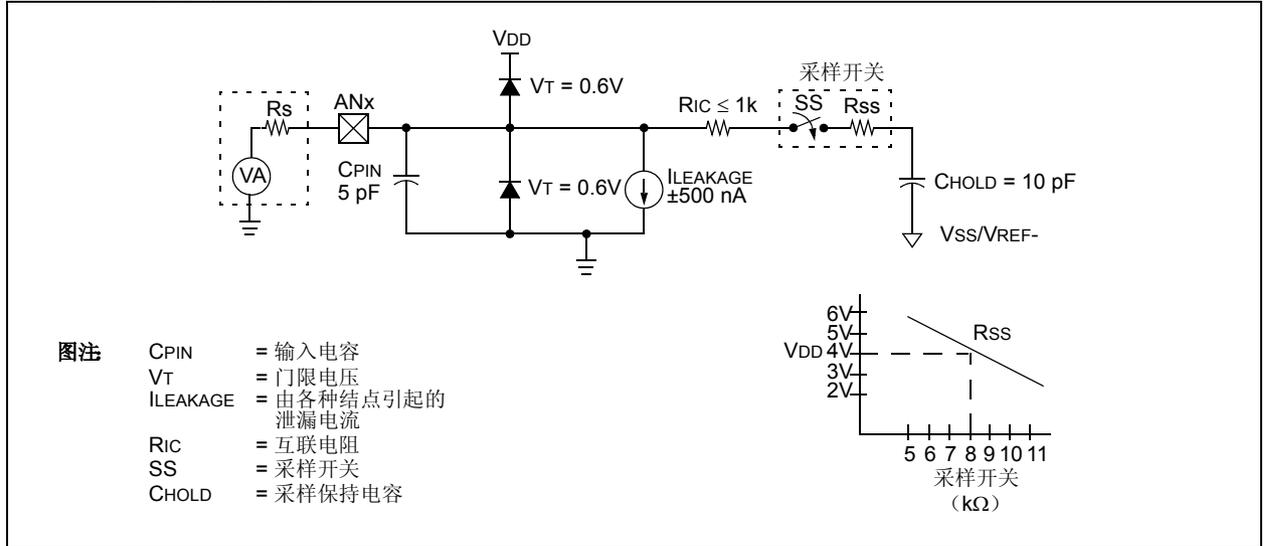
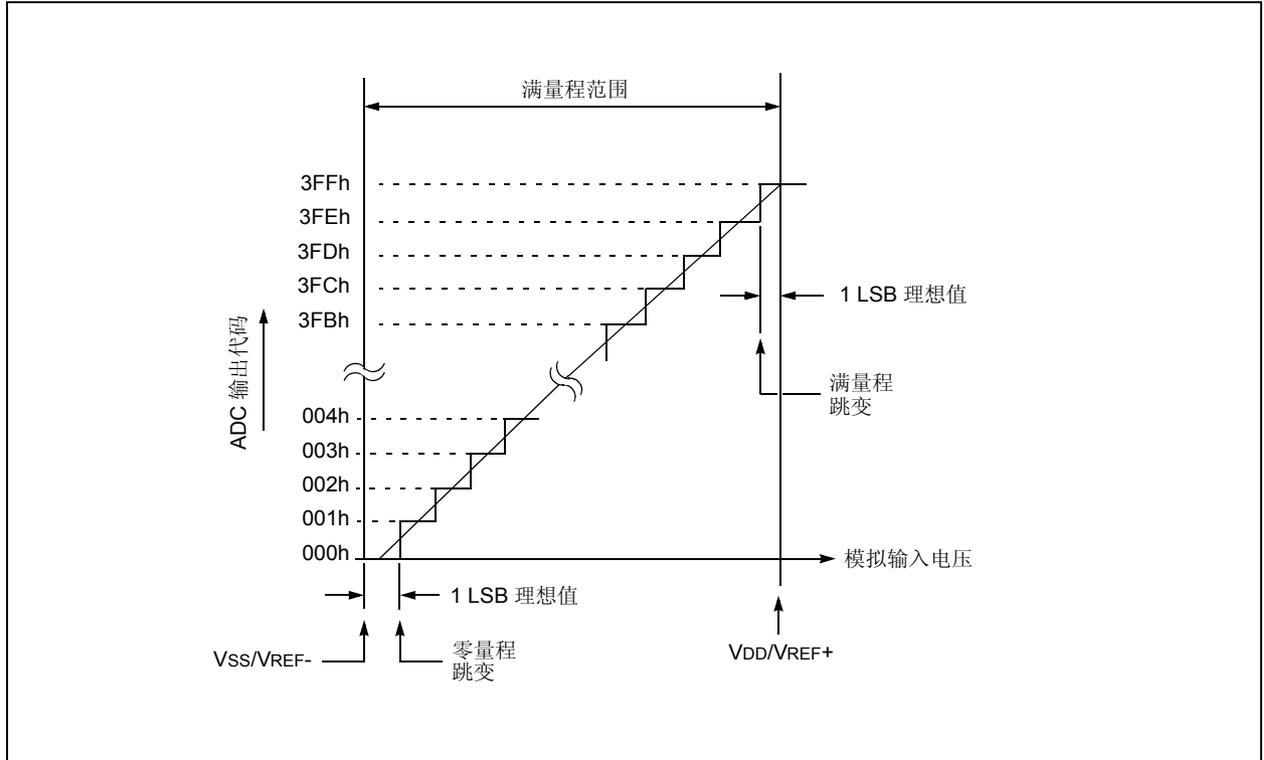


图 9-5: ADC 传递函数



PIC16F631/677/685/687/689/690

表 9-2: 与 ADC 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
ADCON0	ADFM	VCFG	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	0000 0000	0000 0000
ADCON1	—	ADCS2	ADCS1	ADCS0	—	—	—	—	-000 ----	-000 ----
ANSEL	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	1111 1111	1111 1111
ANSELH	—	—	—	—	ANS11	ANS10	ANS9	ANS8	---- 1111	---- 1111
ADRESH	A/D 结果寄存器高字节								xxxx xxxx	uuuu uuuu
ADRESL	A/D 结果寄存器低字节								xxxx xxxx	uuuu uuuu
INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--xx xxxx	--uu uuuu
PORTB	RB7	RB6	RB5	RB4	—	—	—	—	xxxx ----	uuuu ----
PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
TRISA	—	—	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	--11 1111	--11 1111
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111

图注: x = 未知, u = 不变, - = 未实现读为 0。ADC 模块不使用阴影单元。

10.0 数据 EEPROM 和闪存程序存储器控制

正常运行期间（整个 V_{DD} 范围内），数据 EEPROM 存储器（仅限 PIC16F685/PIC16F689/PIC16F690）是可读写的，而闪存程序存储器是可读的。这些存储器并不直接映射到寄存器文件空间，而是通过特殊功能寄存器（SFR）来间接寻址。有 6 个 SFR 用于访问这些存储器，如下：

- EECON1
- EECON2
- EEDAT
- EEDATH（仅限 PIC16F685/PIC16F689/PIC16F690）
- EEADR
- EEADRH（仅限 PIC16F685/PIC16F689/PIC16F690）

当与数据存储器模块接口时，EEDAT 存放 8 位读写数据，而 EEADR 存放被访问的 EEDAT 存储单元的地址。这些器件（除 PIC16F631 外）有 256 字节的数据 EEPROM，地址范围从 0h 到 0FFh。PIC16F631 有 128 字节的数据 EEPROM，地址范围从 0h 到 07Fh

寻址 PIC16F685/PIC16F689/PIC16F690 的程序存储器模块时，EEDAT 和 EEDATH 寄存器形成双字节字，保存 14 位读 / 写数据，而 EEADR 和 EEADRH 寄存器形成双字节字，寄存器中保存 12 位被读取的 EEPROM 存储单元的地址。这些器件（PIC16F685/PIC16F689/PIC16F690）有 4K 字的程序 EEPROM，地址范围从 0h 到 0FFFh。程序存储器允许以字为单位读取。

EEPROM 数据存储器允许以字节为单位读写。字节写操作会自动擦除目标存储单元并写入新数据（在写入前擦除）。

写入时间由片上定时器控制。写入 / 擦除电压是由片上电荷泵产生的，此电荷泵在器件字节或字操作的电压范围内工作。

当器件被代码保护时，CPU 仍可继续读写数据 EEPROM 存储器和读程序存储器。当代码保护时，器件编程器将不再能访问数据或程序存储器。

10.1 EEADR 和 EEADRH 寄存器

EEADR 和 EEADRH 寄存器能寻址最大 256 字节的数据 EEPROM 或最大 4K 字的程序 EEPROM。

当选择程序地址值时，地址的 MSB 被写入 EEADRH 寄存器，而 LSB 被写入 EEADR 寄存器。当选择数据地址值时，只将地址的 LSB 写入 EEADR 寄存器。

10.1.1 EECON1 和 EECON2 寄存器

EECON1 是访问 EE 存储器的控制寄存器。

控制位 EEPGD（PIC16F685/PIC16F689/PIC16F690）决定访问的是程序存储器还是数据存储器。当清零时，和在复位时一样，任何后续操作都将针对数据存储器进行。当置 1 时，任何后续操作都将针对程序存储器进行。程序存储器是只读的。

控制位 RD 和 WR 分别启动读和写操作。用软件只能将这些位置 1 而无法清零。在读或写操作完成后，由硬件将它们清零。由于无法用软件将 WR 位清零，可避免写操作意外地过早终止。

当 WREN 位置 1 时，允许对数据 EEPROM 执行写操作。上电时，WREN 位被清零。当正常的写操作被 MCLR 复位或 WDT 超时复位中断时，WRERR 位会置 1。在这些情况下，复位后用户可以检查 WRERR 位并重写相应的存储单元。

当写操作完成时，PIR2 寄存器的中断标志位 EEIF 被置 1。此标志位必须用软件清零。

EECON2 不是实际存在的寄存器。读 EECON2 将得到全 0。EECON2 寄存器仅在数据 EEPROM 的写过程中使用。

PIC16F631/677/685/687/689/690

寄存器 10-1: EEDAT: EEPROM 数据寄存器

R/W-0							
EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-0 **EEDAT<7:0>**: 写入数据 EEPROM 或从数据 EEPROM 或程序存储器读取的 8 个最低有效地址位

寄存器 10-2: EEADR: EEPROM 地址寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEADR7 ⁽¹⁾	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-0 **EEADR<7:0>**: EEPROM 读 / 写操作或从程序存储器读取的 8 个最低有效地址位

注 1: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。

寄存器 10-3: EEDATH: EEPROM 数据高字节寄存器⁽¹⁾

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-6 **未实现**: 读为 0

bit 5-0 **EEDATH<5:0>**: 来自程序存储器的 6 个最高有效数据位

注 1: 仅限 PIC16F685/PIC16F689/PIC16F690。

寄存器 10-4: EEADRH: EEPROM 地址高字节寄存器⁽¹⁾

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-4 **未实现**: 读为 0

bit 3-0 **EEADRH<3:0>**: 指定 4 个最高有效地址位或读取程序存储器的高位

注 1: 仅限 PIC16F685/PIC16F689/PIC16F690。

PIC16F631/677/685/687/689/690

寄存器 10-5: EECON1: EEPROM 控制寄存器

R/W-x	U-0	U-0	U-0	R/W-x	R/W-0	R/S-0	R/S-0
EEPGD ⁽¹⁾	—	—	—	WRERR	WREN	WR	RD
bit 7							bit 0

图注:

S = 只能置 1

R = 可读位

-n = POR 时的值

W = 可写位

1 = 置 1

U = 未实现位, 读为 0

0 = 清零

x = 未知

- bit 7 **EEPGD:** 程序 / 数据 EEPROM 选择位 ⁽¹⁾
 1 = 访问程序存储器
 0 = 访问数据存储器
- bit 6-4 **未实现位:** 读为 0
- bit 3 **WRERR:** EEPROM 错误标志位
 1 = 写操作被过早终止 (正常操作中任何 MCLR 复位或任何 WDT 复位, 或由于 BOR 复位。)
 0 = 写操作完成
- bit 2 **WREN:** EEPROM 写操作使能位
 1 = 允许写操作
 0 = 禁止向数据 EEPROM 执行写操作
- bit 1 **WR:** 写操作控制位
EEPGD = 1:
 此位被忽略
EEPGD = 0:
 1 = 启动一次写操作 (写操作完成时此位由硬件清零。WR 位只能用软件置 1, 不能清零。)
 0 = 向数据 EEPROM 进行的写操作完成
- bit 0 **RD:** 读操作控制位
 1 = 启动一次读操作 (RD 位由硬件清零, 只能用软件置 1, 不能清零。)
 0 = 不启动对存储器的读操作

注 1: 仅限 PIC16F685/PIC16F689/PIC16F690。

PIC16F631/677/685/687/689/690

10.1.2 读数据 EEPROM 存储器

要读取数据存储单元，用户必须将地址写入 **EEADR** 寄存器，清零 **EECON1** 寄存器的 **EEPGD** 控制位，然后将控制位 **RD** (**EECON1<0>**) 置 1。在紧接着的下一个周期，**EEDAT** 寄存器中就有数据了，因此该数据可由下一条指令读取。**EEDAT** 将把此值保存至下一次用户向该单元读取或写入数据时（在写操作过程中）为止。

例 10-1: 读取数据 EEPROM

```
BANKSEL EEADR      ;
MOVWF  DATA_EE_ADDR, W;
MOVWF  EEADR       ;Data Memory
                ;Address to read

BANKSEL EECON1     ;
BCF    EECON1, EEPGD ;Point to DATA memory
BSF    EECON1, RD   ;EE Read
BANKSEL EEDAT      ;
MOVWF  EEDAT, W    ;W = EEDAT
BCF    STATUS, RP1 ;Bank 0
```

10.1.3 写数据 EEPROM 存储器

要写 EEPROM 数据存储单元，用户应首先将该单元的地址写入 **EEADR** 寄存器，并将数据写入 **EEDAT** 寄存器。然后用户必须按特定顺序开始写入每个字节。

如果没有完全按照上述指令顺序（即首先将 **55h** 写入 **EECON2**，随后将 **AAh** 写入 **EECON2**，最后将 **WR** 位置 1）写每个字节，将不会启动写操作。在该代码段中应禁止中断。

此外，必须将 **EECON1** 中的 **WREN** 位置 1 以能使写操作。这种机制可防止由于代码执行错误（异常）（即程序失控）导致误写数据 EEPROM。除了更新 EEPROM 时以外，用户应该始终保持 **WREN** 位清零。**WREN** 位不能被硬件清零。

一个写过程启动后，将 **WREN** 位清零不会影响此写周期。除非 **WREN** 位置 1，否则 **WR** 位将无法置 1。

写周期完成时，**WR** 位由硬件清零并且 **EE** 写完成中断标志位 (**EEIF**) 置 1。用户可以使能此中断或查询此位。**EEIF** 必须用软件清零。

例 10-2: 写入数据 EEPROM

```
BANKSEL EEADR      ;
MOVWF  DATA_EE_ADDR, W;
MOVWF  EEADR       ;Data Memory Address to write
MOVWF  DATA_EE_DATA, W;
MOVWF  EEDAT       ;Data Memory Value to write
BANKSEL EECON1     ;
BCF    EECON1, EEPGD ;Point to DATA memory
BSF    EECON1, WREN  ;Enable writes

BCF    INTCON, GIE  ;Disable INTs.
BTFS   INTCON, GIE  ;SEE AN576
GOTO   $-2
MOVLW  55h         ;
MOVWF  EECON2     ;Write 55h
MOVLW  AAh         ;
MOVWF  EECON2     ;Write AAh
BSF    EECON1, WR  ;Set WR bit to begin write
BSF    INTCON, GIE ;Enable INTs.

SLEEP                               ;Wait for interrupt to signal write complete (optional)
BCF    EECON1, WREN ;Disable writes
BANKSEL 0x00        ;Bank 0
```

必需的序列

10.1.4 读闪存程序存储器 (PIC16F685/PIC16F689/ PIC16F690)

要读取程序存储器单元，用户必须将最低和最高有效地址位分别写入 EEADR 和 EEADRH 寄存器，将 EECON1 寄存器的 EEPGD 控制位置 1，然后将控制位 RD (EECON1<0>) 置 1。一旦设置好读控制位，闪存程序存储器控制器将使用第二个指令周期来读数据。这会导致紧随“BSF EECON1, RD”指令的第二条指令被忽略。在紧接着的下一个周期，EEDAT 和 EEDATH 寄存器中就有数据了；因此在随后的指令中将该数据读作两个字节。

EEDAT 和 EEDATH 寄存器将把此值保存至下一次用户向该单元读取或写入数据时为止。

- 注 1:** 程序存储器读操作后的两条指令必须为 NOP，从而阻止用户在 RD 位置 1 后的下一条指令执行双周期指令。
- 2:** 当 EEPGD = 1 时如果 WR 位置 1，它会立即复位为 0，而不执行任何操作。

例 10-3: 读闪存程序存储器

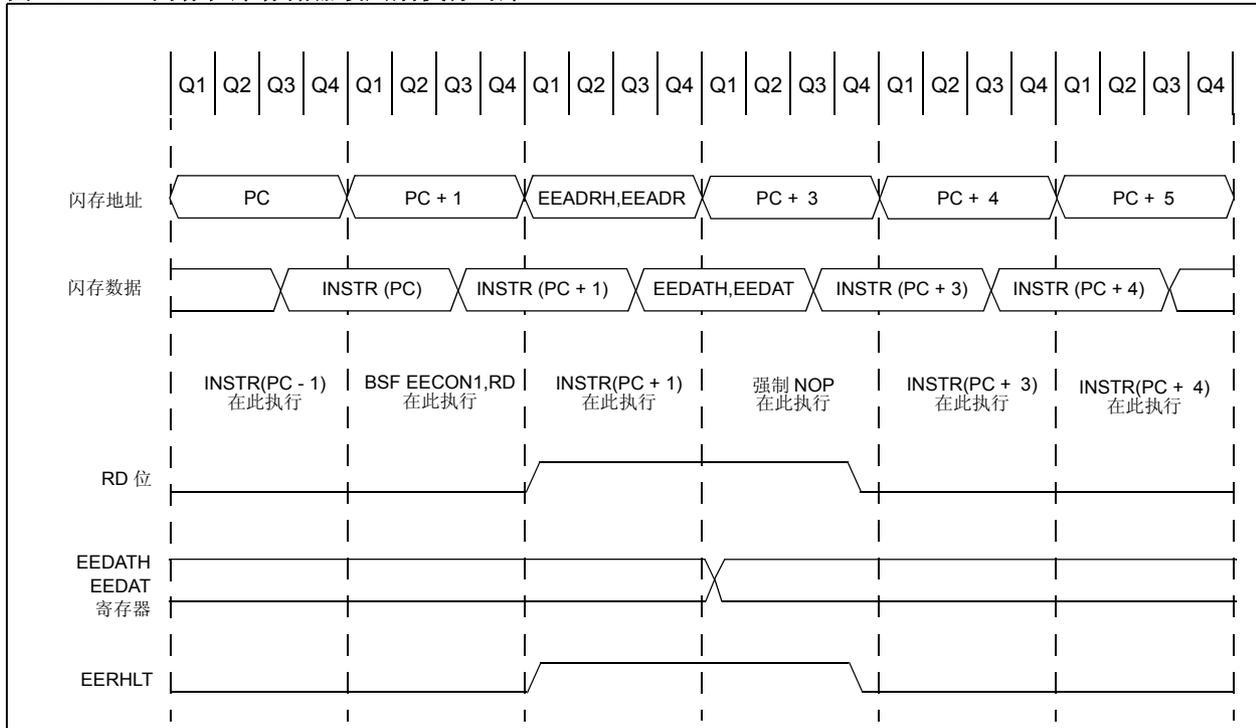
必需的序列

```
BANKSEL EEADR          ;
MOVWF  MS_PROG_EE_ADDR, W  ;
MOVWF  EEADRH          ;MS Byte of Program Address to read
MOVWF  LS_PROG_EE_ADDR, W  ;
MOVWF  EEADR          ;LS Byte of Program Address to read
BANKSEL EECON1         ;
BSF    EECON1, EEPGD      ;Point to PROGRAM memory
BSF    EECON1, RD        ;EE Read

NOP                    ;First instruction after BSF EECON1,RD executes normally
NOP                    ;Any instructions here are ignored as program
                        ;memory is read in second cycle after BSF EECON1,RD
;
BANKSEL EEDAT          ;
MOVWF  EEDAT, W          ;W = LS Byte of Program Memory
MOVWF  LOWPMBYTE        ;
MOVWF  EEDATH, W        ;W = MS Byte of Program EEDAT
MOVWF  HIGHPMBYTE      ;
BANKSEL 0x00           ;Bank 0
```

PIC16F631/677/685/687/689/690

图 10-1: 闪存程序存储器读周期执行时序



10.2 写校验

根据具体应用，将写入数据 EEPROM 的值与期望写入的值相校验（见例 10-4）是一个很好的编程习惯。

例 10-4: 写校验

```
BANKSEL EEDAT          ;
MOVF    EEDAT, W        ;EEDAT not changed
                        ;from previous write
BANKSEL EECON1         ;
BSF     EECON1, RD      ;YES, Read the
                        ;value written
BANKSEL EEDAT          ;
XORWF   EEDAT, W        ;
BTFSS   STATUS, Z       ;Is data the same
GOTO    WRITE_ERR      ;No, handle error
:       ;Yes, continue
BANKSEL 0X00           ;Bank 0
```

数据存储器被代码保护时，只有 CPU 可以对数据 EEPROM 进行读写操作。对数据存储器进行代码保护的同时，建议用户也对程序存储器进行代码保护。这将防止有人通过在已有代码上写入零（作为 NOP 执行），访问在未使用的程序存储器中编程的增加程序，从而达到导出数据存储器内容的目的。将未使用的地址单元编程为 0 有助于避免数据存储器的代码保护遭受破坏。

10.2.1 使用数据 EEPROM

数据 EEPROM 是高耐久性可字节寻址的阵列，已将其优化以便存储频繁变动的信息（如程序变量或其他经常更新的数据）。当一个段中的变量频繁变动，而另一段中的变量不变时，就可能在不超出对一个字节的总写入次数时（参数 D120 和 D120A），超出向 EEPROM 写入的总次数（参数 D124）。如果是这种情况，就必须对阵列进行更新。出于此原因，不经常更新的变量（如常量、ID 和校准值等）应存放在闪存程序存储器中。

10.3 防止误写操作的保护措施

在有些情况下，用户并不希望写入数据 EEPROM 存储器。为防止 EEPROM 误写操作，芯片内嵌了各种保护机制。上电时，WREN 位被清零。而且，上电延时定时器（延时 64 ms）也会阻止对 EEPROM 进行写操作。

写操作的启动顺序以及 WREN 位将共同防止在以下情况下意外误写操作的发生：

- 欠压
- 电源毛刺
- 软件故障

10.4 代码保护期间数据 EEPROM 的操作

在配置字寄存器（寄存器 14-1）中将 CPD 位编程为 0，可对数据存储器进行代码保护。

PIC16F631/677/685/687/689/690

表 10-1: 与数据存储器相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
EECON1	EEPGD ⁽¹⁾	—	—	—	WRERR	WREN	WR	RD	x--- x000	0--- q000
EECON2	EEPROM 控制寄存器 2 (非物理寄存器)								---- ----	---- ----
EEADR	EEADR7 ⁽²⁾	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	0000 0000
EEADRH ⁽¹⁾	—	—	—	—	EEADRH3	EEADRH2	EEADRH1	EEADRH0	---- 0000	---- 0000
EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	0000 0000
EEDATH ⁽¹⁾	—	—	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	--00 0000	--00 0000
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 0000	0000 0000
PIE2	OSFIE	C2IE	C1IE	EEIE	—	—	—	—	0000 ----	0000 ----
PIR2	OSFIF	C2IF	C1IF	EEIF	—	—	—	—	0000 ----	0000 ----

图注: x = 未知, u = 不变, — = 未实现读为 0, q = 取值视具体情况而定。数据 EEPROM 模块不使用阴影单元。
 注 1: 仅限 PIC16F685/PIC16F689/PIC16F690。
 注 2: 仅限 PIC16F677/PIC16F685/PIC16F687/PIC16F689/PIC16F690。

PIC16F631/677/685/687/689/690

11.0 增强型捕捉 / 比较 / PWM 模块

增强型捕捉 / 比较 / PWM 模块是一种用户可用来对不同事件进行定时和控制的外设。在捕捉模式下，此外设可对事件的持续时间定时。比较模式使用户可在一段预定时长后触发外部事件。PWM 模式可生成频率可变的脉宽调制信号和占空比。

表 11-1 所示为 ECCP 模块所需的定时器资源。

表 11-1: ECCP 模式——所需的定时器资源

ECCP 模式	定时器资源
捕捉	Timer1
比较	Timer1
PWM	Timer2

寄存器 11-1: CCP1CON: 增强型 CCP1 控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0
bit 7							bit 0

图注:

R = 可读位
-n = POR 时的值
W = 可写位
1 = 置 1
U = 未实现位, 读为 0
0 = 清零
x = 未知

bit 7-6

P1M<1:0>: PWM 输出配置位

如果 CCP1M<3:2> = 00, 01, 10:

xx = P1A 配置为捕捉 / 比较输入; P1B、P1C 和 P1D 配置为端口引脚

如果 CCP1M<3:2> = 11:

00 = 单输出; P1A 调制; P1B、P1C 和 P1D 配置为端口引脚

01 = 全桥正向输出; P1D 调制; P1A 有效; P1B 和 P1C 无效

10 = 半桥输出; P1A 和 P1B 调制, 带有死区控制; P1C 和 P1D 配置为端口引脚

11 = 全桥反向输出; P1B 调制; P1C 有效; P1A 和 P1D 无效

bit 5-4

DC1B<1:0>: PWM 占空比最低有效位

捕捉模式:

未使用。

比较模式:

未使用。

PWM 模式:

这些位是 PWM 占空比的低 2 位。高 8 位在 CCPR1L 中。

bit 3-0

CCP1M<3:0>: ECCP 模式选择位

0000 = 捕捉 / 比较 / PWM 关闭 (复位 ECCP 模块)

0001 = 未使用 (保留)

0010 = 比较模式, 匹配时翻转输出 (CCP1IF 位置 1)

0011 = 未使用 (保留)

0100 = 捕捉模式, 每个下降沿

0101 = 捕捉模式, 每个上升沿

0110 = 捕捉模式, 每 4 个上升沿

0111 = 捕捉模式, 每 16 个上升沿

1000 = 比较模式, 匹配时输出置 1 (CCP1IF 位置 1)

1001 = 比较模式, 匹配时输出清零 (CCP1IF 位置 1)

1010 = 比较模式, 匹配时产生软件中断 (CCP1IF 位置 1, CCP1 引脚不受影响)

1011 = 比较模式, 触发特殊事件 (CCP1IF 位置 1, CCP1 复位 TMR1 或 TMR2, 且如果 A/D 模块被使能, 启动一次 A/D 转换)

1100 = PWM 模式; P1A 和 P1C 高电平有效; P1B 和 P1D 高电平有效

1101 = PWM 模式; P1A 和 P1C 高电平有效; P1B 和 P1D 低电平有效

1110 = PWM 模式; P1A 和 P1C 低电平有效; P1B 和 P1D 高电平有效

1111 = PWM 模式; P1A 和 P1C 低电平有效; P1B 和 P1D 低电平有效

PIC16F631/677/685/687/689/690

11.1 捕捉模式

在捕捉模式下，当在 CCP1 引脚上发生某一事件时，CCPR1H:CCPR1L 捕捉 TMR1 寄存器中的 16 位值。事件定义为以下之一，并由 CCP1CON 寄存器的 CCP1M<3:0> 位进行配置：

- 每个下降沿
- 每个上升沿
- 每 4 个上升沿
- 每 16 个上升沿

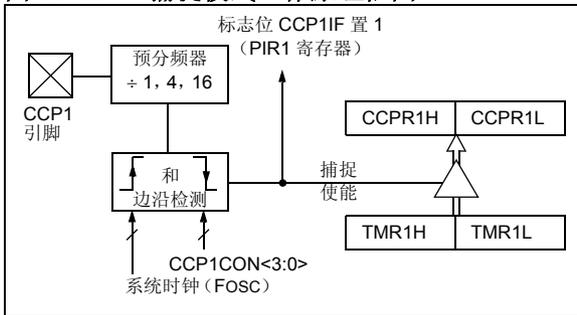
进行捕捉后，PIR1 寄存器中的中断请求标志位 CCP1IF 被置 1。该位必须用软件清零。如果在 CCPR1H 和 CCPR1L 这对寄存器中的值被读出之前又发生另一次捕捉，那么原来的捕捉值会被新捕捉值覆盖（见图 11-1）。

11.1.1 CCP1 引脚配置

在捕捉模式下，应该通过将相关的 TRISC 控制位置 1 将 CCP1 引脚配置为输入。

注： 如果 CCP1 引脚配置为输出，则写端口将产生一次捕捉条件。

图 11-1: 捕捉模式工作原理框图



11.1.2 TIMER1 模式选择

为使 CCP 模块使用捕捉特性，Timer1 必须运行在定时器模式或同步计数器模式。在异步计数器模式下，捕捉操作可能无法进行。

11.1.3 软件中断

当捕捉模式改变时，可能会产生一次误捕捉中断。用户应该保持 PIE1 寄存器的 CCP1IE 位清零以避免误中断。此外，用户还应在任何这种工作模式改变之后清零 PIR1 寄存器的中断标志位 CCP1IF。

11.1.4 CCP 预分频器

CCP1CON 寄存器的 CCP1M<3:0> 位指定了 4 种不同的预分频比。每当关闭 CCP 模块，或 CCP 模块不在捕捉模式时，预分频计数器都将被清零。任何复位都会将预分频计数器清零。

从一个捕捉预分频比切换到另一个不会清零预分频器并可能产生一次中断。要避免意外操作，在改变预分频比前应将 CCP1CON 寄存器清零，以关闭 CCP 模块（见例 11-1）。

例 11-1: 在捕捉预分频比间切换

```
BANKSEL CCP1CON    ;Set Bank bits to point
                    ;to CCP1CON
CLRF    CCP1CON     ;Turn CCP module off
MOVLW  NEW_CAPT_PS ;Load the W reg with
                    ; the new prescaler
MOVWF  CCP1CON     ;move value and CCP ON
MOVWF  CCP1CON     ;Load CCP1CON with this
                    ; value
```

11.2 比较模式

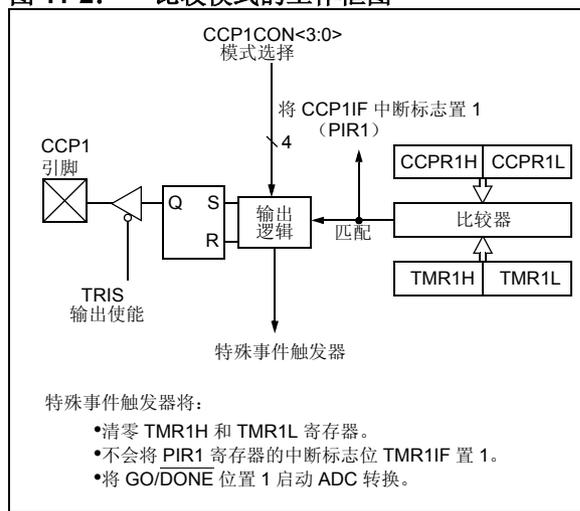
在比较模式下，16 位 CCPR1 寄存器值被不断与 TMR1 的一对寄存器的值相比较。发生匹配时，CCP 模块可能：

- 翻转 CCP1 输出
- 将 CCP1 输出置 1
- 将 CCP1 输出清零
- 触发特殊事件
- 产生软件中断

引脚上的动作取决于 CCP1CON 寄存器的 CCP1M<3:0> 控制位的值。

所有比较模式均可产生中断。

图 11-2: 比较模式的工作框图



11.2.1 CCP1 引脚的配置

用户必须通过清零相关的 TRIS 位将 CCP1 引脚配置为输出。

注： 清零 CCP1CON 寄存器将强制 CCP1 比较输出锁存为缺省低电平。这不是 PORTC 的 I/O 数据锁存。

11.2.2 TIMER1 模式选择

在比较模式下，Timer1 必须运行在定时器模式下或同步计数器模式下。比较操作在异步计数器模式下可能不能正常工作。

11.2.3 软件中断模式

当选择产生软件中断模式 (CCP1M<3:0> = 1010) 时，CCP 模块并不得到 CCP1 引脚的控制权 (见 CCP1CON 寄存器)。

11.2.4 特殊事件触发器

当选定了特殊事件触发模式 (CCP1M<3:0> = 1011) 时，CCP 模式将会：

- 复位 Timer1
- 若 ADC 使能，则启动一次 ADC 转换

在此模式下，CCP 模块不得到 CCP1 引脚的控制权 (见 CCP1CON 寄存器)。

一旦 TMR1H:TMR1L 这对寄存器和 CCPR1H:CCPR1L 这对寄存器之间发生匹配，便会发生 CCP 的特殊事件触发输出。TMR1H:TMR1L 寄存器在 Timer1 时钟的下一个上升沿到来之前不会复位。这使 CCPR1H:CCPR1L 寄存器可作为 Timer1 的 16 位可编程周期寄存器。如果 A/D 模块被使能，特殊事件触发输出也会启动一次 A/D 转换。

- 注 1：** CCP 模块的特殊事件触发不会将 PIR1 寄存器的中断标志位 TMR1IF 置 1。
- 注 2：** 在生成特殊事件触发的时钟边沿和复位 Timer1 的时钟边沿之间，通过更改 CCPR1H 和 CCPR1L 这对寄存器的内容来移除匹配条件，可以预防复位的发生。

PIC16F631/677/685/687/689/690

11.3 PWM 模式

PWM 模式将在 CCP1 引脚产生脉宽调制信号。其占空比，周期和分辨率由以下寄存器决定：

- PR2
- T2CON
- CCPR1L
- CCP1CON

在脉宽调制 (Pulse-Width Modulation, PWM) 模式下，CCP 模块在 CCP1 引脚上产生高达 10 位分辨率的 PWM 输出。由于 CCP1 引脚与 PORT 数据锁存器复用，必须将该引脚的 TRIS 清零以启用 CCP1 引脚输出驱动器。

注： 将 CCP1CON 寄存器清零将放弃对 CCP1 引脚的控制。

图 11-3 所示为 PWM 工作的简化框图。

图 11-4 所示为 PWM 信号的典型波形。

欲了解将 CCP 模块设置为 PWM 操作的详细步骤，请参见第 11.3.7 节“PWM 工作的设置”。

PWM 输出 (图 11-4) 由时基 (周期) 和一段输出保持为高电平 (占空比) 的时间组成。

图 11-4: CCP PWM 输出

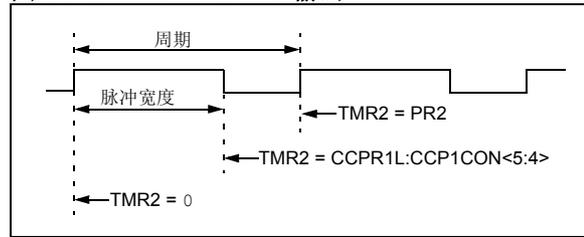
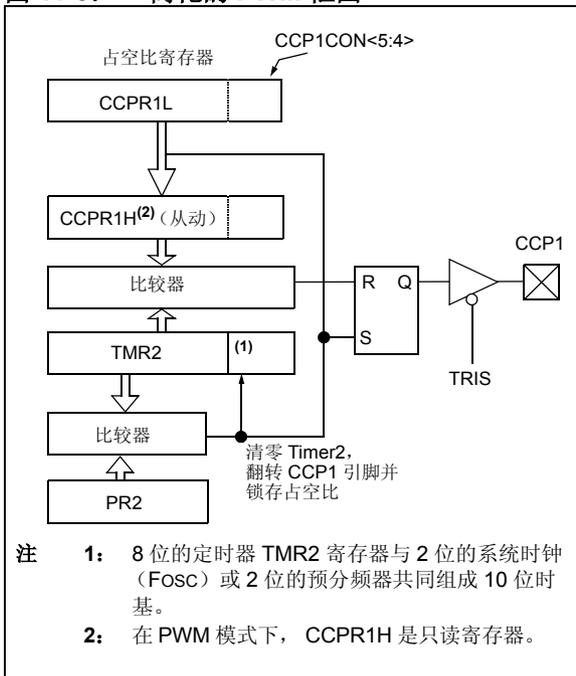


图 11-3: 简化的 PWM 框图



PIC16F631/677/685/687/689/690

11.3.1 PWM 周期

PWM 周期由 Timer2 的 PR2 寄存器指定。用公式 11-1 可计算 PWM 周期。

公式 11-1: PWM 周期

$$PWM\ Period = [(PR2) + 1] \cdot 4 \cdot T_{osc} \cdot (TMR2\ Prescale\ Value)$$

当 TMR2 等于 PR2 时，下一次递增周期将发生以下三个事件：。

- TMR2 被清零。
- CCP1 引脚被置 1（例外：若 PWM 占空比 = 0%，引脚不被置 1）。
- PWM 占空比从 CCPR1L 锁存到 CCPR1H。

注： 确定 PWM 频率时不使用 Timer2 寄存器（见第 7.1 节“Timer2 的工作原理”）。

11.3.2 PWM 占空比

通过对以下几个寄存器写入 10 位值可指定 PWM 占空比：CCPR1L 寄存器和 CCP1CON 寄存器的 DC1B<1:0> 位。CCPR1L 包含八个 MSb，CCP1CON 寄存器的 DC1B<1:0> 位包含两个 LSb。CCP1CON 寄存器的 CCPR1L 和 DC1B<1:0> 可在任何时候被写入。占空比直到周期完成时（即 PR2 和 TMR2 寄存器发生匹配时）才被锁存到 CCPR1H 中。使用 PWM 时，CCPR1H 寄存器是只读的。

公式 11-2 用于计算 PWM 脉宽。

公式 11-3 用于计算 PWM 占空比。

公式 11-2: 脉冲宽度

$$Pulse\ Width = (CCPR1L:CCP1CON<5:4>) \cdot T_{osc} \cdot (TMR2\ Prescale\ Value)$$

公式 11-3: 占空比

$$Duty\ Cycle\ Ratio = \frac{CCPR1L:CCP1CON<5:4>}{4(PR2 + 1)}$$

CCPR1H 寄存器和 2 位的内部锁存器用于为 PWM 占空比提供双缓冲。双缓冲对 PWM 的无毛刺工作起着非常重要的作用。

8 位定时器 TMR2 寄存器与 2 位的内部系统时钟 (Fosc) 或 2 位的预分频器连接，组成 10 位时基。如果 Timer2 预分频器置为 1:1 则使用系统时钟。

当 10 位时基与 CCPR1H 及 2 位的锁存器匹配时，CCP1 引脚被清零（见图 11-3）。

11.3.3 PWM 分辨率

分辨率决定某个周期的有效占空比。例如，10 位分辨率有 1024 个分立的占空比，而 8 位分辨率则有 256 个分立的占空比。

PR2 为 255 时产生 10 位的最大 PWM 分辨率。分辨率是 PR2 寄存器值的函数，如公式 11-4 所示。

公式 11-4: PWM 分辨率

$$Resolution = \frac{\log[4(PR2 + 1)]}{\log(2)}\ bits$$

注： 如果脉宽大于周期，那么分配的 PWM 引脚将保持不变。

表 11-2: PWM 频率和分辨率示例 (Fosc = 20 MHz)

PWM 频率	1.22 kHz	4.88 kHz	19.53 kHz	78.12 kHz	156.3 kHz	208.3 kHz
定时器预分频比 (1, 4, 16)	16	4	1	1	1	1
PR2 的值	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
最大分辨率 (位)	10	10	10	8	7	6.6

表 11-3: PWM 频率和分辨率示例 (Fosc = 8 MHz)

PWM 频率	1.22 kHz	4.90 kHz	19.61 kHz	76.92 kHz	153.85 kHz	200.0 kHz
定时器预分频比 (1, 4, 16)	16	4	1	1	1	1
PR2 的值	0x65	0x65	0x65	0x19	0x0C	0x09
最大分辨率 (位)	8	8	8	6	5	5

PIC16F631/677/685/687/689/690

11.3.4 休眠模式下的工作

在休眠模式下，TMR2寄存器不递增，模块的状态不变。如果 CCP1 引脚正在驱动一个值，它将继续驱动该值。器件唤醒时，TMR2 将继续先前的状态。

11.3.5 系统时钟频率的改变

PWM 频率来自系统时钟频率。系统时钟频率的任何改变将导致 PWM 频率的改变。详情请参见第 1.0 节“器件概述”。

11.3.6 复位的影响

任何复位均将强制所有端口为输入模式，并强制 CCP 寄存器为其复位状态。

11.3.7 PWM 工作的设置

应按照以下步骤将 CCP 模块配置为 PWM 工作：

1. 将相关的 TRIS 位置 1 禁止 PWM 引脚（CCP1）的输出驱动器。
2. 装载 PR2 寄存器以设置 PWM 周期。
3. 用适当的值装载 CCP1CON 寄存器将 CCP 模块配置为 PWM 模式。
4. 装载 CCPR1L 寄存器和 CCP1CON 寄存器的 DC1B<1:0> 设置 PWM 占空比。
5. 配置并启动 Timer2:
 - 将 PIR1 寄存器的 TMR2IF 中断标志位清零。
 - 装载 T2CON 寄存器的 T2CKPS 位设置 Timer2 预分频比。
 - 将 T2CON 寄存器的 TMR2ON 位置 1 使能 Timer2。
6. 重新开始一个 PWM 周期后，使能 PWM 输出：
 - 等待 Timer2 溢出（PIR1 寄存器的 TMR2IF 位置 1）。
 - 将相关的 TRIS 位清零使能 CCP1 引脚的输出驱动器。

11.4 PWM（增强模式）

增强型 PWM 模式可在最多四个输出引脚上产生高达 10 位分辨率的 PWM 信号。它通过四种 PWM 输出模式做到

- 单 PWM
- 半桥 PWM
- 全桥 PWM，正向模式
- 全桥 PWM，反向模式

要选择增强型 PWM 模式，CCP1CON 寄存器的 P1M 位必须被正确置 1。

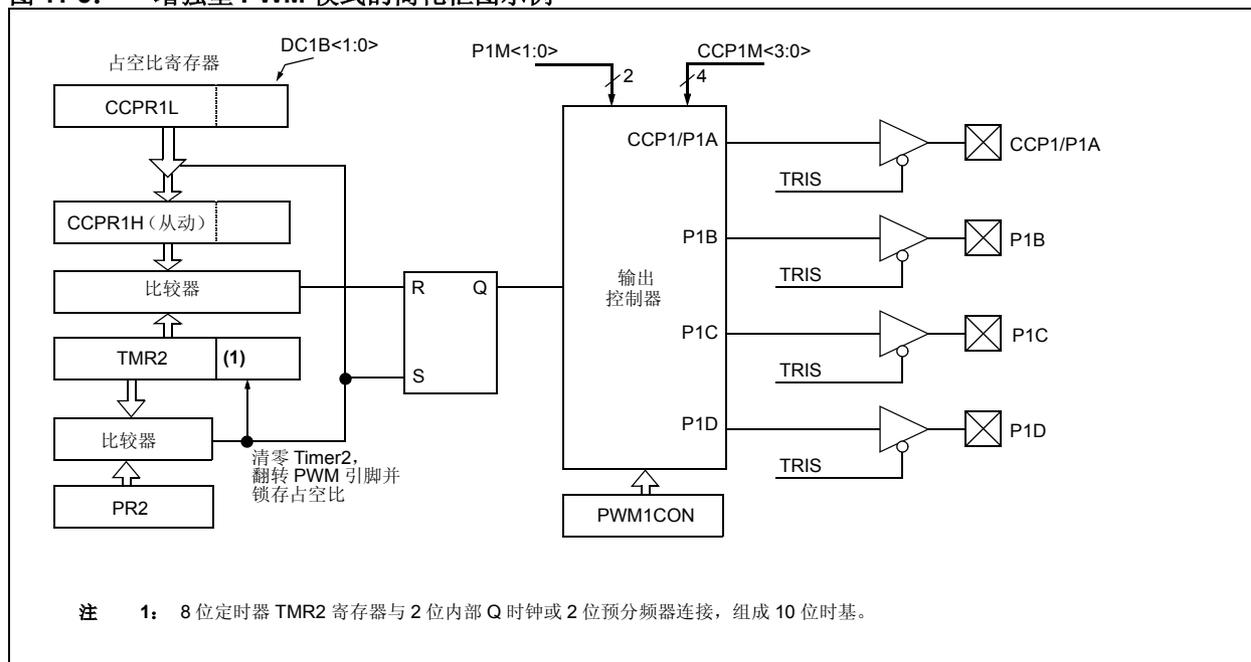
PWM 输出与 I/O 引脚复用，并被指定为 P1A、P1B、P1C 和 P1D。PWM 引脚的极性可配置，可通过将 CCP1CON 寄存器中的 CCP1M 位进行适当置 1 选择极性。

表 11-4 所示为每个增强型 PWM 模式的引脚分配。

图 11-5 所示为增强型 PWM 模块的简化框图。

注： 一开始使能 PWM 时，要防止产生不完整的波形，ECCP 模块在产生 PWM 信号前应先等待新的 PWM 周期开始。

图 11-5: 增强型 PWM 模式的简化框图示例



- 注 1：** 必须正确配置每个 PWM 输出的 TRIS 寄存器值。
- 注 2：** 清零 CCP1CON 寄存器将放弃所有 PWM 输出引脚的 ECCP 控制权。
- 注 3：** 增强型 PWM 模式所不使用的任何引脚均可用于其他引脚功能。

表 11-4: 不同 PWM 增强模式的引脚分配示例

ECCP 模式	P1M<1:0>	CCP1/P1A	P1B	P1C	P1D
单 PWM	00	是 (1)	是 (1)	是 (1)	是 (1)
半桥 PWM	10	是	是	否	否
全桥，正向	01	是	是	是	是
全桥，反向	11	是	是	是	是

注 1： 在单 PWM 模式下，脉冲转向（Pulse Steering）将使能输出。

PIC16F631/677/685/687/689/690

图 11-6: PWM (增强模式) 输出关系示例 (高电平有效状态)

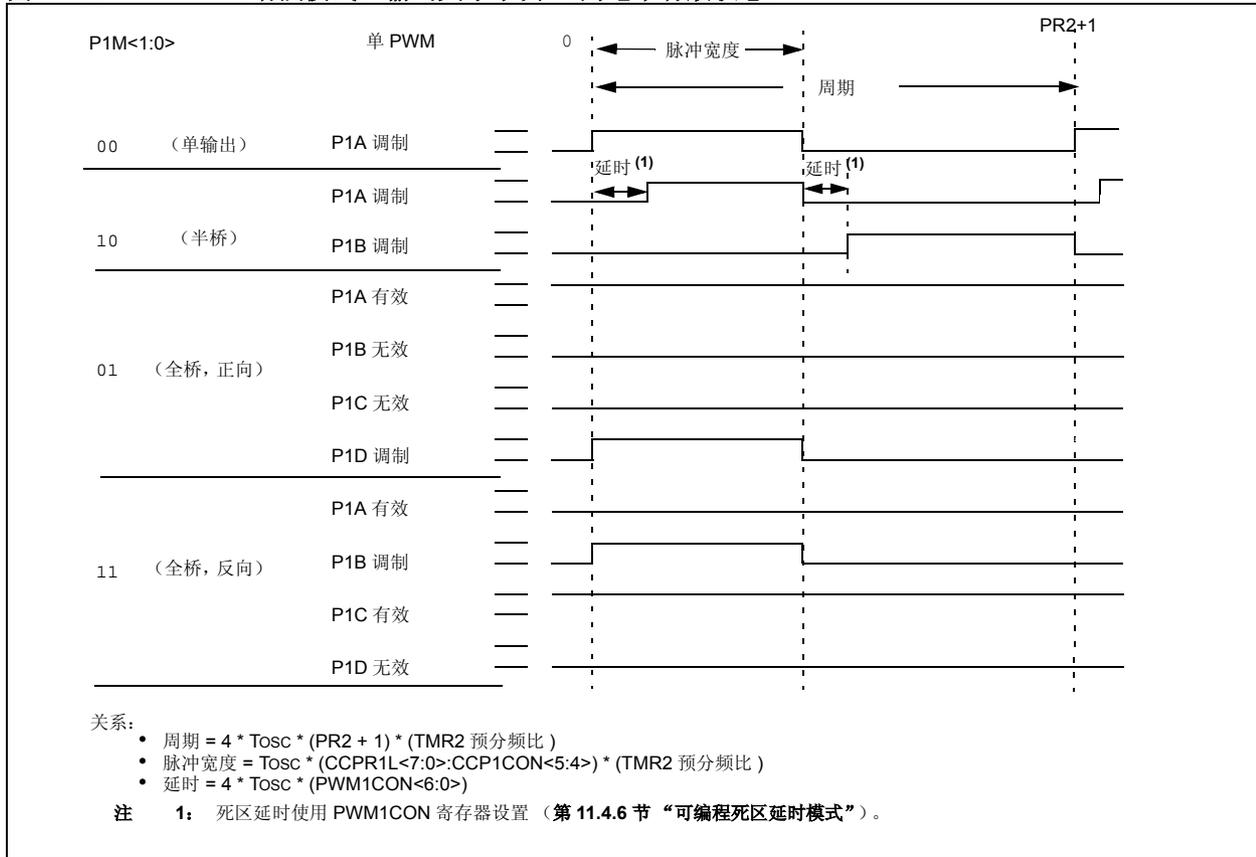
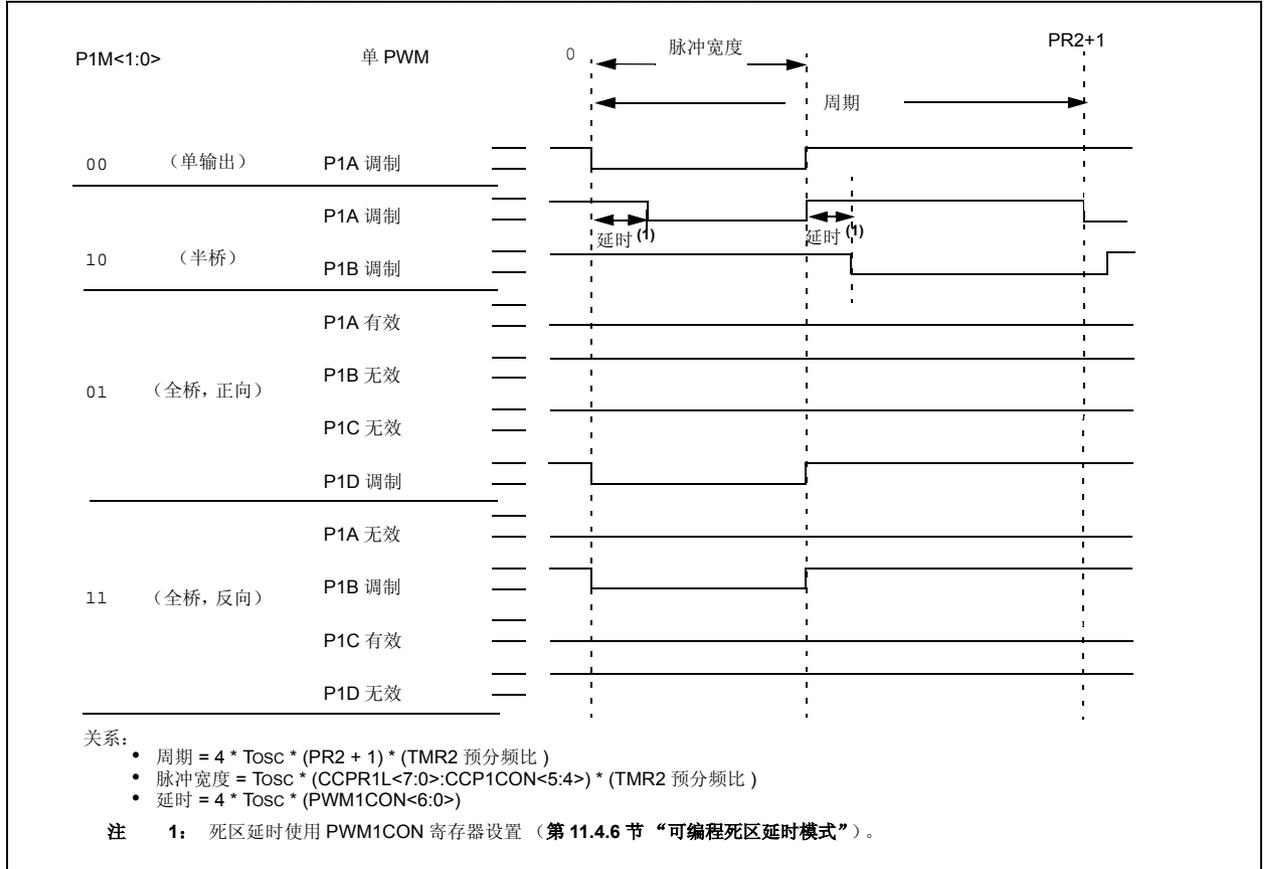


图 11-7: PWM (增强模式) 输出关系示例 (低电平有效状态)



PIC16F631/677/685/687/689/690

11.4.1 半桥模式

在半桥模式下，有两个引脚用作输出以驱动推挽负载。PWM输出信号被输出到 CCP1/P1A 引脚，而互补 PWM 输出信号被输出到 P1B 引脚（见图 11-6）。此模式可用于半桥应用，如图 11-9 所示，或用于全桥应用，此时用两个 PWM 信号调制四个功率开关。

在半桥模式下，可使用编程死区延时防止半桥功率器件中出现贯通电流。PWM1CON 寄存器的 PDC<6:0> 位用于设置将输出驱动为有效前的指令数。如果该值大于占空比，则相应的输出在整个周期中将保持无效状态。死区延时操作的详情请参见第 11.4.6 节“可编程死区延时模式”。

由于 P1A 和 P1B 输出与 PORT 数据锁存器复用，必须清零相关的 TRIS 位以将 P1A 和 P1B 配置为输出。

图 11-8: 半桥 PWM 输出示例

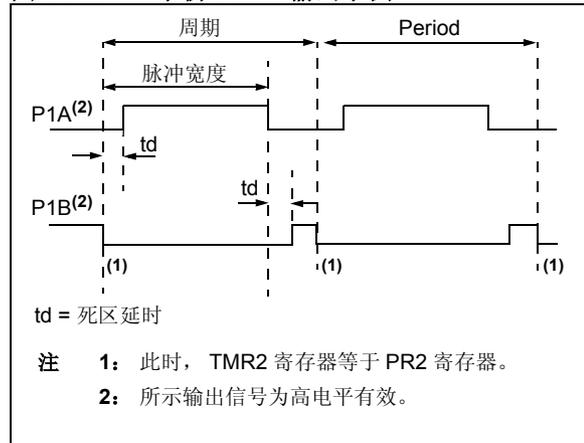
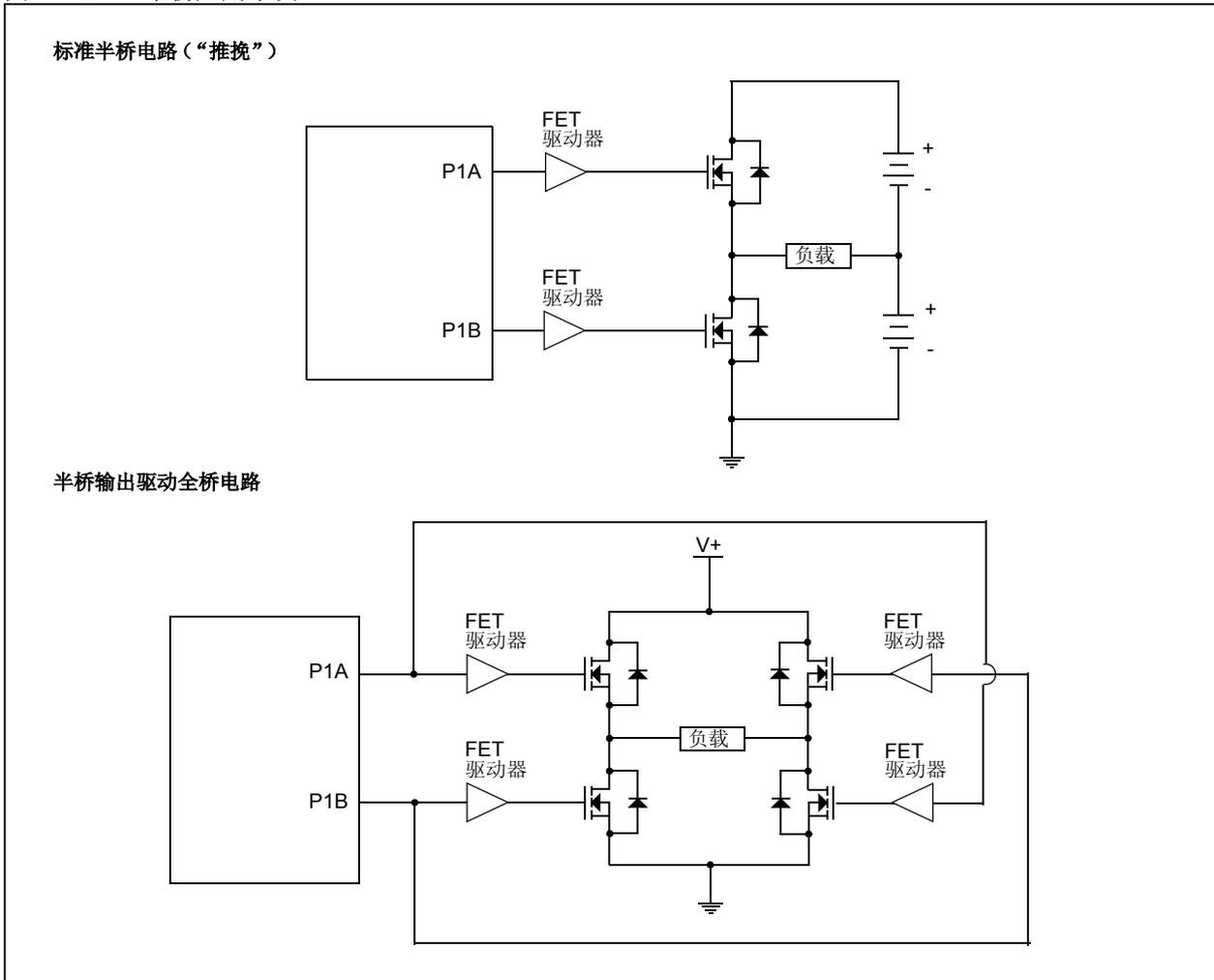


图 11-9: 半桥应用示例



11.4.2 全桥模式

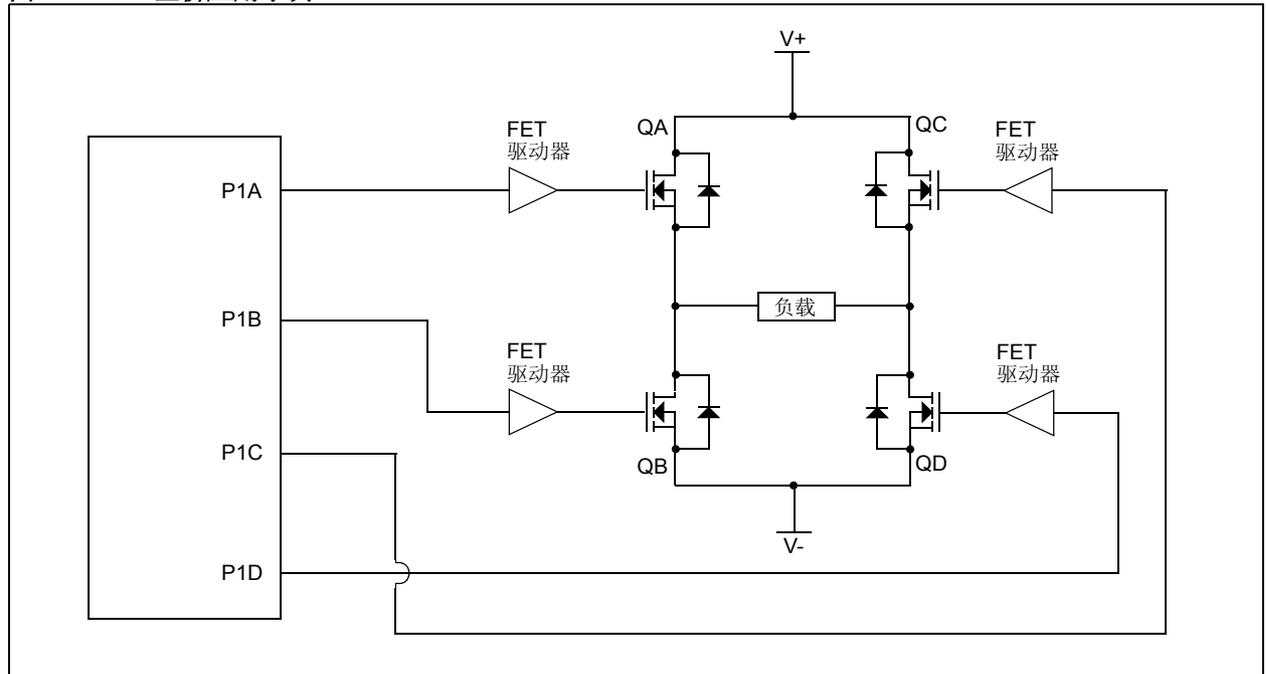
在全桥模式下，所有四个引脚均用作输出。图 11-10 所示为一个全桥应用示例。

在正向模式下，CCP1/P1A 引脚驱动为有效状态，P1D 引脚为调制输出，而 P1B 和 P1C 则被驱动为无效状态，如图 11-11 所示。

在反向模式下，P1C 驱动为有效状态，P1B 引脚为调制输出，而 P1A 和 P1D 则被驱动为无效状态，如图 11-11 所示。

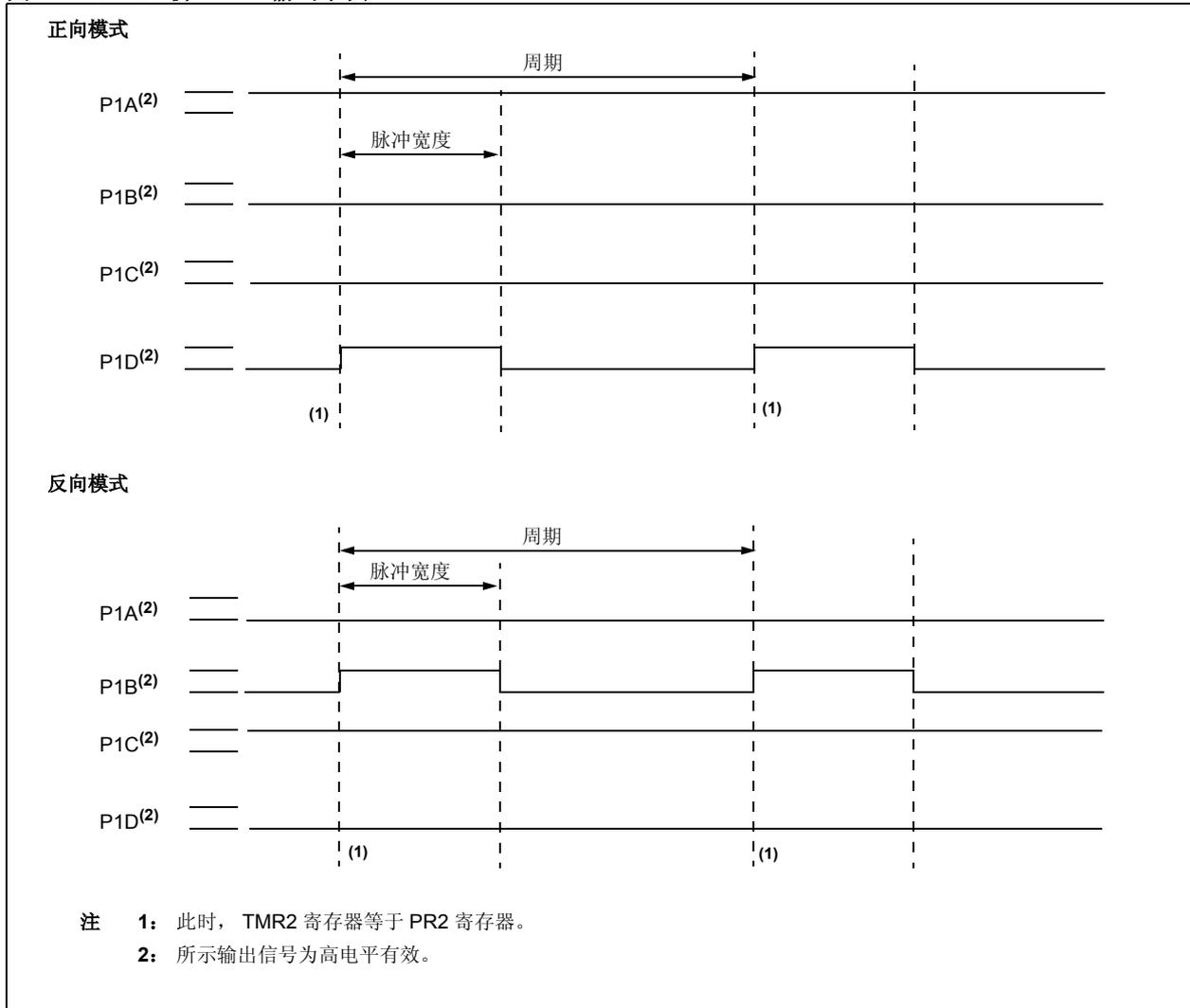
P1A、P1B、P1C 和 P1D 输出与 PORT 数据锁存器复用。必须清零相关 TRIS 位以将 P1A、P1B、P1C 和 P1D 引脚配置为输出。

图 11-10： 全桥应用示例



PIC16F631/677/685/687/689/690

图 11-11: 全桥 PWM 输出示例



11.4.2.1 在全桥模式下改变方向

在全桥模式下，CCP1CON 寄存器的 P1M1 位可供用户控制正 / 反方向。当应用固件改变方向控制位时，模块将在下一个 PWM 周期改变方向。

用软件改变 CCP1CON 寄存器的 P1M1 位可启动方向改变。在当前 PWM 周期前的四个 Timer2 周期，发生以下时序：

- 调制输出（P1B 和 P1D）被置于无效状态。
- 相关的未调制输出（P1A 和 P1C）切换为相反方向驱动。
- 在下一个周期恢复 PWM 调制。

此时序的图示请参见图 11-12。

全桥模式不提供死区延时。在调制一个输出时，一般不需要死区延时。但有一种情况需要死区延时。当以下两个条件同时成立时即发生需要死区延时的情况：

1. 输出占空比达到或接近 100% 时 PWM 输出方向改变。
2. 功率开关（包括功率器件和驱动器电路）的关断时间大于导通时间。

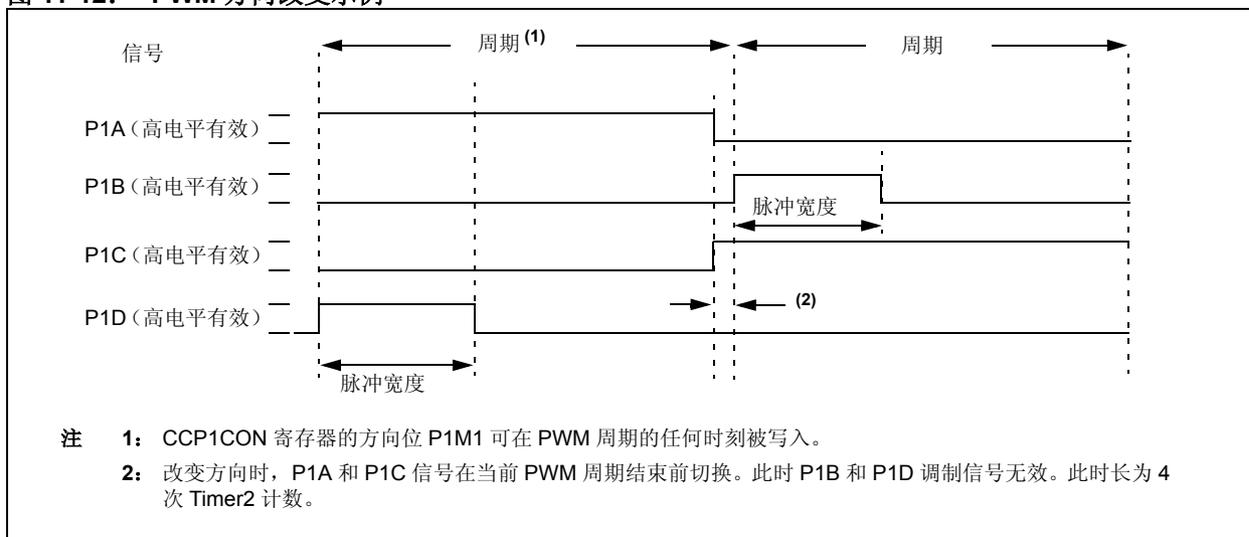
图 11-13 所示为点空比接近 100% 时，PWM 方向从正向变为反向的示例。此示例中，在时间 t1 处，P1A 和 P1D 输出变为无效，而 P1C 输出变为有效。由于功率器件的关断时间大于导通时间，贯通电流将流过功率器件 QC 和 QD（见图 11-10）并持续时间“t”。当 PWM 方向由反向变为正向时，同样的情况将发生在功率器件 QA 和 QB 上。

如果某个应用要求在占空比很高时改变 PWM 方向，以下提供了两种消除贯通电流的方法：

1. 改变方向前将减小 PWM 占空比。
2. 使用能使开关的关断时间快于导通时间的开关驱动器。

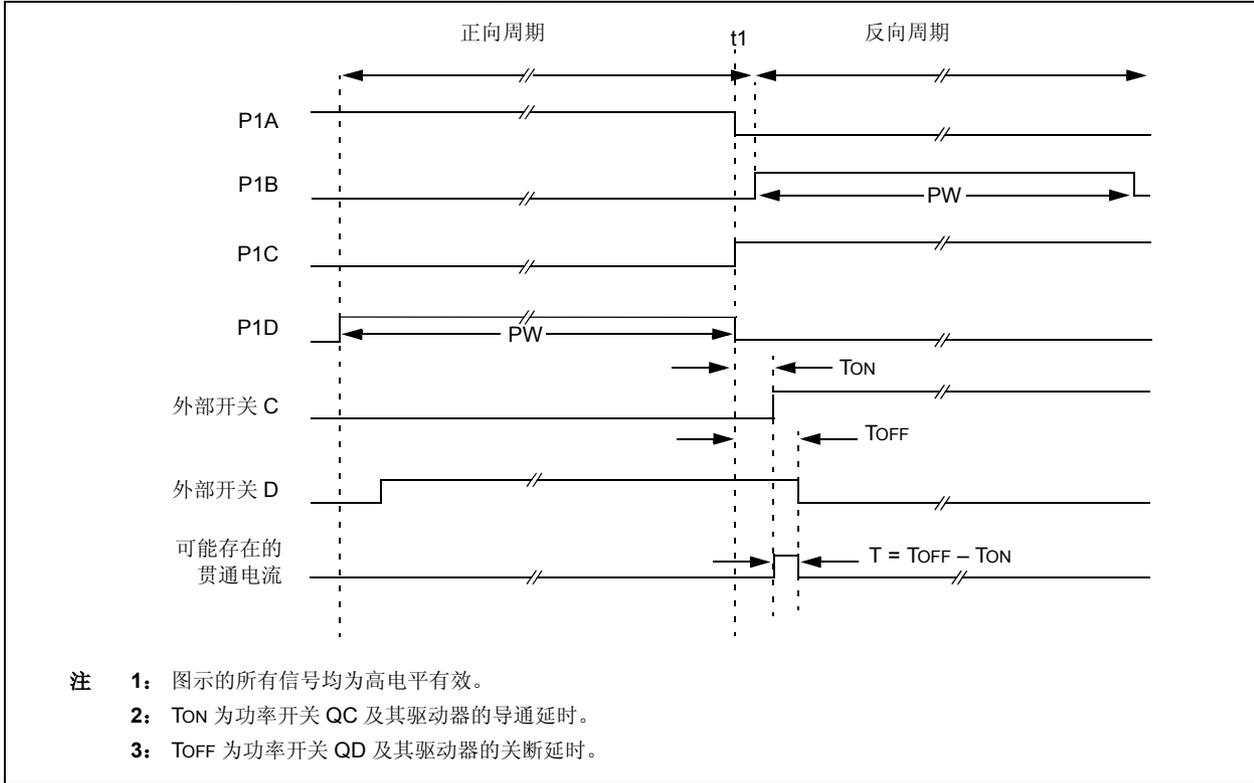
其他防止贯通电流的方法也可能存在。

图 11-12: PWM 方向改变示例



PIC16F631/677/685/687/689/690

图 11-13: 占空比接近 100% 时 PWM 方向变化示例



11.4.3 启动考虑事项

使用任何 PWM 模式时，应用硬件中必须在 PWM 输出引脚上使用适当的外部上拉 / 下拉电阻。

注: 单片机从复位退出时，所有 I/O 引脚均为高阻态。在单片机以正确的信号电平驱动 I/O 引脚或激活 PWM 输出前，外部电路必须使功率开关置于关断状态。

CCP1CON 寄存器的 CCP1M<1:0> 位可供用户选择每对 PWM 输出引脚（P1A/P1C 和 P1B/P1D）的输出信号为高电平有效还是低电平有效。PWM 输出极性必须在使能 PWM 引脚的输出驱动器前选定。我们不建议在 PWM 引脚的输出驱动器使能时改变极性配置，因为这可能会损坏应用电路。

在 PWM 模块初始化时，P1A、P1B、P1C 和 P1D 输出锁存器可能不在正确的状态下。将 PWM 引脚的输出驱动器与增强型 PWM 模式同时使能可能导致应用电路的损坏。增强型 PWM 模式必须在正确的输出模式下使能，并且在 PWM 引脚的输出驱动器被使能前完成一整个 PWM 周期。一整个 PWM 周期是否完成可通过查看 PIR1 寄存器的 TMR2IF 位在第二个 PWM 周期开始时是否置 1 查看。

PIC16F631/677/685/687/689/690

11.4.4 增强型 PWM 自动关闭模式

PWM 模块支持自动关闭模式，它会在发生外部关闭事件时禁止 PWM 输出。自动关闭模式会将 PWM 输出引脚置于预定状态。该模块用于防止 PWM 损坏应用。

使用 ECCPAS 寄存器的 ECCPASx 位可选择自动关闭源。关闭事件可由以下产生：

- INT 引脚出现逻辑 0
- 比较器 C1
- 比较器 C2
- 在固件中将 ECCPASE 位置 1

关闭状态由 ECCPAS 寄存器的 ECCPASE（自动关闭事件状态）位指示。如果该位为 0，PWM 引脚正常工作。如果该位为 1，PWM 输出处于关闭状态。

发生关闭事件时，将出现两个状况：

ECCPASE 位置 1。ECCPASE 保持置 1 状态直到被固件清零或发生了自动重启（见第 11.4.5 节“自动重启模式”）。

使能的 PWM 引脚被异步置于其关闭状态。PWM 输出引脚被分为两对 [P1A/P1C] 和 [P1B/P1D]。两对引脚的状态由 ECCPAS 寄存器的 PSSAC 和 PSSBD 位决定。每对引脚均可置于以下三种状态之一：

- 驱动为逻辑 1
- 驱动为逻辑 0
- 三态（高阻态）

寄存器 11-2: ECCPAS: 增强型捕捉 / 比较 / PWM 自动关闭控制寄存器

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0
bit 7							bit 0

图注:

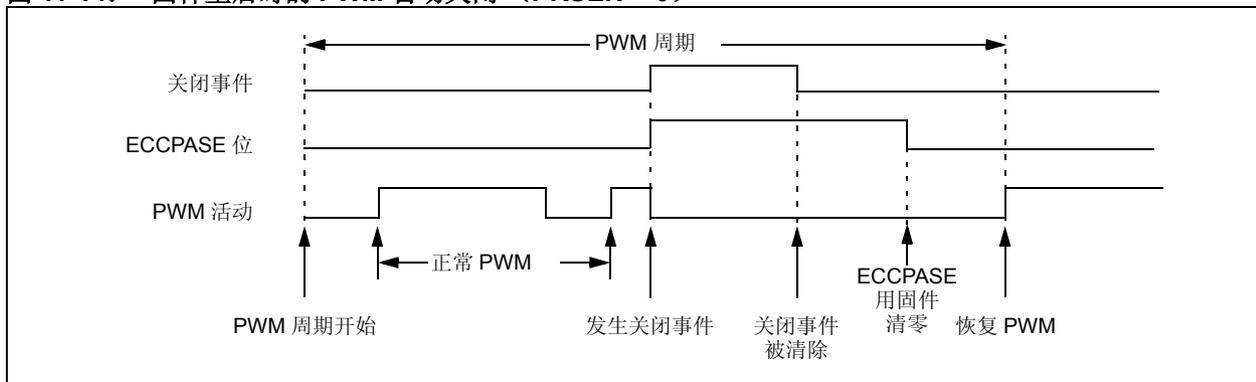
R = 可读位	W = 可写位	U = 未实现位，读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

- bit 7 **ECCPASE:** ECCP 自动关闭事件状态位
1 = 发生了自动关闭事件；ECCP 输出处于关闭状态
0 = ECCP 输出正常工作
- bit 6-4 **ECCPAS<2:0>:** ECCP 自动关闭源选择位
000 = 禁止自动关闭
001 = 比较器 C1 输出变化
010 = 比较器 C2 输出变化 (1)
011 = 比较器 C1 或 C2 之一变化
100 = INT 引脚电压为 V_{IL}
101 = INT 引脚电压为 V_{IL} 或比较器 C1 变化
110 = INT 引脚电压为 V_{IL} 或比较器 C2 变化
111 = INT 引脚电压为 V_{IL} 或比较器 C1/C2 之一变化
- bit 3-2 **PSSACn:** P1A 和 P1C 引脚关闭状态控制位
00 = 驱动引脚 P1A 和 P1C 为 0
01 = 驱动引脚 P1A 和 P1C 为 1
1x = P1A 和 P1C 引脚为三态
- bit 1-0 **PSSBDn:** P1B 和 P1D 引脚关闭状态控制位
00 = 驱动引脚 P1B 和 P1D 为 0
01 = 驱动引脚 P1B 和 P1D 为 1
1x = P1B 和 P1D 引脚为三态

注 1: 如果 C2SYNC 使能，Timer1 将使关闭延时。

- 注 1: 自动关闭条件是基于电平的信号, 而非基于边沿的信号。只要电平不变, 自动关闭就不变。
- 2: 自动关闭条件下禁止写入 ECCPASE 位。
- 3: 一旦自动关闭条件被清除并且 PWM 重启 (通过固件或自动重启), PWM 信号将始终在下一个 PWM 周期开始时重启。

图 11-14: 固件重启时的 PWM 自动关闭 (PRSEN = 0)

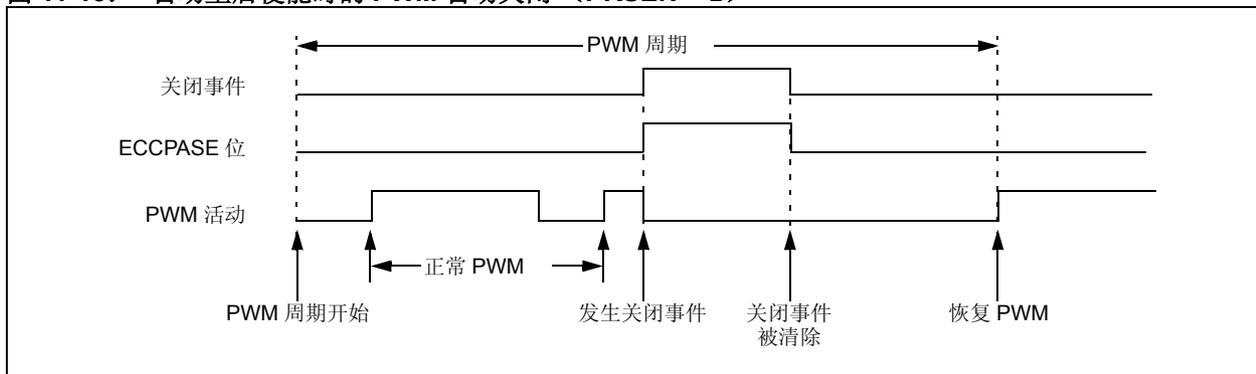


11.4.5 自动重启模式

增强型 PWM 可配置为在自动关闭条件被清除时自动重启 PWM 信号。通过将 PWM1CON 寄存器中的 PRSEN 位置 1 可启用自动重启。

使能自动重启时, 只要自动关闭条件有效, ECCPASE 位就保持置 1。当自动关闭条件被清除时, ECCPASE 位将被硬件清零, 恢复正常工作。

图 11-15: 自动重启使能时的 PWM 自动关闭 (PRSEN = 1)



11.4.6 可编程死区延时模式

在所有功率开关均调制为 PWM 频率的半桥应用中，功率开关从关断到导通通常需要较长的时间。如果上下两个功率开关同时动作（一个导通另一个关断），在一个开关完全关断前，两个开关可能在一个很短的时间内同时导通。在这段很短的时间内，在两个功率开关中会流过极高的电流（*贯通 (shoot-through) 电流*），使桥路的电源短路。为避免在开关时出现这种极具破坏力的贯通电流，通常使任一功率开关的导通时间延后，以使另一个开关有时间完全关断。

在半桥模式下，使用数字可编程死区延时来避免贯通电流破坏桥路的功率开关。信号从无效状态变为有效状态时发生延时。请参见图 11-8 中的图示。相关 PWM1CON 寄存器（寄存器 11-3）的低七位以单片机的指令周期（Tcy，即 4 Tosc）为单位设置延时期限。

图 11-16: 半桥 PWM 输出示例

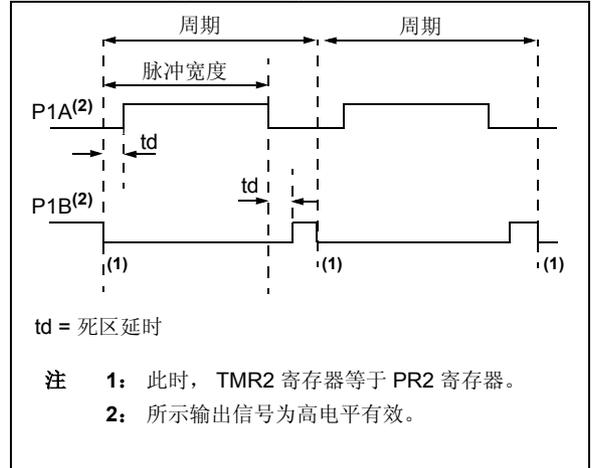
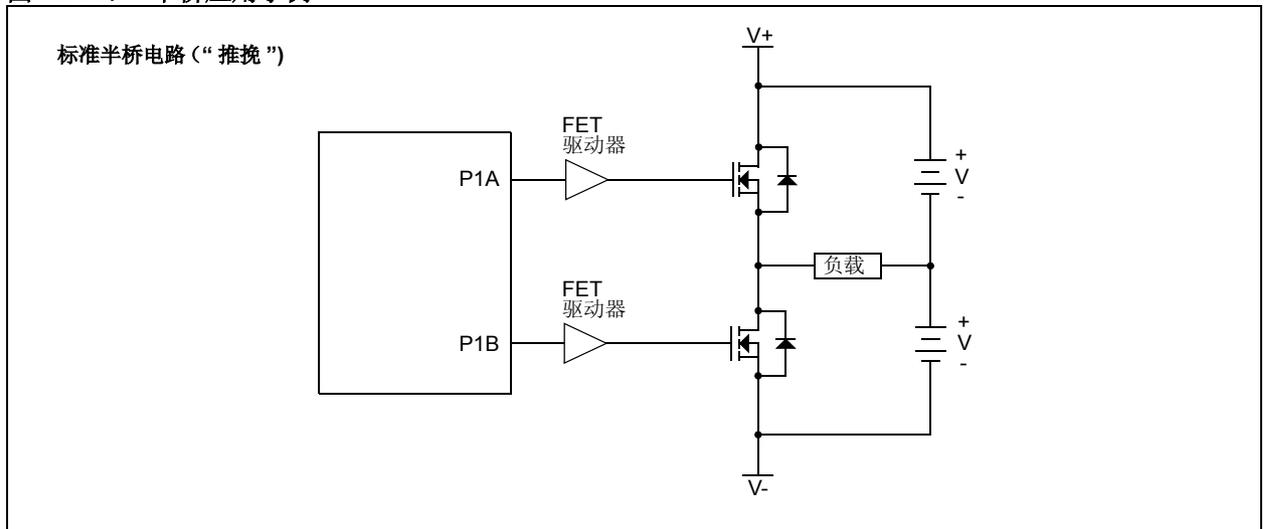


图 11-17: 半桥应用示例



PIC16F631/677/685/687/689/690

寄存器 11-3: PWM1CON: 增强型 PWM 控制寄存器

R/W-0							
PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 7

PRSEN: PWM 重启使能位

1 = 自动关闭时, ECCPASE 位在退出关闭事件时自动清零) PWM 自动重启

0 = 自动关闭时, 必须用软件将 ECCPASE 清零以重启 PWM

bit 6-0

PDC<6:0>: PWM 延时计数位

PDCn = 预定 PWM 信号应转变为有效与 PWM 信号实际转为有效之间的 $F_{osc}/4 (4 * T_{osc})$ 周期数

注 1: 双速启动并选择了 LP、XT 或 HS 时, 或使能了故障保护模式时, 该位复位为 0。

PIC16F631/677/685/687/689/690

11.4.7 脉冲转向模式

在单输出模式中，脉冲转向使任一 PWM 引脚均可输出调制信号。此外，同一 PWM 信号可在多个引脚上同时输出。

一旦选择了单输出模式（CCP1CON 寄存器的 CCP1M<3:2> = 11 且 P1M<1:0> = 00），用户固件即可通过将 PSTRCON 寄存器的相应的 STR<D:A> 置 1，将同一 PWM 信号输出到一、二、三或四个输出引脚，如图 11-18 所示。

注： 必须将相关的 TRIS 位设置为（0）使能引脚的输出驱动器，才能将 PWM 信号输出到引脚上。

当 PWM 转向模式有效时，CCP1CON 寄存器的 CCP1M<1:0> 位为 P1<D:A> 引脚选择 PWM 输出极性。

PWM 自动关闭操作也适用于第 11.4.4 节“增强型 PWM 自动关闭模式”中所述的 PWM 转向模式。自动关闭事件只会影响使能 PWM 输出的引脚。

寄存器 11-4: PSTRCON: 脉冲转向控制寄存器⁽¹⁾

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
—	—	—	STRSYNC	STRD	STRC	STRB	STRA
bit 7							bit 0

图注：

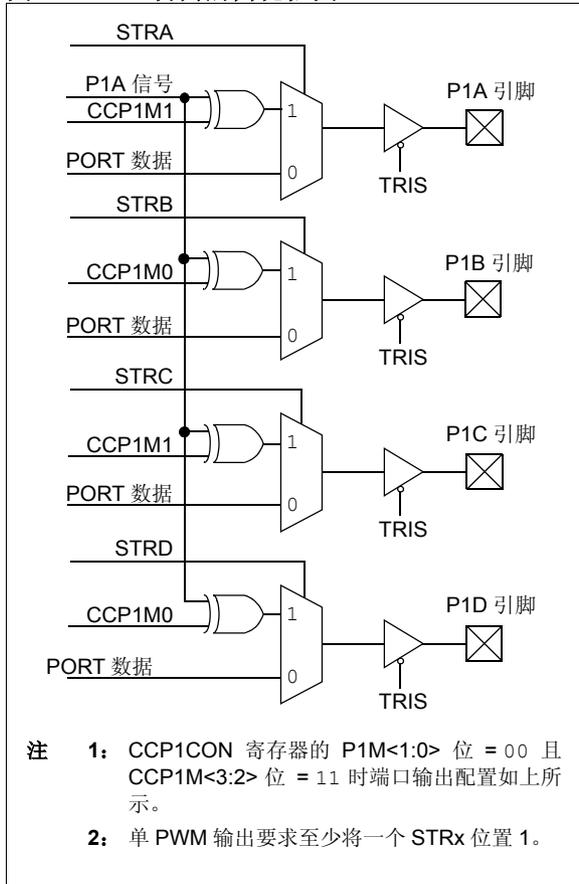
R = 可读位	W = 可写位	U = 未实现位，读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 7-5 **未实现：** 读为 0
- bit 4 **STRSYNC:** 转向同步位
1 = 输出转向更新发生在下一个 PWM 周期
0 = 输出转向更新发生在指令周期界限的开始
- bit 3 **STRD:** 转向使能位 D
1 = P1D 引脚输出 PWM 波形，其极性由 CCP1M<1:0> 控制
0 = P1D 引脚被分配为端口引脚
- bit 2 **STRC:** 转向使能位 C
1 = P1C 引脚输出 PWM 波形，其极性由 CCP1M<1:0> 控制
0 = P1C 引脚被分配为端口引脚
- bit 1 **STRB:** 转向使能位 B
1 = P1B 引脚输出 PWM 波形，其极性由 CCP1M<1:0> 控制
0 = P1B 引脚被分配为端口引脚
- bit 0 **STRA:** 转向使能位 A
1 = P1A 引脚输出 PWM 波形，其极性由 CCP1M<1:0> 控制
0 = P1A 引脚被分配为端口引脚

注 1: 只能在 CCP1CON 寄存器的 CCP1M<3:2> 位 = 11 且 P1M<1:0> 位 = 00 时 PWM 转向模式才可用。

PIC16F631/677/685/687/689/690

图 11-18: 转向的简化框图



11.4.7.1 转向同步

PSTRCON 寄存器的 STRSYNC 位为用户提供了转向事件何时发生的两种选择。当 STRSYNC 位为 0 时，转向事件在写入 PSTRCON 寄存器的指令结束时发生。此时，P1<D:A> 引脚的输出信号可能是一个不完整的 PWM 波形。当用户需要立即从引脚删除一个 PWM 信号时，可使用此操作。

当 STRSYNC 位为 1 时，在下一个 PWM 周期的开始将发生有效和转向更新。此时，开 / 关转向 PWM 输出将始终产生一个完整的 PWM 波形。

图 11-19 和 11-20 显示了根据 STRSYNC 设置进行 PWM 转向的时序图。

图 11-19: 指令结束时将一个事件转向的示例 (STRSYNC = 0)

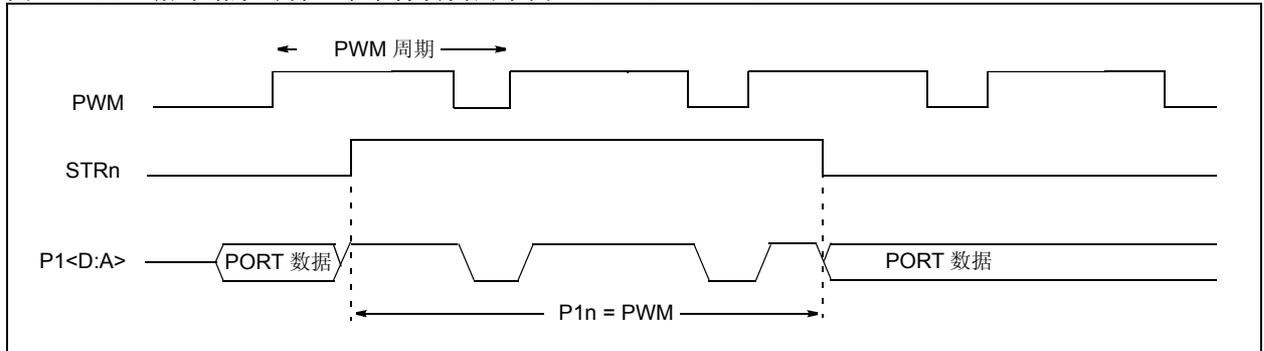
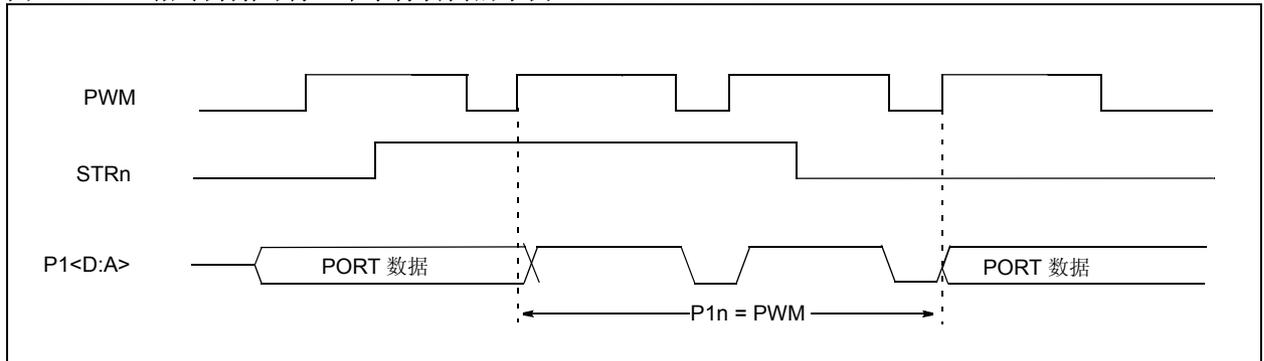


图 11-20: 指令开始时将一个事件转向的示例 (STRSYNC = 1)



PIC16F631/677/685/687/689/690

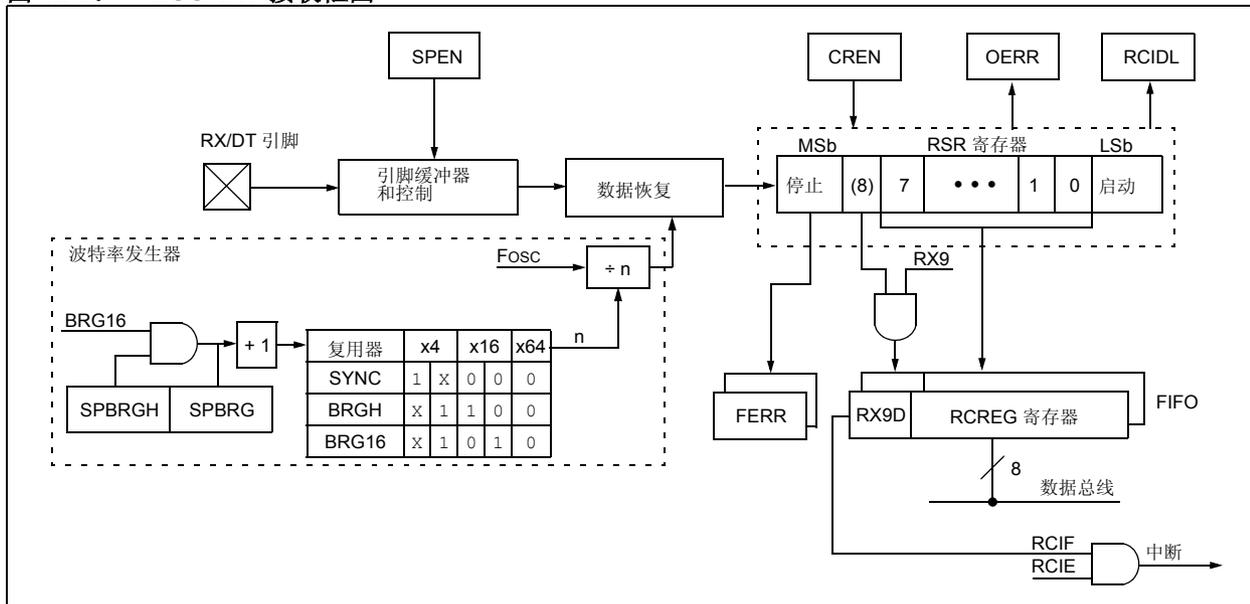
表 11-5: 与捕捉 / 比较 / PWM 相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
CCP1CON	P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	0000 0000
CM1CON0	C1ON	C1OUT	C1OE	C1POL	—	C1R	C1CH1	C1CH0	0000 -000	0000 -000
CM2CON0	C2ON	C2OUT	C2OE	C2POL	—	C2R	C2CH1	C2CH0	0000 -000	0000 -000
CM2CON1	MC1OUT	MC2OUT	—	—	—	—	T1GSS	C2SYNC	00-- --10	00-- --10
CCPR1L	捕捉 / 比较 / PWM 寄存器 1 的低字节								xxxx xxxx	uuuu uuuu
CCPR1H	捕捉 / 比较 / PWM 寄存器 1 的高字节								xxxx xxxx	uuuu uuuu
ECCPAS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0	0000 0000	0000 0000
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 0000	0000 0000
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
PSTRCON	—	—	—	STRSYNC	STRD	STRC	STRB	STRA	---0 0001	---0 0001
PWM1CON	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0	0000 0000	0000 0000
T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	uuuu uuuu
T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
TMR1L	16 位 TMR1 寄存器最低有效位的保持寄存器								xxxx xxxx	uuuu uuuu
TMR1H	16 位 TMR1 寄存器最高有效位的保持寄存器								xxxx xxxx	uuuu uuuu
TMR2	Timer2 模块寄存器								0000 0000	0000 0000
TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111

图注: — = 未实现单元, 读为 0, u = 不变, x = 未知。捕捉 / 比较 / PWM 不使用阴影单元。

PIC16F631/677/685/687/689/690

图 12-2: EUSART 接收框图



EUSART 模块的操作由以下三个寄存器控制:

- 发送状态和控制 (TXSTA)
- 接收状态和控制 (RCSTA)
- 波特率控制 (BAUDCTL)

寄存器的详情请分别参见寄存器 12-1、12-2 和 12-3。

12.1 EUSART 异步模式

EUSART 采用标准不归零 (non-return-to-zero, NRZ) 格式发送和接收数据。NRZ 实现为两种电平: 表示数据位 1 的 VoH 标记状态 (mark state), 以及表示数据位 0 的 Vol 空格状态 (space state)。NRZ 指的是当同具有相同值的连续数据位被发送时, 它们保持在该位的输出电平不变, 而不会在每个位之间回到中立电平。NRZ 发送端口在标记状态空闲。每个字符发送包含一个启动位及随后的八个或九个数据位, 并始终由一个或多个停止位终止。启动位始终是一个空格, 停止位始终是标记。最常见的数据格式为 8 位。每个发送位保持 1/(波特率) 个周期。使用片上专用 8 位/16 位波特率发生器 (Baud Rate Generator, BRG) 从系统振荡器产生标准波特率频率。波特率配置示例请参见表 12-5。

EUSART 先发送和接收 Lsb。EUSART 的发送器和接收器在功能上是相互独立的, 但它们的数据格式和波特率相同。硬件不支持奇偶校验, 但可通过软件实现并作为第九位存储。

12.1.1 EUSART 异步发送器

EUSART 发送器框图如图 12-1 所示。发送器的核心是串行发送移位寄存器 (TSR), 该寄存器不可用软件直接访问。TSR 从发送缓冲器 TXREG 取得数据。

12.1.1.1 使能发送器

EUSART 发送器可通过配置以下三个控制位使能为异步操作:

- TXEN = 1
- SYNC = 0
- SPEN = 1

假定所有其他 EUSART 控制位均处于其默认状态。

将 TXSTA 寄存器的 TXEN 位置 1 使能 EUSART 的发送器电路。清零 TXSTA 寄存器的 SYNC 位将 EUSART 配置为异步操作。将 RCSTA 寄存器的 SPEN 位置 1 使能 EUSART 并自动将 TX/CK I/O 引脚配置为输出。如果 TX/CK 引脚与模拟外设共用, 那么必须通过清零相应的 ANSEL 位禁止模拟 I/O 功能。

注 1: SPEN 置 1 时, RX/DT I/O 引脚被自动配置为输入, 无论相应 TRIS 位的状态如何以及 EUSART 接收器是否被使能。通过正常的 PORT 读取操作可读取 RX/DT 引脚的数据, 但不包括 PORT 锁存器的数据输出值。

2: TXEN 允许位置 1 时, TXIF 发送器中断标志置 1。

12.1.1.2 发送数据

向 TXREG 寄存器写入一个字符时启动发送。如果这是首字符, 或前一个字符被完全从 TSR 中送出, TXREG 中的数据就立即被传送到 TSR 寄存器。如果 TSR 中仍保存前一个字符的全部或一部分, 则新字符被保存在 TXREG 中, 直至前一个字符的停止位被发送。之后, 在 TXREG 中等待的字符在停止位发送后一个 Tcy 后被传送到 TSR 中。TXREG 中的数据被传送到 TSR 后, 启动位, 数据位和停止位的发送序列立即开始。

12.1.1.3 发送中断标志

只要 EUSART 发送器被使能, 而且 TXREG 中没有等待发送的字符, PIR1 寄存器的 TXIF 中断标志位就被置 1。换句话说, 只有在 TSR 中有字符, 并且 TXREG 中还有一个排队等待发送的新字符时, TXIF 位才被清零。写入 TXREG 后并不立即清零 TXIF 标志全。执行写操作后的第二个指令周期 TXIF 才有效。写入 TXREG 后立即查询 TXIF 位将返回无效结果。TXIF 位是只读的, 不能用软件置 1 或清零。

将 PIE1 寄存器的 TXIE 中断允许位置 1 可允许 TXIF 中断。然而, 只要 TXREG 为空, TXIF 标志位就被置 1, 无论 TXIE 允许位的状态如何。

要在发送数据时使用中断, 应只在没有数据可发送时才将 TXIE 位置 1。在将发送的最后一个字符写入 TXREG 后应清零 TXIE 中断允许位。

PIC16F631/677/685/687/689/690

12.1.1.4 TSR 状态

TXSTA 寄存器的 TRMT 位指示 TSR 寄存器的状态。该位是只读位。TSR 寄存器为空时，TRMT 位置 1，而当一个字符从 TXREG 寄存器传送到 TSR 寄存器中时，该位清零。TRMT 位将保持清零，直到所有位移出 TSR 寄存器。该位不与任何中断逻辑相连，因此用户必须查询该位以确定 TSR 的状态。

注： TSR 寄存器不映射到数据存储中，因此用户无法使用。

12.1.1.5 发送 9 位字符

EUSART 支持 9 位字符发送。当 TXSTA 寄存器的 TX9 位置 1 时，EUSART 将在发送每个字符时移出 9 位。TXSTA 寄存器的 TX9D 位是第九个数据位，也是最高有效位。发送 9 位数据时，TX9D 数据位必须先于 8 个最低有效位写入 TXREG。写入 TXREG 后，所有九个位将被立即传送到 TSR 移位寄存器中。

有多个接收器时，可使用一种特殊的 9 位地址模式。地址模式的更多信息请参见第 12.1.2.7 节“地址检测”。

12.1.1.6 异步发送的设置

1. 初始化 SPBRGH:SPBRG 这对寄存器以及 BRGH 和 BRG16 位，获得所需的波特率（见第 12.3 节“EUSART 波特率发生器（BRG）”）。
2. 清零 SYNC 位并将 SPEN 位置 1 使能异步串行端口。
3. 若需发送 9 位，将 TX9 控制位置 1。若第九个数据位置 1，则表示发送器置于地址检测时，8 个最低有效位为地址。
4. 将 TXEN 控制位置 1 使能发送。这将导致 TXIF 中断位置 1。
5. 若需中断，将 TXIE 中断允许位置 1。如果 INTCON 寄存器的 GIE 和 PEIE 位也置 1，则立即产生中断。
6. 若选定了 9 位发送，应将第九位装入 TX9D 数据位。
7. 将 8 位数据装入 TXREG 寄存器。这将启动发送。

图 12-3: 异步发送

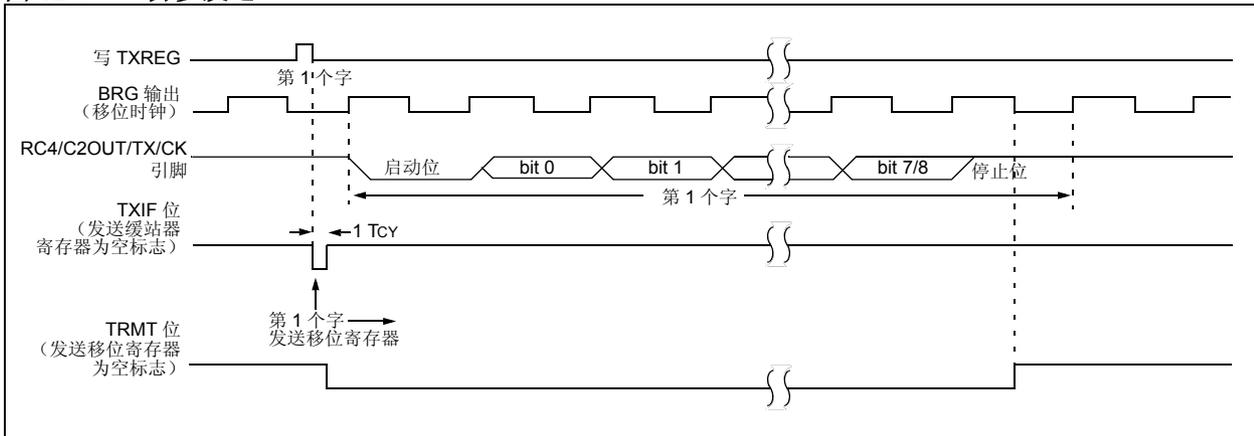
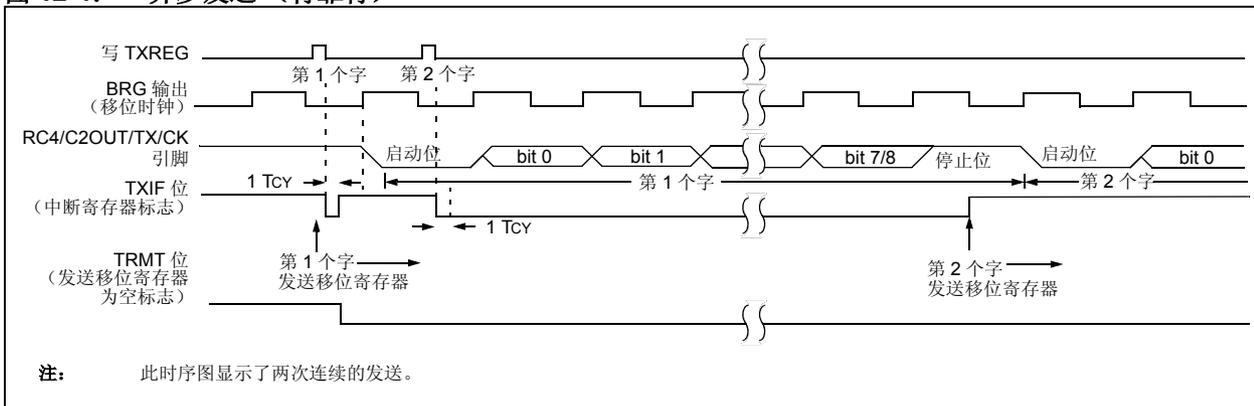


图 12-4: 异步发送（背靠背）



注： 此时序图显示了两次连续的发送。

PIC16F631/677/685/687/689/690

表 12-1: 与异步发送相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注: x = 未知, - = 未实现读为 0。异步发送不使用阴影单元。

PIC16F631/677/685/687/689/690

12.1.2 EUSART 异步接收器

异步模式一般用于 RS-232 系统中。图 12-2 所示为接收器框图。数据在 RX/DT 引脚上接收并驱动数据恢复模块。数据恢复模块实际上是一个高速移位器，工作频率为 16 倍波特率，而串行接收器移位寄存器（Receive Shift Register, RSR）的工作频率为比特率。所有 8 位或 9 位字符移入后被立即传送到双字符的先进先出（First-In-First-Out, FIFO）存储器中。FIFO 缓冲器允许先接收两个完整字符和第三个字符的开始部分后，再启动软件服务 EUSART 接收器。FIFO 和 RSR 寄存器不能直接用软件访问。通过 RCREG 寄存器访问接收数据。

12.1.2.1 使能接收器

配置以下三个控制位以将 EUSART 接收器使能为异步操作：

- CREN = 1
- SYNC = 0
- SPEN = 1

假定所有其他 EUSART 控制位处于默认状态。

将 RCSTA 寄存器的 CREN 位置 1 可使能 EUSART 的接收器电路。将 TXSTA 寄存器的 SYNC 位清零可将 EUSART 配置为异步操作。将 RCSTA 寄存器的 SPEN 位置 1 可使能 EUSART 并自动将 RX/DT I/O 引脚配置为输入。如果 RX/DT 引脚与模拟外设共用，那么必须通过将相应的 ANSEL 位清零来禁止模拟 I/O 功能。

注： SPEN 位置 1 时，TX/CK I/O 引脚被自动配置为输出，无论相应 TRIS 位状态如何以及 EUSART 发送器是否使能。PORT 锁存器与输出驱动器断开，因此不可能将 TX/CK 引脚用作通用输出。

12.1.2.2 接收数据

接收器的数据恢复电路在第一位的下降沿启动字符接收。第一位也称启动（Start）位，始终为零。数据恢复电路计数一个半位时间至启动位的中点并验证该位是否仍为零。如果该位非零则数据恢复电路中止字符接收，不产生错误，并恢复寻找启动位的下降沿。如果启动位被验证为零，则数据恢复电路计数一整个位时间至下一位的中点。该位被一个择多检测电路（majority detect circuit）采样，其结果（0 或 1）移入 RSR。重复此过程直到所有数据位均被采样并移入 RSR。最后一个位时间被测量且其电平被采样。此为停止（Stop）位，始终为 1。如果数据恢复电路在停止位处采样到 0，则产生此字符的帧错误，否则此字符的帧错误被清零。更多有关帧错误的信息请参见第 12.1.2.4 节“接收帧错误”。

数据位和停止位被接收后，RSR 中的字符就被立即传送到 EUSART 接收 FIFO，且 PIR1 寄存器的 RCIF 中断标志位置 1。读取 RCREG 寄存器时，FIFO 中顶部的字符被送出 FIFO。

注： 如果接收 FIFO 溢出，在溢出条件被清除前不会接收更多字符。更多有关溢出错误的信息请参见第 12.1.2.5 节“接收溢出错误”。

12.1.2.3 接收中断

只要 EUSART 接收器被使能且接收 FIFO 中存在未被读取的字符，PIR1 寄存器的 RCIF 中断标志位就置 1。RCIF 中断标志位是只读位，不能用软件置 1 或清零。

将以下位置 1 时可允许 RCIF 中断：

- PIE1 寄存器的 RCIE 中断允许位
- INTCON 寄存器的 PEIE 外设中断允许位
- INTCON 寄存器的 GIE 全局中断允许位

当 FIFO 中存在未被读取的字符时，无论中断允许位的状态如何，RCIF 中断标志位均会被置 1。

12.1.2.4 接收帧错误

接收 FIFO 缓冲器中的每个字符都有相应的帧错误状态位。帧错误表明在预期时间内未见到停止位。通过 RCSTA 寄存器的 FERR 位可访问帧错误状态。FERR 位表示接收 FIFO 中顶部的未读字符的状态。因此，在读取 RCREG 前必须读出 FERR 位。

FERR 是只读位，只用于接收 FIFO 中顶部的未读字符。帧错误 (FERR = 1) 不排除接收额外字符。此时不必将 FERR 位清零。从 FIFO 缓冲器读出下一个字符将使 FIFO 进入下一个字符和下一个相应的帧错误。

将 RCSTA 寄存器的 SPEN 位清零可复位 EUSART，这样就可将 FERR 位强制清零。将 RCSTA 寄存器的 CREN 位清零不影响 FERR 位。自身产生的帧错误不会产生中断。

注： 如果接收 FIFO 中的所有接收字符均有帧错误，反复读取 RCREG 不会将 FERR 位清零。

12.1.2.5 接收溢出错误

接收 FIFO 缓冲器可容纳两个字符。在访问 FIFO 前接收到完整的第三个字符时会产生溢出错误。此时，RCSTA 寄存器的 OERR 位置 1。FIFO 缓冲器中已有的字符可被读出，但溢出错误被清除前不能再接收其他字符。将 RCSTA 寄存器的 CREN 位清零或通过将 RCSTA 寄存器中的 SPEN 位清零复位 EUSART 可清除该错误。

12.1.2.6 接收 9 位字符

EUSART 支持接收 9 位字符。RCSTA 寄存器的 RX9 位置 1 时，EUSART 将在接收到每个字符时将 9 个位移入 RSR。RCSTA 寄存器的 RX9D 位是第九位，也是接收 FIFO 顶部未读字符的最高有效位。从接收 FIFO 缓冲器读取 9 位数据时，在读取 RCREG 的 8 个最低有效位前必须先读取 RX9D 数据位。

12.1.2.7 地址检测

当多个接收器共用同一条发送线时，如在 RS-485 系统中，有一个特殊的地址检测模式可供使用。将 RCSTA 寄存器的 ADDEN 位置 1 可启用地址检测。

地址检测要求接收 9 位字符。使能地址检测时，只有第九个数据位置 1 的字符会被传送到接收 FIFO 缓冲器，并将 RCIF 中断位置 1。所有其他字符均被忽略。

接收到地址字符后，用户软件可决定地址是否与自身匹配。地址匹配时，发生下一个停止位以前，用户软件必须通过清零 ADDEN 位禁止地址检测。当用户软件根据所使用的报文协议检测到报文的末尾时，软件将 ADDEN 位置 1，将接收器重新置于地址检测模式。

PIC16F631/677/685/687/689/690

12.1.2.8 异步接收的设置

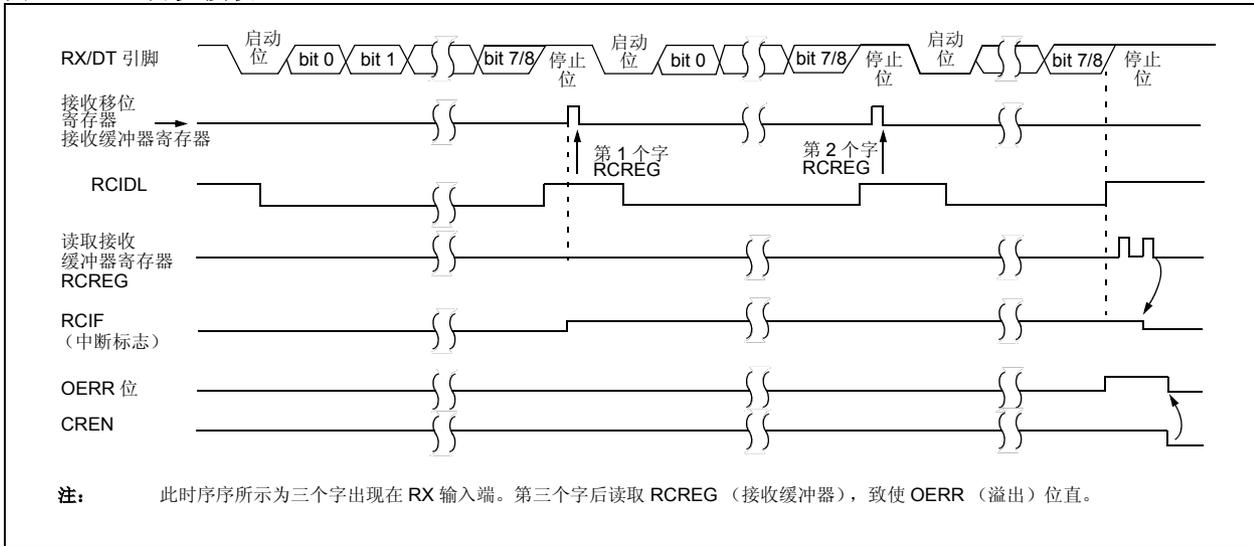
1. 初始化 SPBRGH 和 SPBRG 这对寄存器以及 BRGH 和 BRG16 位获得所需的波特率（见第 12.3 节“EUSART 波特率发生器（BRG）”）。
2. 将 SPEN 位置 1 使能串行端口。SYNC 位必须清零才能进行异步操作。
3. 若需中断，将 RCIE 中断允许位置 1，并将 INTCON 寄存器的 GIE 和 PEIE 位置 1。
4. 若需接收 9 位，将 RX9 位置 1。
5. 将 CREN 位置 1 使能接收。
6. 当字符从接收移位寄存器被移入接收缓冲器时，RCIF 中断标志位将被置 1。如果 RCIE 中断允许位也置 1，则产生中断。
7. 读取 RCSTA 寄存器取得错误标志，以及第九个数据位（9 位数据接收使能时）。
8. 读取 RCREG 寄存器从接收缓冲器取得接收的 8 个最低有效位。
9. 发生溢出时，通过清零 CREN 接收器允许位清零 OERR 标志位。

12.1.2.9 9 位地址检测模式的设置

该模式一般用于 RS-485 系统。要设置使能地址检测的异步接收，应：

1. 初始化 SPBRGH 和 SPBRG 这对寄存器以及 BRGH 和 BRG16 位获得所需的波特率（见第 12.3 节“EUSART 波特率发生器（BRG）”）。
2. 将 SPEN 位置 1 使能串行端口。SYNC 位必须清零才能进行异步操作。
3. 若需中断，将 RCIE 中断允许位置 1，并将 INTCON 寄存器的 GIE 和 PEIE 位置 1。
4. 将 RX9 位置 1 使能 9 位接收。
5. 将 ADDEN 位置 1 使能地址检测。
6. 将 CREN 位置 1 使能接收。
7. 当字符从接收移位寄存器被移入接收缓冲器时，RCIF 中断标志位将被置 1。如果 RCIE 中断允许位也置 1，则产生中断。
8. 读取 RCSTA 寄存器取得错误标志。第九个数据位将始终置 1。
9. 读取 RCREG 寄存器从接收缓冲器取得接收的 8 个最低有效位。软件将决定此地址是否器件地址。
10. 发生溢出时，通过清零 CREN 接收器允许位清零 OERR 标志位。
11. 若器件被寻址，将 ADDEN 位清零以允许所有接收到的数据被送入接收缓冲器并产生中断。

图 12-5: 异步接收



PIC16F631/677/685/687/689/690

表 12-2: 与异步接收相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SEnDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注: x = 未知, - = 未实现读为 0。异步接收不使用阴影单元。

PIC16F631/677/685/687/689/690

寄存器 12-2: **RCSTA: 接收状态和控制寄存器** ⁽¹⁾

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 7** **SPEN:** 串行端口使能位
 1 = 串行端口使能 (将 RX/DT 和 TX/CK 引脚配置为串行端口引脚)
 0 = 禁止串行端口 (保持为复位状态)
- bit 6** **RX9:** 9 位接收使能位
 1 = 选择 9 位接收
 0 = 选择 8 位接收
- bit 5** **SREN:** 单字节接收使能位
异步模式:
 无关位
同步模式——主控:
 1 = 使能单字节接收
 0 = 禁止单字节接收
 接收完成后此位被清零。
同步模式——从动
 无关位
- bit 4** **CREN:** 连续接收使能位
异步模式:
 1 = 使能接收器
 0 = 禁止接收器
同步模式:
 1 = 使能连续接收, 直到使能位 CREN 清零 (CREN 覆盖 SREN)
 0 = 禁止连续接收
- bit 3** **ADDEN:** 地址检测使能位
9 位异步模式 (RX9 = 1):
 1 = 使能地址检测、允许中断, 当 RSR<8> 置 1 时装入接收缓冲器
 0 = 禁止地址检测、接收所有字节并且第 9 位可作为奇偶校验位
8 位异步模式 (RX9 = 0):
 无关位
- bit 2** **FERR:** 帧错误位
 1 = 帧错误 (可通过读 RCREG 寄存器刷新该位, 并接收下一个有效字节)
 0 = 无帧错误
- bit 1** **OERR:** 溢出错误位
 1 = 溢出错误 (可通过清零 CREN 位来清零该位)
 0 = 无溢出错误
- bit 0** **RX9D:** 接收数据的第 9 位
 这可以是地址 / 数据位或奇偶校验位, 必须由用户固件计算。

PIC16F631/677/685/687/689/690

寄存器 12-3: BAUDCTL: 波特率控制寄存器

R-0	R-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN
bit 7							bit 0

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 7 **ABDOVF:** 自动波特率检测溢出位

异步模式:

1 = 自动波特率定时器溢出

0 = 自动波特率定时器没有溢出

同步模式:

无关位

bit 6 **RCIDL:** 接收 IDLE 标志位

异步模式:

1 = 接收器空闲

0 = 已接收到起始位且接收器正在接收

同步模式:

无关位

bit 5 **未实现:** 读为 0

bit 4 **SCKP:** 同步时钟极性选择位

异步模式:

1 = 传送反向数据到 RB7/TX/CK 引脚

0 = 传送非反向数据到 RB7/TX/CK 引脚

同步模式:

1 = 数据在时钟上升沿同步

0 = 数据在时钟下降沿同步

bit 3 **BRG16:** 16 位波特率发生器位

1 = 使用 16 位波特率发生器

0 = 使用 8 位波特率发生器

bit 2 **未实现:** 读为 0

bit 1 **WUE:** 唤醒使能位

异步模式:

1 = 接收器等待下降沿。不会接收字符。RCIF 将被置 1。RCIF 置 1 后 WUE 将被自动清零。

0 = 接收器正常工作

同步模式:

无关位

bit 0 **ABDEN:** 自动波特率检测使能位

异步模式:

1 = 使能自动波特率模式 (完成自动波特率后清零)

0 = 禁止自动波特率模式

同步模式:

无关位

12.3 EUSART 波特率发生器 (BRG)

波特率发生器 (BRG) 是 8 位或 16 位定时器, 专用于支持异步或同步 EUSART 操作。默认时, BRG 工作在 8 位模式下。将 BAUDCTL 寄存器的 BRG16 位置 1 可选择 16 位模式。

一对 SPBRGH:SPBRG 寄存器决定自动运行波特率时钟的周期。在异步模式下, 波特率周期的乘数由 TXSTA 寄存器的 BRGH 位和 BAUDCTL 寄存器的 BRG16 位决定。在同步模式下, BRGH 位被忽略。

表 12-3 提供了确定波特率的公式。例 12-1 是确定波特率和波特率误差的计算示例。

为便于您使用, 各种异步模式的典型波特率和误差值已经计算出来并如表 12-3 所示。使用高波特率 (BRGH = 1), 或 16 位 BRG (BRG16 = 1) 有助于降低波特率误差。16 位 BRG 模式用于在高速振荡器频率下取得较缓慢的波特率。

将新值写入一对 SPBRGH:SPBRG 寄存器将导致 BRG 定时器复位 (或清零)。这确保了 BRG 不必等待定时器溢出即可输出新的波特率。

如果接收操作有效时系统时钟发生变化, 则会产生接收错误或导致数据丢失。为避免这种情况, 应检查 RCIDL 位的状态, 以确保在改变系统时钟时接收操作处于空闲状态。

例 12-1: 计算波特率误差

若器件的 Fosc 为 16MHz, 目标波特率为 9600, 异步模式, 8 位 BRG:

$$\text{目标波特率} = \frac{F_{osc}}{64([SPBRGH:SPBRG] + 1)}$$

求解 SPBRGH:SPBRG:

$$X = \frac{F_{osc}}{\text{目标波特率} \times 64} - 1$$

$$= \frac{16000000}{9600 \times 64} - 1$$

$$= [25.042] = 25$$

$$\text{计算波特率} = \frac{16000000}{64(25 + 1)}$$

$$= 9615$$

$$\text{误差} = \frac{\text{计算波特率} - \text{目标波特率}}{\text{目标波特率}}$$

$$= \frac{(9615 - 9600)}{9600} = 0.16\%$$

表 12-3: 波特率公式

配置位			BRG/EUSART 模式	波特率公式
SYNC	BRG16	BRGH		
0	0	0	8 位 / 异步	Fosc/[64(n+1)]
0	0	1	8 位 / 异步	Fosc/[16(n+1)]
0	1	0	16 位 / 异步	
0	1	1	16 位 / 异步	Fosc/[4(n+1)]
1	0	x	8 位 / 同步	
1	1	x	16 位 / 同步	

图注: x = 无关位, n = SPBRGH:SPBRG 这对寄存器的值

表 12-4: 与波特率发生器相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注: x = 未知, - = 未实现读为 0。波特率发生器不使用阴影单元。

PIC16F631/677/685/687/689/690

表 12-5: 异步模式的波特率

波特率	SYNC = 0, BRGH = 0, BRG16 = 0											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	1221	1.73	255	1200	0.00	239	1200	0.00	143	1202	0.16	103
2400	2404	0.16	129	2400	0.00	119	2400	0.00	71	2404	0.16	51
9600	9470	-1.36	32	9600	0.00	29	9600	0.00	17	9615	0.16	12
10417	10417	0.00	29	10286	-1.26	27	10165	-2.42	16	10417	0.00	11
19.2k	19.53k	1.73	15	19.20k	0.00	14	19.20k	0.00	8	—	—	—
57.6k	—	—	—	57.60k	0.00	7	57.60k	0.00	2	—	—	—
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

波特率	SYNC = 0, BRGH = 0, BRG16 = 0											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)
300	300	0.16	207	300	0.00	191	300	0.16	103	300	0.16	51
1200	1202	0.16	51	1200	0.00	47	1202	0.16	25	1202	0.16	12
2400	2404	0.16	25	2400	0.00	23	2404	0.16	12	—	—	—
9600	—	—	—	9600	0.00	5	—	—	—	—	—	—
10417	10417	0.00	5	—	—	—	10417	0.00	2	—	—	—
19.2k	—	—	—	19.20k	0.00	2	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	0	—	—	—	—	—	—
115.2k	—	—	—	—	—	—	—	—	—	—	—	—

波特率	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)	实际波特率	% 误差	SPBRG 值 (十进制)
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	—	—	—	—	—	—	—	—	—	—	—	—
2400	—	—	—	—	—	—	—	—	—	2404	0.16	207
9600	9615	0.16	129	9600	0.00	119	9600	0.00	71	9615	0.16	51
10417	10417	0.00	119	10378	-0.37	110	10473	0.53	65	10417	0.00	47
19.2k	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35	19231	0.16	25
57.6k	56.82k	-1.36	21	57.60k	0.00	19	57.60k	0.00	11	55556	-3.55	8
115.2k	113.64k	-1.36	10	115.2k	0.00	9	115.2k	0.00	5	—	—	—

PIC16F631/677/685/687/689/690

表 12-5: 异步模式的波特率

波特率	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)
300	—	—	—	—	—	—	—	—	—	300	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.2k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

波特率	SYNC = 0, BRGH = 0, BRG16 = 1											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)
300	300.0	-0.01	4166	300.0	0.00	3839	300.0	0.00	2303	299.9	-0.02	1666
1200	1200	-0.03	1041	1200	0.00	959	1200	0.00	575	1199	-0.08	416
2400	2399	-0.03	520	2400	0.00	479	2400	0.00	287	2404	0.16	207
9600	9615	0.16	129	9600	0.00	119	9600	0.00	71	9615	0.16	51
10417	10417	0.00	119	10378	-0.37	110	10473	0.53	65	10417	0.00	47
19.2k	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35	19.23k	0.16	25
57.6k	56.818	-1.36	21	57.60k	0.00	19	57.60k	0.00	11	55556	-3.55	8
115.2k	113.636	-1.36	10	115.2k	0.00	9	115.2k	0.00	5	—	—	—

波特率	SYNC = 0, BRGH = 0, BRG16 = 1											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)
300	300.1	0.04	832	300.0	0.00	767	299.8	-0.108	416	300.5	0.16	207
1200	1202	0.16	207	1200	0.00	191	1202	0.16	103	1202	0.16	51
2400	2404	0.16	103	2400	0.00	95	2404	0.16	51	2404	0.16	25
9600	9615	0.16	25	9600	0.00	23	9615	0.16	12	—	—	—
10417	10417	0.00	23	10473	0.53	21	10417	0.00	11	10417	0.00	5
19.2k	19.23k	0.16	12	19.20k	0.00	11	—	—	—	—	—	—
57.6k	—	—	—	57.60k	0.00	3	—	—	—	—	—	—
115.2k	—	—	—	115.2k	0.00	1	—	—	—	—	—	—

PIC16F631/677/685/687/689/690

表 12-5: 异步模式的波特率

波特率	SYNC = 0, BRGH = 1, BRG16 = 1 或 SYNC = 1, BRG16 = 1											
	Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz			Fosc = 8.000 MHz		
	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)
300	300.0	0.00	16665	300.0	0.00	15359	300.0	0.00	9215	300.0	0.00	6666
1200	1200	-0.01	4166	1200	0.00	3839	1200	0.00	2303	1200	-0.02	1666
2400	2400	0.02	2082	2400	0.00	1919	2400	0.00	1151	2401	0.04	832
9600	9597	-0.03	520	9600	0.00	479	9600	0.00	287	9615	0.16	207
10417	10417	0.00	479	10425	0.08	441	10433	0.16	264	10417	0	191
19.2k	19.23k	0.16	259	19.20k	0.00	239	19.20k	0.00	143	19.23k	0.16	103
57.6k	57.47k	-0.22	86	57.60k	0.00	79	57.60k	0.00	47	57.14k	-0.79	34
115.2k	116.3k	0.94	42	115.2k	0.00	39	115.2k	0.00	23	117.6k	2.12	16

波特率	SYNC = 0, BRGH = 1, BRG16 = 1 或 SYNC = 1, BRG16 = 1											
	Fosc = 4.000 MHz			Fosc = 3.6864 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)	实际 波特率	% 误差	SPBRG 值 (十进制)
300	300.0	0.01	3332	300.0	0.00	3071	299.9	-0.02	1666	300.1	0.04	832
1200	1200	0.04	832	1200	0.00	767	1199	-0.08	416	1202	0.16	207
2400	2398	0.08	416	2400	0.00	383	2404	0.16	207	2404	0.16	103
9600	9615	0.16	103	9600	0.00	95	9615	0.16	51	9615	0.16	25
10417	10417	0.00	95	10473	0.53	87	10417	0.00	47	10417	0.00	23
19.2k	19.23k	0.16	51	19.20k	0.00	47	19.23k	0.16	25	19.23k	0.16	12
57.6k	58.82k	2.12	16	57.60k	0.00	15	55.56k	-3.55	8	—	—	—
115.2k	111.1k	-3.55	8	115.2k	0.00	7	—	—	—	—	—	—

12.3.1 自动波特率检测

EUSART 模块支持波特率自动检测和校准。

在自动波特率检测 (Auto-Baud Rate Detect, ABD) 模式下, BRG 的时钟信号反向。BRG 并不为进入的 RX 信号提供时钟信号, 而是相反由 RX 信号为 BRG 定时。波特率发生器用于为接收的 55h (ASCII “U”) 定时, 这是 LIN 总线的同步字符。此字符的特殊之处在于它具有包括停止位边沿在内的五个上升沿。

将 BAUDCTL 寄存器的 ABDEN 位置 1 将启动自动波特率校准序列 (图 12-6)。发生 ABD 序列的同时, EUSART 状态机保持在空闲状态。在接收线的第一个上升沿 (启动位之后), SPBRG 使用 BRG 计数器时钟递增计数, 如表 12-6 所示。在第八位周期的末尾将在 RX 引脚上出现上升沿。此时, 累计数据即正确的 BRG 周期总数被留在 SPBRGH:SPBRG 这对寄存器内, ABDEN 位被自动清零而 RCIF 中断标志被置 1。RCREG 中的值需被读取以清零 RCIF 中断。RCREG 的内容应被丢弃。校准不使用 SPBRGH 寄存器的模式时, 用户可通过查询 SPBRGH 寄存器中的 00h 验证 SPBRG 寄存器是否未溢出。

BRG 自动波特率时钟由 BRG16 和 BRGH 位决定, 如表 12-6 所示。在 ABD 期间, SPBRGH 和 SPBRG 寄存器共同用作 16 位计数器, 这与 BRG16 位的设置无

关。校准波特率周期时, SPBRGH 和 SPBRG 寄存器的定时频率为 BRG 基时钟频率的 1/8。得到的字节测量结果为全速下的平均位时间。

注 1: 如果 WUE 位和 ABDEN 位都置 1, 自动波特率检测将发生在中断字符之后的字节 (见第 12.3.2 节 “遇中断自动唤醒”)。

2: 输入字符的波特率是否处于所选 BRG 时钟源范围以内由用户决定。某些振荡器和 EUSART 波特率组合不可能实现。

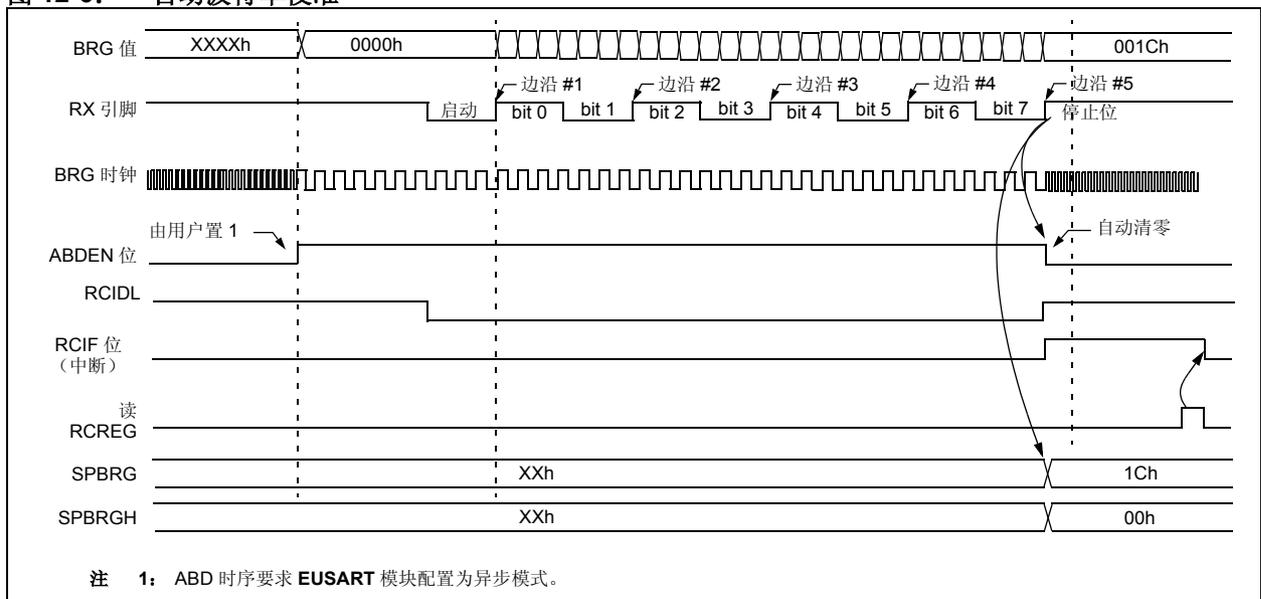
3: 在自动波特率过程中, 自动波特率计数器从 1 开始计数。自动波特率序列完成后, 为了得到最准确的结果, 应从一对 SPBRGH:SPBRG 寄存器的值中减去 1。

表 12-6: BRG 计数器时钟速率

BRG16	BRGH	BRG 基时钟	BRG ABD 时钟
0	0	Fosc/64	Fosc/512
0	1	Fosc/16	Fosc/128
1	0	Fosc/16	Fosc/128
1	1	Fosc/4	Fosc/32

注: 在 ABD 时序期间, SPBRG 和 SPBRGH 寄存器同时用作 16 位计数器, 与 BRG16 的设置无关。

图 12-6: 自动波特率校准



PIC16F631/677/685/687/689/690

12.3.2 遇间断自动唤醒

休眠模式下，EUSART 的所有时钟均暂停。正因为如此，波特率发生器处于不工作状态，不能正常进行字符接收。自动唤醒功能使控制器可被 RX/DT 线上的活动唤醒。此功能只在异步模式下可用。

自动唤醒功能可通过将 BAUDCTL 寄存器的 WUE 位置 1 来使能。一旦置 1，RX/DT 上的正常接收序列就被禁止，EUSART 保持在空闲状态，监控与 CPU 模式无关的唤醒事件。唤醒事件包含 RX/DT 线上由高至低的跳变（这正好也是同步间断的起始或 LIN 协议的唤醒信号字符）。

EUSART 模块生成的 RCIF 中断与唤醒事件巧合。在正常 CPU 工作模式下，中断产生与 Q 时钟同步（图 12-7），而器件处于休眠模式时则异步发生（图 12-8）。读取 RCREG 寄存器可清除中断条件。

在间断末尾 RX 线由低至高的跳变将自动清零 WUE 位。这向用户表明间断事件结束。此时，EUSART 模块处于空闲模式，等待接收下一个字符。

12.3.2.1 特殊考虑因素

间断字符

在发生唤醒事件期间为了避免字符错误或字符碎片，唤醒字符必须为全零。

唤醒被使能时，其工作与数据流的低电平时间无关。如果 WUE 位置 1 并接收到了有效和非零字符，则从启动位至第一个上升沿的低电平时间将被解读为唤醒事件。字符的其余位将作为碎片字符接收，后续字符有可能产生碎片或出现溢出错误。

因此，发送的首字符必须为全零。这必须持续 10 个或更长的位时间，建议 LIN 总线持续 13 个位时间，而标准 RS-232 器件可为任意个位时间。

振荡器起振时间

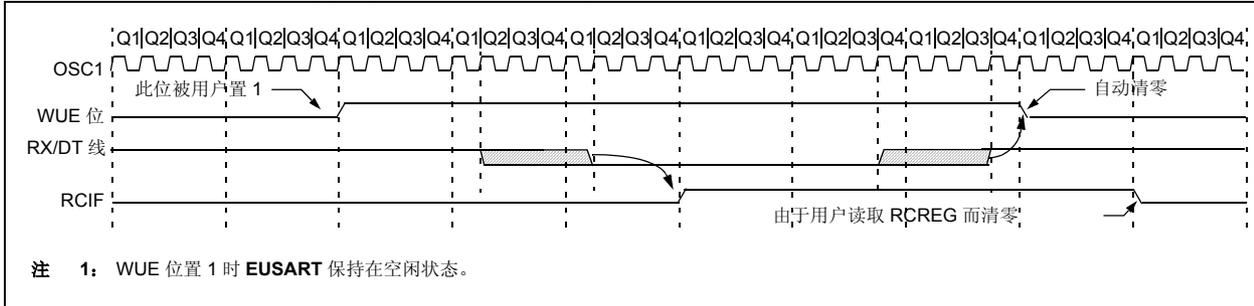
必须考虑振荡器起振时间，特别在使用具有较长起动间隔的振荡器（即 LP、XT 或 HS/PLL 模式）的应用中。同步间断（或唤醒信号）字符必须足够长，并随后有一个足够长的间隔时间，以使所选振荡器有足够的时间起振并向 EUSART 提供适当的初始化。

WUE 位

唤醒事件将导致接收中断，使 RCIF 位置 1。WUE 位在 RX/DT 的上升沿由硬件清零。之后软件通过读取 RCREG 寄存器并丢弃其内容将中断条件清除。

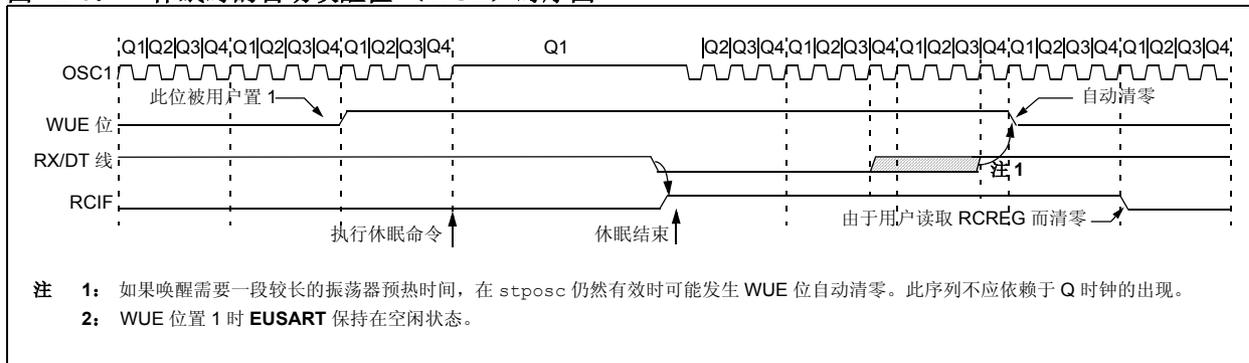
要确保不丢失实际数据，应在将 WUE 位置 1 前检查 RCIDL 位，验证没有接收操作在进行。如果未发生接收操作，可在进入休眠模式前将 WUE 位置 1。

图 12-7: 正常操作时的自动唤醒位 (WUE) 时序图



注 1: WUE 位置 1 时 EUSART 保持在空闲状态。

图 12-8: 休眠时的自动唤醒位 (WUE) 时序图



12.3.3 中断字符序列

EUSART 模块可发出 LIN 总线标准所要求的特殊中断字符序列。中断字符包含一个启动位, 随后的 12 个零位以及一个停止位。

要发出中断字符, 应将 TXSTA 寄存器的 SENDB 和 TXEN 位置 1。随后对 TXREG 执行写操作可启动中断字符发送。写入 TXREG 的数据值会被忽略并发送全零。

相应停止位发出后硬件自动将 SENDB 位复位。这使用户可将中断字符后的下一个字节 (在 LIN 规范中通常为同步字符) 预先装载入发送 FIFO。

TXSTA 寄存器的 TRMT 位表明发送操作何时处于激活或空闲状态, 这与正常发送时相同。中断字符序列时序请参见图 12-9。

12.3.3.1 间断和同步发送序列

以下序列将启动报文帧头 (header), 它由间断和紧随其后的自动波特率同步字符组成。这是 LIN 总线主控的典型序列。

1. 将 EUSART 配置为所需的模式。
2. 将 TXEN 和 SENDB 位置 1 使能中断序列。
3. 向 TXREG 装载一个无效 (dummy) 字符启动发送 (此值被忽略)。
4. 将 55h 写入 TXREG 以将同步字符装载进发送 FIFO 缓冲器。
5. 发出间断后, SENDB 位被硬件复位, 同步字符随后被发送。

如 TXIF 所指定的, 当 TXREG 被清空时, 可将下一个数据字符写入 TXREG。

12.3.4 接收中断字符

增强型 EUSART 模块接收中断字符有两种方法。

第一种检测中断字符的方法采用 RCSTA 寄存器的 FERR 位和如 RCREG 所指示的接收数据。假定波特率发生器已初始化为所需的波特率。

以下成立时, 表明接收到中断字符:

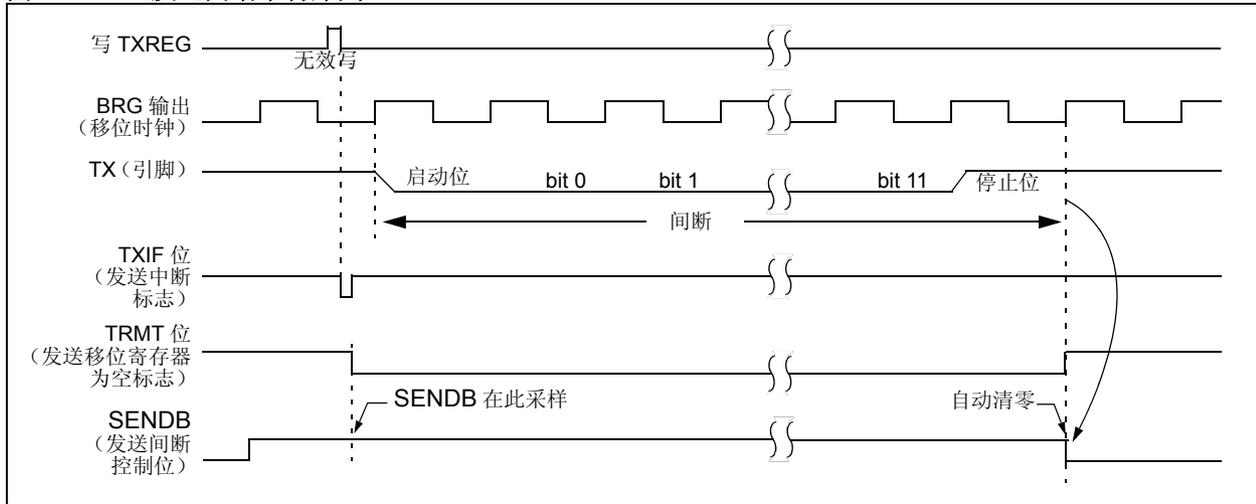
- RCIF 位被置 1
- FERR 位被置 1
- RCREG = 00h

第二种方法采用第 12.3.2 节“遇间断自动唤醒”中所述的自动唤醒功能。使能此功能后, EUSART 将采样 RX/DT 上的下两次跳变, 产生 RCIF 中断, 并接收下一个数据字节并再产生一次中断。

请注意, 中断字符后, 用户通常想使能自动波特率检测功能。采用这两种方法时, 用户均可在将 EUSART 置于休眠模式前将 BAUDCTL 寄存器的 ABDEN 位置 1。

PIC16F631/677/685/687/689/690

图 12-9: 发送中断字符序列



12.4 EUSART 同步模式

系统使用的同步串行通信通常带有一个主器件和一个或多个从器件。主器件包含波特率发生所需的电路，可将时钟提供给系统中的所有器件。从器件使用主时钟，可不再需要内部时钟发生电路。

同步模式下有两条信号线：双向数据线和时钟线。从器件使用由主器件提供的外部时钟将串行数据移入或移出相应的接收和发送移位寄存器。由于数据线是双向的，同步操作只能是半双工的。半双工指主从器件能够接收和发送数据，但不能同时进行。EUSART 可作为主器件，也可作为从器件。

同步发送不使用启动位和停止位。

12.4.1 同步主模式

使用以下位将 EUSART 配置为同步主控操作：

- SYNC = 1
- CSRC = 1
- SREN = 0（发送）； SREN = 1（接收）
- CREN = 0（发送）； CREN = 1（接收）
- SPEN = 1

将 TXSTA 寄存器的 SYNC 位置 1 可将器件配置为同步操作。将 TXSTA 寄存器的 CSRC 位置 1 可将器件配置为主器件。将 RCSTA 寄存器的 SREN 和 CREN 位清零可确保器件处于发送模式，否则器件将被配置为接收。将 RCSTA 寄存器的 SPEN 位置 1 可使能 EUSART。如果 RX/DT 或 TX/CK 引脚与模拟外设共用，必须通过将相应的 ANSEL 位清零禁止模拟 I/O 功能。

12.4.1.1 主时钟

同步数据传送使用独立的时钟线，它与数据同步。配置为主器件的器件将时钟发送到 TX/CK 线上。EUSART 配置为同步发送操作时，TX/CK 位被自动配置为输出。串行数据位在时钟前沿改变，以确保其在时钟的后续边沿有效。每个数据位都产生一个时钟周期。数据位有多少，就产生多少时钟周期。

12.4.1.2 时钟极性

提供了时钟极性选项以与 Microwire 兼容。时钟极性通过 BAUDCTL 寄存器的 SCKP 位选择。将 SCKP 位置 1 将时钟空闲状态设置为高电平。SCKP 位置 1 时，数据在每个时钟的下降沿改变。将 SCKP 位清零将时钟空闲状态设置为低电平。SCKP 位清零时，数据在每个时钟的上升沿改变。

12.4.1.3 同步主发送

数据从器件被传送到 RX/DT 引脚上。EUSART 配置为同步主发送操作时，RX/DT 和 TX/CK 引脚的输出驱动器被自动使能。

向 TXREG 寄存器写入字符时将启动发送。如果 TSR 仍包含部分或所有的前一字符，则新字符被保留在 TXREG 中直到前一字符的最后一位被发送。如果这是首字符，或前一字符被完全从 TSR 清空，则 TXREG 中的数据将被立即传送到 TSR 中。字符发送在数据从 TXREG 送入 TSR 后立即开始。

每个数据位在主时钟的时钟前沿改变，并在下一个时钟沿到来前保持有效。

注： TSR 寄存器不映射到数据存储器，因此用户不能使用它。

12.4.1.4 同步主发送的设置

1. 初始化 SPBRGH:SPBRG 这对寄存器以及 BRGH 和 BRG16 位以获得所需的波特率（见第 12.3 节“EUSART 波特率发生器（BRG）”）。
2. 将 SYNC、SPEN 和 CSRC 位置 1 使能同步同串行端口。
3. 将 SREN 和 CREN 清零禁止接收模式。
4. 将 TXEN 位置 1 使能发送模式。
5. 若需发送 9 位，将 TX9 位置 1。
6. 若需中断，将 TXIE、GIE 和 PEIE 中断允许位置 1。
7. 若选定了 9 位发送，应将第九位装进 TX9D 位。
8. 向 TXREG 寄存器装载数据启动发。

PIC16F631/677/685/687/689/690

图 12-10: 同步发送

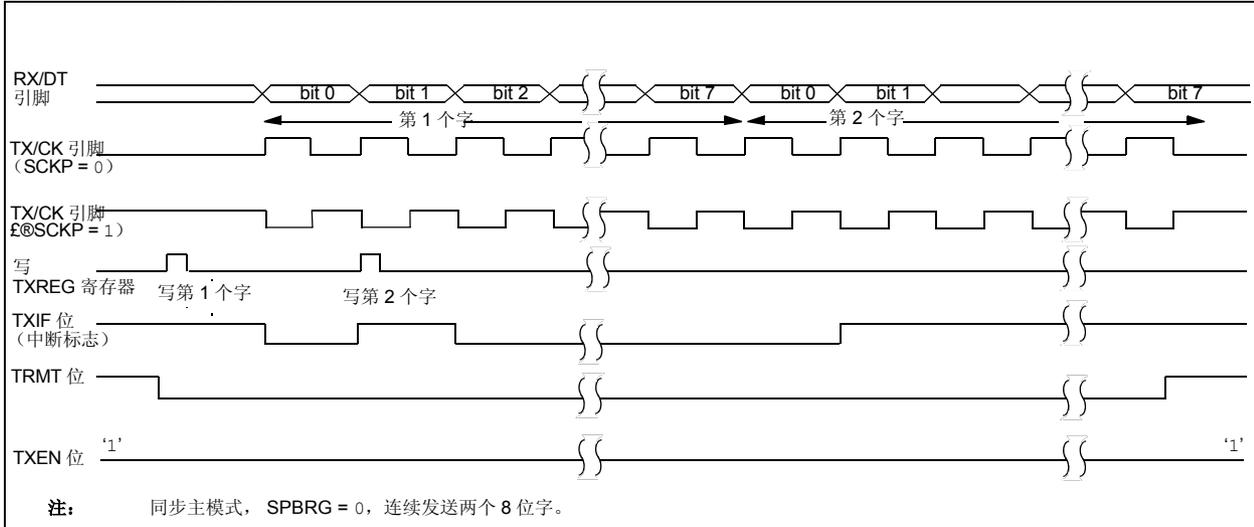


图 12-11: 同步发送 (通过 TXEN)

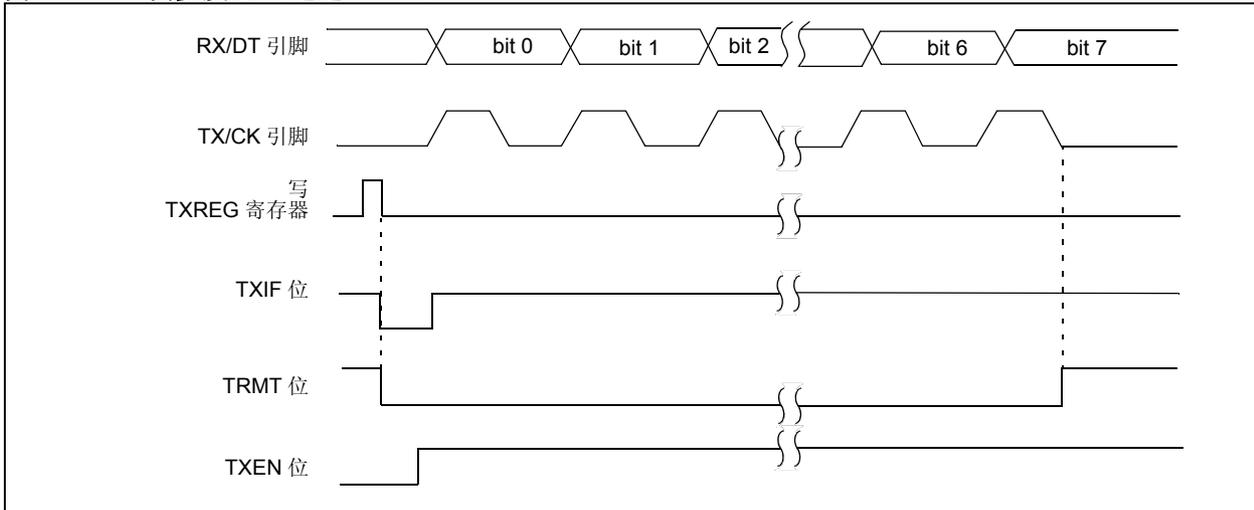


表 12-7: 与同步主控发送相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SEnDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注: x = 未知, - = 未实现读为 0。同步主控发送不使用阴影单元。

12.4.1.5 同步主接收

数据在 RX/DT 引脚上接收。EUSART 配置为同步主接收操作时，RX/DT 和 TX/CK 引脚的输出驱动器被自动禁止。

在同步模式下，可通过将单字节接收使能（RCSTA 寄存器的 SREN）位或连续接收使能（RCSTA 寄存器的 CREN）位置 1 使能接收。

SREN 位置 1 且 CREN 清零时，一个字符中有多少数据位就产生多少时钟周期。一个字符接收完成后 SREN 位被自动清零。CREN 置 1 时，将连续产生时钟直到 CREN 被清零。如果 CREN 在字符接收过程中被清零，则 CK 时钟立即停止，接收到的部分字符被丢弃。如果 SREN 和 CREN 同时置 1，则首字符接收完成时 SREN 被清零，CREN 优先。

要启动接收，应将 SREN 或 CREN 置 1。在 TX/CK 时钟引脚的后续边沿对 RX/DT 引脚上的数据进行采样，并移入接收移位寄存器（Receive Shift Register, RSR）。当完整的字符被接收进 RSR 后，RCIF 位置 1 且该字符被自动送入两个字符的接收 FIFO。接收 FIFO 中顶部字符的 8 个最低有效位在 RCREG 中。只要接收 FIFO 中有未读字符，RCIF 位就保持置 1。

12.4.1.6 接收溢出错误

接收 FIFO 缓冲器可容纳两个字符。在 RCREG 被读取以访问 FIFO 前，当第三个字符被完整接收时将产生溢出中断。发生这种情况时，RCSTA 寄存器的 OERR 位置 1。FIFO 内的前一个数据将被覆盖。FIFO 缓冲器中的两个字符可被读取，但在错误被清除前不能再接收其他字符。只有清除了溢出条件才可将 OERR 位清零。如果 SREN 位置 1 且 CREN 位清零时发生溢出错误，则读取 RCREG 可清除错误。如果 CREN 位置 1 时发生溢出，则可通过清零 RCSTA 寄存器的 CREN 位或清零 SPEN 复位 EUSART 清除错误条件。

12.4.1.7 接收 9 位字符

EUSART 支持 9 位字符接收。当 RCSTA 寄存器的 RX9 位置 1 时，EUSART 会在接收到每个字符时将 9 个位移入 RSR。RCSTA 寄存器的 RX9D 位是接收 FIFO 顶部未读字符的第九个数据位，也是最有效数据位。从接收 FIFO 缓冲器中读取 9 位数据时，从 RCREG 中读取 8 个最低有效位前必须读取 RX9D 数据位。

12.4.1.8 同步主接收的设置

1. 初始化 SPBRGH:SPBRG 这对寄存器以获得适当的波特率。根据要求将 BRGH 和 BRG16 位置 1 或清零，获得适当的波特率。
2. 将 SYNC、SPEN 和 CSRC 位置 1 使能同步主串行端口。
3. 确保 CREN 和 SREN 清零。
4. 若使用中断，将 INTCON 寄存器的 GIE 和 PEIE 位置 1 并将 RCIE 置 1。
5. 若需接收 9 位，将 RX9 位置 1。
6. 将 SREN 位置 1，或连续接收时将 CREN 位置 1，启动接收。
7. 字符接收完成时中断标志位 RCIF 将被置 1。若之前允许 RCIE 位被置 1 则产生中断。
8. 读取 RCSTA 寄存器获得第九位（使能时）并确定接收时是否发生了错误。
9. 通过读取 RCREG 寄存器来读取 8 位接收到的数据。
10. 若发生了溢出错误，可通过清零 RCSTA 寄存器的 CREN 位或清零 SPEN 位将 EUSART 复位清除错误。

PIC16F631/677/685/687/689/690

图 12-12: 同步接收 (主模式, SREN)

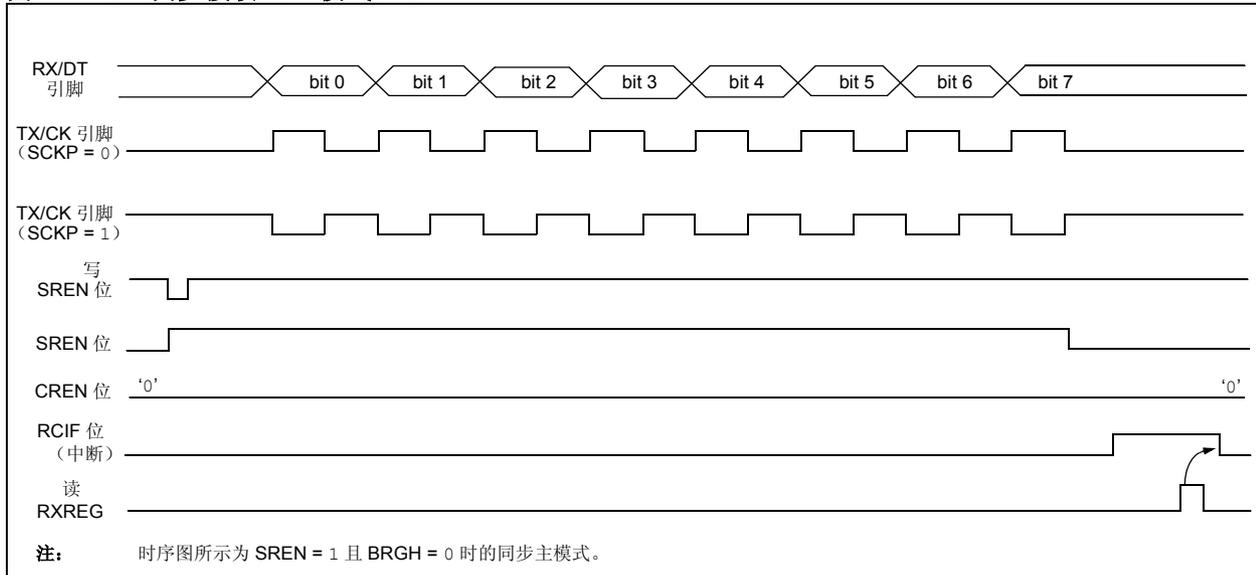


表 12-8: 与同步主控接收相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SEnDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注: x = 未知, - = 未实现读为 0。同步主控接收不使用阴影单元。

PIC16F631/677/685/687/689/690

12.4.2 同步从模式

使用以下位将 EUSART 配置为同步从动操作:

- SYNC = 1
- CSRC = 0
- SREN = 0 (发送); SREN = 1 (接收)
- CREN = 0 (发送); CREN = 1 (接收)
- SPEN = 1

将 TXSTA 寄存器的 SYNC 位置 1 将器件配置为同步操作。将 TXSTA 寄存器的 CSRC 位清零将器件配置为从动器件。将 RCSTA 寄存器的 SREN 和 CREN 位清零可确保器件处于发送模式, 否则器件将配置为接收。将 RCSTA 寄存器的 SPEN 位置 1 使能 EUSART。如果 RX/DT 或 TX/CK 引脚与模拟外设共用, 则必须通过清零相应的 ANSEL 位禁止模拟 I/O 功能。

12.4.2.1 EUSART 同步从动发送

除休眠模式以外, 同步主控和从模式是相同的 (见第 12.4.1.3 节“同步主发送”)。

如果向 TXREG 写入两个字并随后执行 SLEEP 指令, 将发生以下情况:

1. 第一个字符将立即传送至 TSR 寄存器并被发送。
2. 第二个字将保留在 TXREG 寄存器中。
3. TXIF 位不会置 1。
4. 第一个字符移出 TSR 后, TXREG 寄存器会将第二个字符传送到 TSR, 此时 TXIF 位将置 1。
5. 如果 PEIE 和 TXIE 位均置 1, 则发生中断将器件从休眠唤醒, 并执行下一条指令。如果 GIE 位也置 1, 程序将调用中断服务程序。

12.4.2.2 同步从动发送的设置

1. 将 SYNC 和 SPEN 位置 1 并清零 CSRC 位。
2. 清零 CREN 和 SREN 位。
3. 若使用中断, 应确保 INTCON 寄存器的 GIE 和 PEIE 位置 1 并将 TXIE 位置 1。
4. 若需发送 9 位, 将 TX9 位置 1。
5. 将 TXEN 位置 1 使能发送。
6. 若选定了 9 位发送, 将最高有效位插入 TX9D 位。
7. 将最低有效的 8 个位写入 TXREG 寄存器启动发送。

表 12-9: 与从动发送相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注: x = 未知, - = 未实现, 读为 0。同步从发送不使用阴影单元。

PIC16F631/677/685/687/689/690

12.4.2.3 EUSART 同步从动接收

除下列各项外，同步主控和从模式是相同的（第 12.4.1.5 节“同步主接收”）：

- 休眠
- CREN 位始终置 1，因此接收器从不空闲
- SREN 位在从模式下为“无关位”

进入休眠前将 CREN 位置 1，可在休眠模式下接收一个字符。该字被接收后，RSR 寄存器会将数据传送到 RCREG 寄存器。如果 RCIE 允许位置 1，产生的中断会将器件从休眠唤醒并执行下一条指令。如果 GIE 位也置 1，程序将跳转到中断向量。

12.4.2.4 同步从动接收的设置

1. 将 SYNC 和 SPEN 位置 1 并清零 CSRC 位。
2. 若使用中断，确保 INTCON 寄存器的 GIE 和 PEIE 位置 1，并将 RCIE 位置 1。
3. 若需接收 9 位，将 RX9 位置 1。
4. 将 CREN 位置 1 使能接收。
5. 接收完成时 RCIF 位将被置 1。如果 RCIE 位置 1 则将产生中断。
6. 若使能了 9 位模式，从 RCSTA 寄存器的 RX9D 位取出最高有效位。
7. 读取 RCREG 寄存器，从接收 FIFO 中取出 8 个最低有效位。
8. 若发生溢出，将 RCSTA 寄存器的 CREN 位清零或将 SPEN 位清零复位 EUSART，以清除错误。

表 12-10: 与同步从动接收相关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
BAUDCTL	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	01-0 0-00	01-0 0-00
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
RCREG	EUSART 接收数据寄存器								0000 0000	0000 0000
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	0000 0000	0000 0000
SPBRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	0000 0000	0000 0000
TRISB	TRISB7	TRISB6	TRISB5	TRISB4					1111 ----	1111 ----
TXREG	EUSART 发送数据寄存器								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	0000 0010

图注： x = 未知， - = 未实现读为 0。同步从动接收不使用阴影单元。

13.0 SSP 模块概述

同步串行口 (SSP) 模块是用于同其他外设或单片机器件进行通讯的串行接口。这些外设器件可能是串行 EEPROM、移位寄存器、显示驱动器或 A/D 转换器等。SSP 模块有下列两种工作模式：

- 串行外设接口 (Serial Peripheral Interface, SPI)
- 内部集成电路 (Inter-Integrated Circuit, I²C™)

请参见应用笔记 AN578, “Use of the SSP Module in the Multi-Master Environment” (DS00578)。

13.1 SPI 模式

本节包含寄存器定义和 SPI 模块的工作特性。

SPI 模式允许同时同步发送和接收 8 位数据。通常使用以下 3 个引脚来实现通讯：

- 串行数据输出 (Serial Data Out, SDO)
- 串行数据输入 (Serial Data In, SDI)
- 串行时钟 (Serial Clock, SCK)

此外, 当处于从动工作模式时要使用第 4 个引脚：

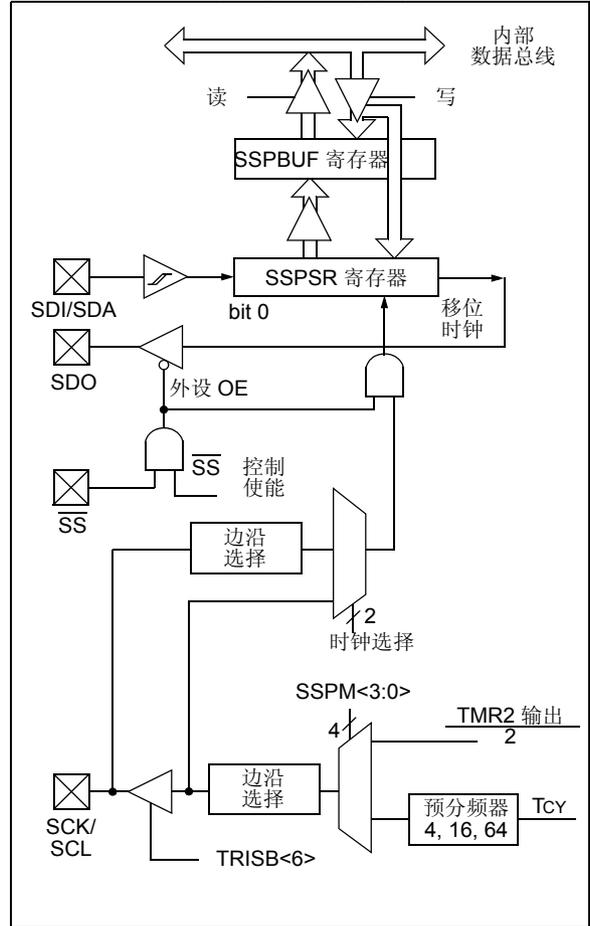
- 从动选择 (Slave Select, \overline{SS})

注 1: 当 SPI 处于从模式且 \overline{SS} 引脚控制使能 (SSPCON 寄存器的 SSPM<3:0> 位 = 0100) 时, 如果 \overline{SS} 引脚设置为 VDD, SPI 模块将会复位。

注 2: 如果 SPI 用于从模式且 CKE = 1, 则必须使能 \overline{SS} 引脚控制。

注 3: 当 SPI 处于从模式且 \overline{SS} 引脚控制使能 (SSPCON 寄存器的 SSPM<3:0> 位 = 0100) 时, \overline{SS} 引脚的状态可能会影响从 TRISC<4> 位读取的状态。从 SSP 模块向 PORTC 发送的外设 OE 信号控制从 TRISC<4> 位读取的状态 (关于 PORTC 的信息, 请参见第 17.0 节“电气特性”)。如果对 TRISC 寄存器执行读-修改-写指令 (例如 BSF), 而 \overline{SS} 引脚处于高电平, 这将使 TRISC<7> 位被置 1, 从而禁止 SDO 输出。

图 13-1: SSP 框图 (SPI 模式)



PIC16F631/677/685/687/689/690

寄存器 13-1: **SSPSTAT: 同步串行口状态寄存器** (1)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/A	P	S	R/W	UA	BF
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 7 **SMP:** SPI 数据输入采样相位位
SPI 主模式:
 1 = 在数据输出结束时采样输入数据
 0 = 在数据输出中间时采样输入数据 (Microwire)
SPI 从模式:
 当 SPI 用于从模式时, 必须将 SMP 清零
I²C™ 模式:
 该位必须保持清零
- bit 6 **CKE:** SPI 时钟边沿选择位
SPI 模式, CKP = 0:
 1 = 在 SCK 的上升沿发送数据 (Microwire 备选)
 0 = 在 SCK 的下降沿发送数据
SPI 模式, CKP = 1:
 1 = 在 SCK 的下降沿发送数据 (Microwire 缺省)
 0 = 在 SCK 的上升沿发送数据
I²C 模式:
 该位必须保持清零
- bit 5 **D/A:** 数据 / 地址位 (仅 I²C 模式)
 1 = 表示接收或发送的最后字节是数据
 0 = 表示接收或发送的最后字节是地址
- bit 4 **P:** 停止位 (仅 I²C 模式)
 当 SSP 模块禁止或最后检测到起始位时, 该位会清零。
 SSPEN 清零。
 1 = 表示最后检测到了停止位 (该位在复位时为 0)
 0 = 最后没有检测到停止位
- bit 3 **S:** 启动位 (仅 I²C 模式)
 当 SSP 模块禁止或最后检测到停止位时, 该位会清零。
 SSPEN 清零。
 1 = 表示最后检测到了起始位 (该位在复位时为 0)
 0 = 最后没有检测到起始位
- bit 2 **R/W:** 读 / 写位信息 (仅 I²C 模式)
 该位保存最后一个地址匹配后的 R/W 位信息。该位仅在地址匹配到下一个起始位、停止位或 ACK 位之间有效。
 1 = 读
 0 = 写
- bit 1 **UA:** 更新地址位 (仅 10 位 I²C 模式)
 1 = 表示用户需要更新 SSPADD 寄存器中的地址
 0 = 不需要更新地址
- bit 0 **BF:** 缓冲器满状态位
接收 (SPI 和 I²C 模式):
 1 = 接收完成, SSPBUF 满
 0 = 接收未完成, SSPBUF 空
发送 (仅 I²C 模式):
 1 = 正在发送, SSPBUF 满
 0 = 发送完成, SSPBUF 空

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690.

PIC16F631/677/685/687/689/690

13.2 工作原理

初始化 SPI 时需要指定几个选项。这可以通过对相应的控制位 (SSPCON<5:0> 和 SSPSTAT<7:6>) 编程来实现。这些控制位可以指定下列模式:

- 主模式 (SCK 是时钟输出)
- 从模式 (SCK 是时钟输入)
- 时钟极性 (SCK 的空闲状态)
- 数据输入采样相位 (数据输出时间的中间或末尾)
- 时钟边沿 (在 SCK 的上升沿 / 下降沿输出数据)
- 时钟速率 (仅限主模式)
- 从动选择模式 (仅限从模式)

SSP 由一个发送 / 接收移位寄存器 (SSPSR) 和一个缓冲寄存器 (SSPBUF) 组成。SSPSR 将数据移入移出器件, 先移位 MSb。在新数据接收完毕前, SSPBUF 保存上次写入 SSPSR 的数据。一旦 8 位数据接收完毕, 该字节就被移入 SSPBUF 寄存器。然后, SSPSTAT 寄存器的缓冲器满状态位 BF 和中断标志位 SSIIF 被置 1。对接收数据进行双缓冲 (SSPBUF) 允许在前一个数据被读走前接收新的数据。当 SSPBUF 寄存器正在发送 / 接收数据时, 对它写入的任何数据都将被忽略, 同时 SSPCON 寄存器的写冲突检测位 WCOL 被置 1。用户软件必须将 WCOL 位清零以便检测 SSPBUF 寄存器随后的写入是否成功完成。

如果应用程序软件要接收有效数据, 必须在下一次传输数据被写入 SSPBUF 前先读出其内容。SSPSTAT 寄存器的缓冲器满检测位 BF 用于指示 SSPBUF 何时接收完毕 (发送完成)。读取 SSPBUF 时 BF 位被清零。如果 SPI 只是发送器, 该数据就可能与 SPI 无关。一般来说, SSP 中断用于检测发送 / 接收何时完毕。SSPBUF 必须被读出和 / 或写入。如果不使用中断方式, 可以使用软件查询方式确保不发生写冲突。例 13-1 显示了数据发送时如何装入 SSPBUF (SSPSR)。

SSPSR 不可直接读或写, 只能通过寻址 SSPBUF 寄存器访问。此外, SSP 状态寄存器 (SSPSTAT) 用于指示各种状态。

例 13-1: 装入 SSPBUF (SSPSR) 寄存器

	BSF	STATUS, RP0	;Bank 1
	BCF	STATUS, RP1	;
LOOP	BTFSS	SSPSTAT, BF	;Has data been received(transmit complete)?
	GOTO	LOOP	;No
	BCF	STATUS, RP0	;Bank 0
	MOVF	SSPBUF, W	;WREG reg = contents of SSPBUF
	MOVWF	RXDATA	;Save in user RAM, if data is meaningful
	MOVF	TXDATA, W	;W reg = contents of TXDATA
	MOVWF	SSPBUF	;New data to xmit

13.3 使能 SPI I/O

要使能串行口，SSPCON 寄存器的 SSP 使能位 SSPEN 必须置 1。要复位或重新配置 SPI 模式，先将 SSPEN 位清零，重新初始化 SSPCON 寄存器，然后再将 SSPEN 位置 1。这将使 SDI、SDO、SCK 和 \overline{SS} 设置为串行口引脚。要使引脚实现串行口功能，有些引脚的数据方向位（在 TRISB 和 TRISC 寄存器中）必须进行正确编程如下：

- SDI 由 SPI 模块自动控制
- SDO 必须将 TRISC<7> 位清零
- SCK（主模式）必须将 TRISB<6> 位清零
- SCK（从模式）必须将 TRISB<6> 位置 1
- \overline{SS} 必须将 TRISC<6> 位置 1

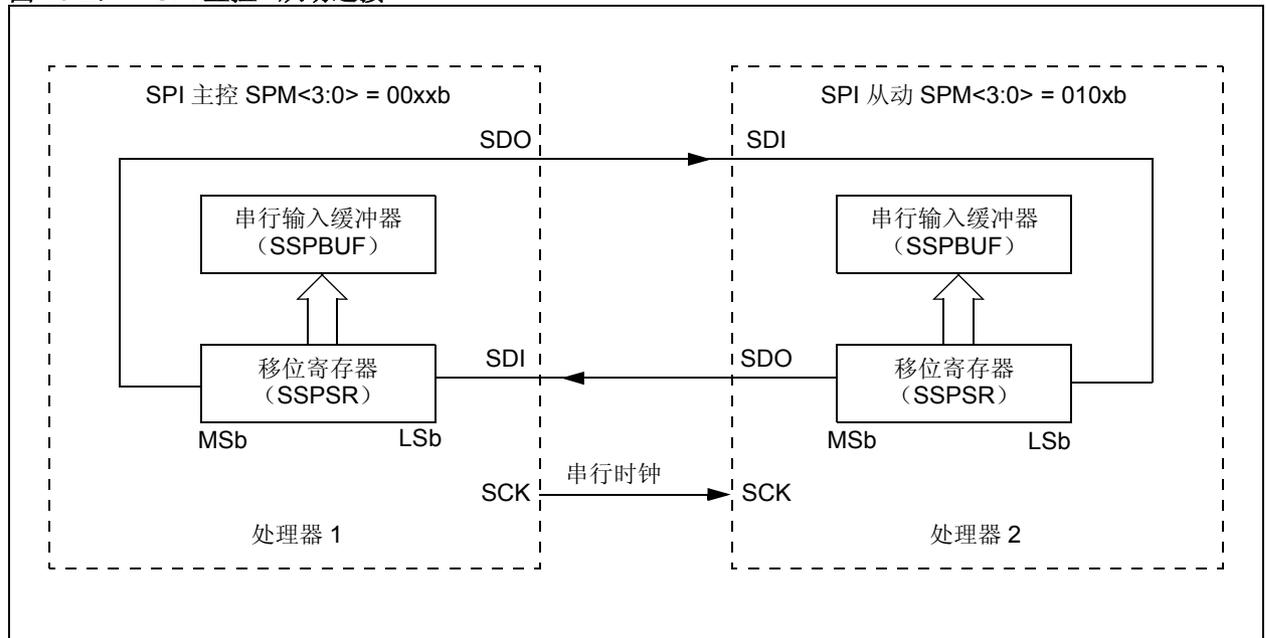
任何不需要的串行口功能均可通过将相应引脚数据方向（TRISB 和 TRISC）寄存器编程为相反的值进行覆盖。

13.4 典型连接

图 13-2 给出了两个单片机之间的典型连接。主单片机（处理器 1）通过发送 SCK 信号启动数据传输。数据在设置的时钟边沿从两个移位寄存器中移出，并在随后的相反时钟边沿锁存。两个处理器均应编程为相同的时钟极性（CKP），这样两个控制器就可以同时发送和接收数据。数据是否有意义（或无效数据（Dummy Data））取决于应用程序软件。数据发送有 3 种情况：

- 主机发送数据——从机发送无效数据
- 主机发送数据——从机发送数据
- 主机发送无效数据——从机发送数据

图 13-2: SPI 主控 / 从动连接



PIC16F631/677/685/687/689/690

13.5 主模式

主机控制着 SCK，因此可以在任何时候启动数据传输。通过软件协议主机可以决定从机（处理器 2，图 13-2）何时进行数据广播。

在主模式下，SSPBUF 寄存器被写入后立即开始数据的发送/接收。如果 SPI 只将接收，可禁止 SDO 输出（设置为输入）。SSPSR 寄存器将继续将 SDI 引脚上的信号按照所编程的时钟速率移入。每接收一个字节，就将它装入 SSPBUF 寄存器，就像普通的接收字节一样（相应中断和状态位置 1）。这在接收器应用中的线路主动监控模式中是很有用的。

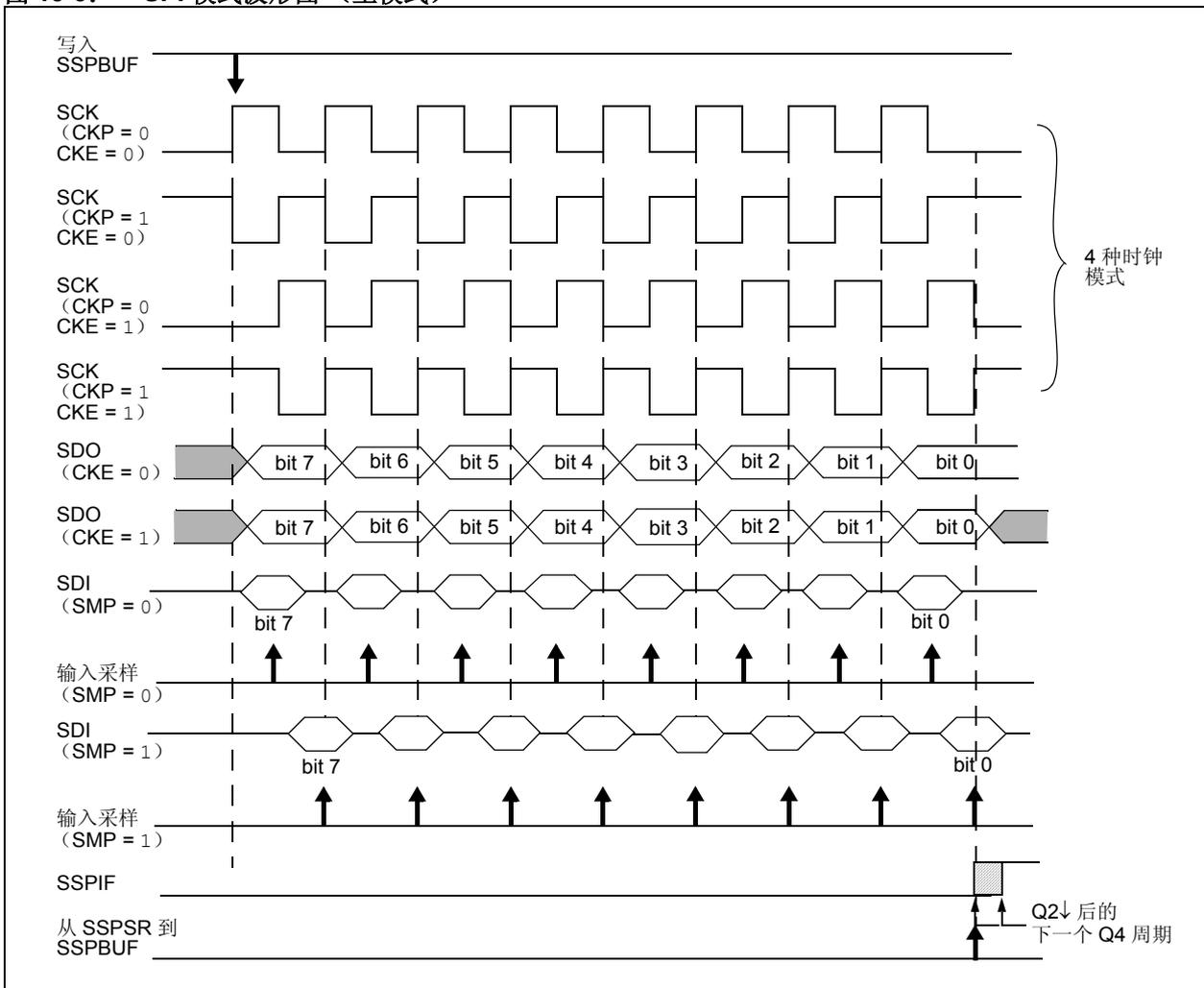
通过正确编程 SSPCON 寄存器的 CKP 位可以选择时钟极性。相应的 SPI 通讯波形图见图 13-3、13-5 和 13-6，其中 MSB 最先发送。在主模式下，SPI 时钟速率（位速率）可由用户编程为以下之一：

- $F_{osc}/4$ （或 T_{cy} ）
- $F_{osc}/16$ （或 $4 \cdot T_{cy}$ ）
- $F_{osc}/64$ （或 $16 \cdot T_{cy}$ ）
- Timer2 输出 /2（仅限 PIC16F685/PIC16F690）

最大数据速率可达 10 Mbps（晶振为 40 MHz 时）。

图 13-3 给出了主模式下的波形图。当 CKE 位置 1 时，在 SCK 上出现时钟边沿前 SDO 数据有效。输入采样位的变化取决于 SMP 位的状态。图中显示了 SSPBUF 何时载入接收数据的时间。

图 13-3: SPI 模式波形图（主模式）



13.6 从模式

在从模式下，数据的发送和接收是在 SCK 上出现外部时钟脉冲开始的。当发送数据的最后一位被锁存时，中断标志位 SSPIF 被置 1。

在从模式下，外部时钟是由 SCK 引脚上的外部时钟源提供的。该外部时钟必须满足电气特性说明书中所规定的最高电平和低电平时间。

在休眠模式下，从机可以发送 / 接收数据。当接收到一个字节时，器件将从休眠状态唤醒。

13.7 从动选择同步

SS 引脚允许同步从模式。要将 SPI 设置成从模式，需要使能 SS 引脚控制 (SSPCON<3:0> = 04h)。要使 SS 引脚作为输入，不得将该引脚驱动为低电平。数据锁存器必须为高电平。当 SS 引脚为低电平时，使能数据的发送和接收，同时 SDO 引脚被驱动。当 SS 引脚变为高

电平时，即使是在字节的发送过程中，SDO 引脚也不再被驱动，而是变成悬空输出状态。根据应用需要，可外接上拉 / 下拉电阻。

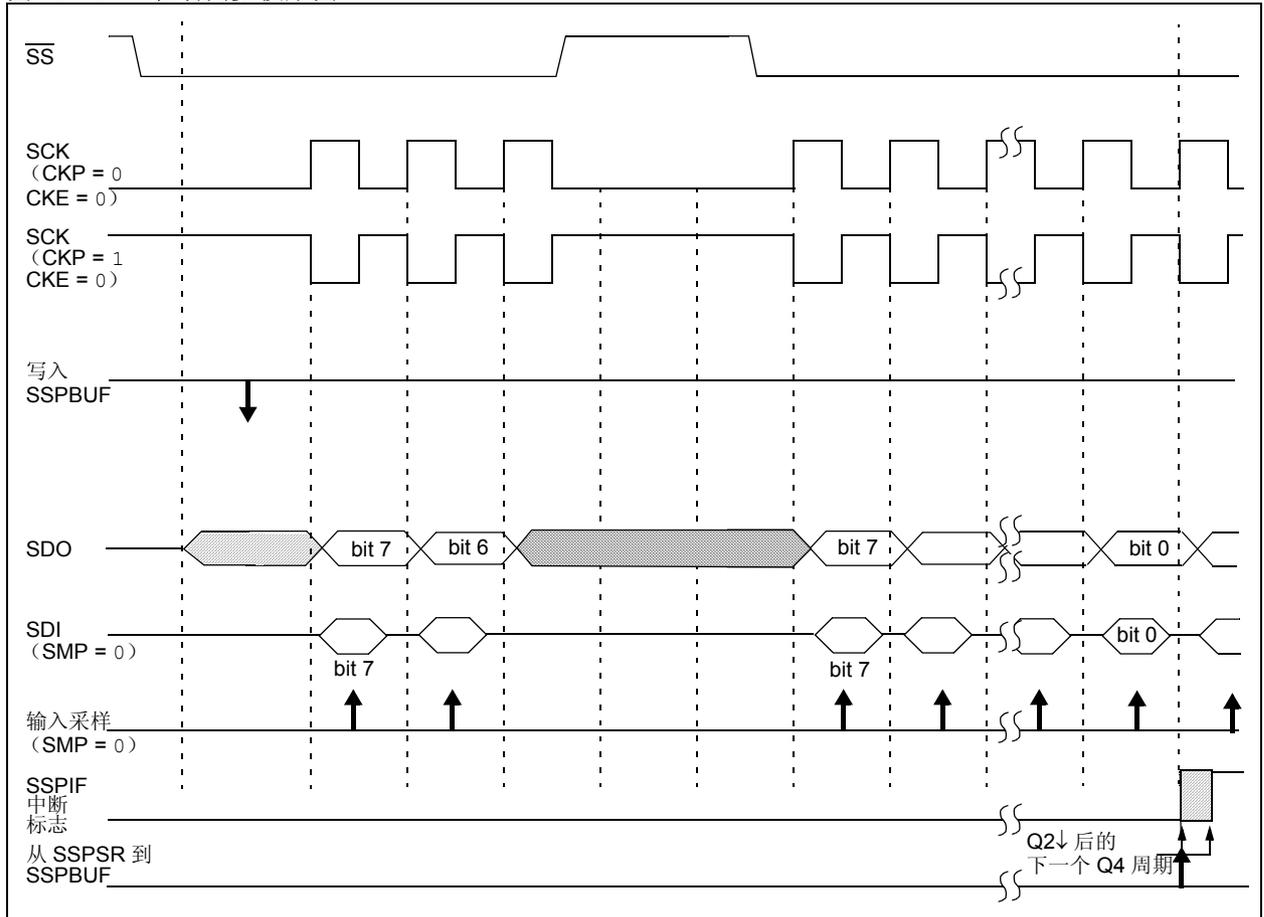
注 1: 当 SPI 处于从模式且 \overline{SS} 引脚控制使能 (SSPCON<3:0> = 0100) 时，如果 SS 引脚设置为 VDD，SPI 模块将会复位。

注 2: 如果 SPI 用于从模式且 CKE 置 1，则必须使能 SS 引脚控制。

SPI 模块复位时，位计数器将强制变为 0。这可通过强制 SS 引脚置高电平或清零 SSPEN 位来实现。

要仿真双线通讯，可将 SDO 引脚和 SDI 引脚相连。当 SPI 作为接收器工作时，可将 SDO 引脚设置为输入。这样就禁止了从 SDO 发送数据。可始终让 SDI 作为输入 (SDI 功能)，因为它不会引起总线冲突。

图 13-4: 从动同步波形图



PIC16F631/677/685/687/689/690

图 13-5: SPI 模式波形图 (从模式, CKE = 0)

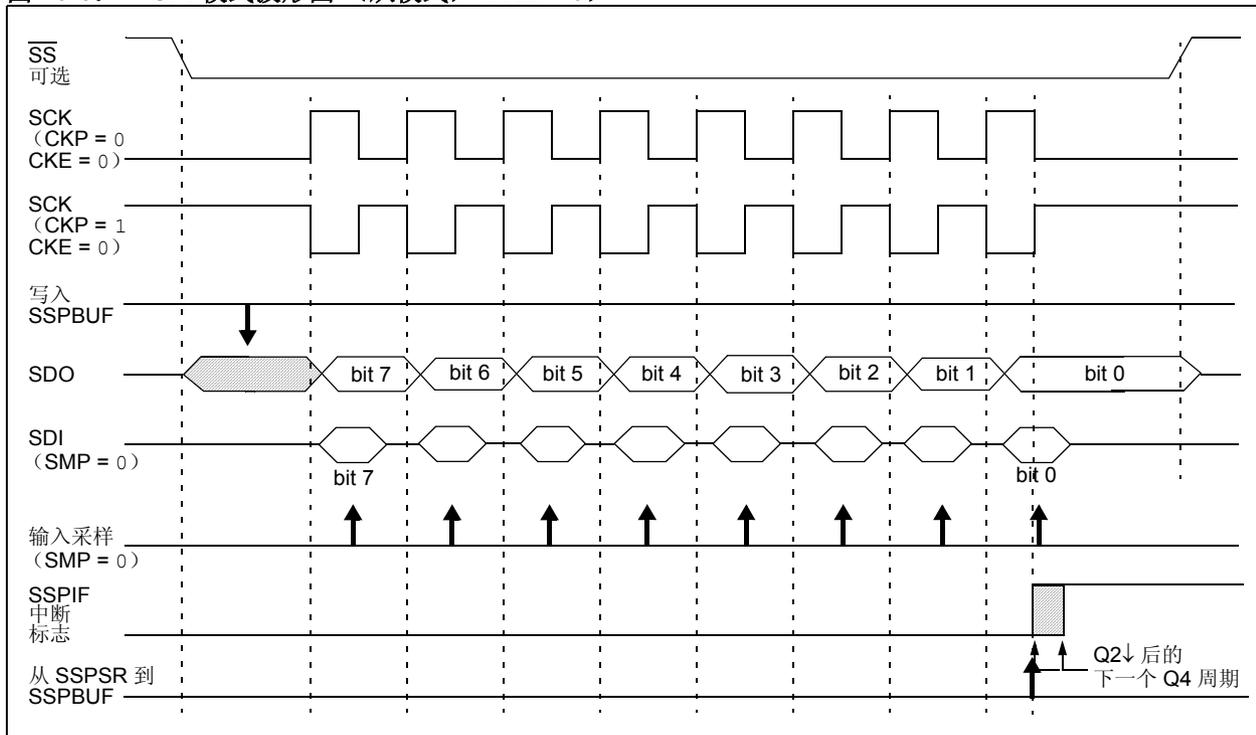
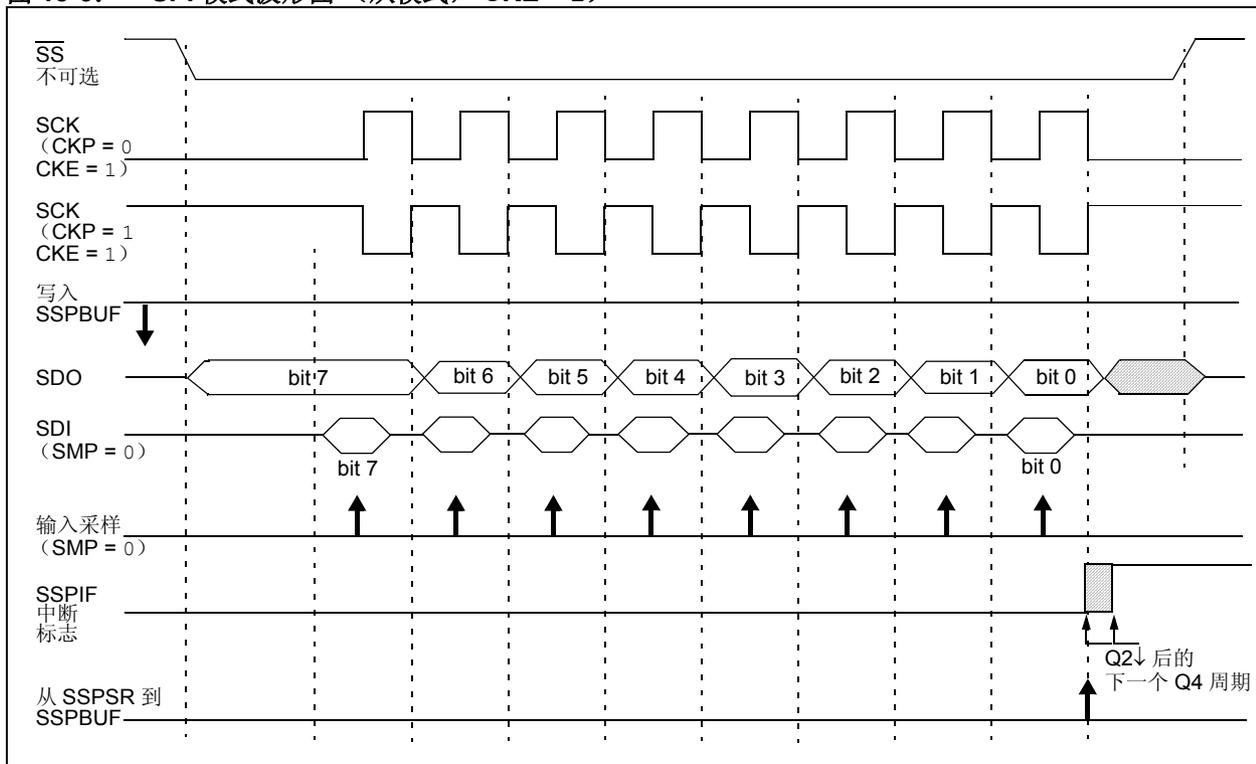


图 13-6: SPI 模式波形图 (从模式, CKE = 1)



PIC16F631/677/685/687/689/690

13.8 休眠模式下的操作

在主模式下，进入休眠模式后所有模块的时钟都停止，在器件被唤醒前，发送/接收也将保持原先的状态。器件恢复正常工作模式后，模块将继续发送/接收数据。

在从模式下，SPI 发送/接收移位寄存器与器件异步工作。这可以使器件在休眠状态时，仍可将数据移入 SPI 发送/接收移位寄存器。当接收完 8 位数据后，SSP 中断标志位将置 1，如果此时该中断被使能，将从休眠状态唤醒器件。

13.9 复位的影响

复位会禁止 SSP 模块并终止当前的数据传输。

13.10 总线模式兼容性

表 13-1 显示了标准 SPI 模式与 CKP 和 CKE 控制位状态之间的兼容性。

表 13-1: SPI 总线模式

标准 SPI 模式术语	控制位状态	
	CKP	CKE
0, 0	0	1
0, 1	0	0
1, 0	1	1
1, 1	1	0

此外还有 SMP 位用于控制采样时间。

表 13-2: 与 SPI 操作相关的寄存器 (1)

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/ 10Bh/18Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
13h	SSPBUF	同步串行端口接收缓冲器/发送寄存器								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
86h/186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
87h/187h	TRISC	TRISC7	TRISC6	TRISC5	TRISC4	TRISC3	TRISC2	TRISC1	TRISC0	1111 1111	1111 1111
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
94h	SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000

图注: x = 未知, u = 不变, - = 未实现, 读为 0。在 SPI 模式下, SSP 不使用阴影单元。

注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。

PIC16F631/677/685/687/689/690

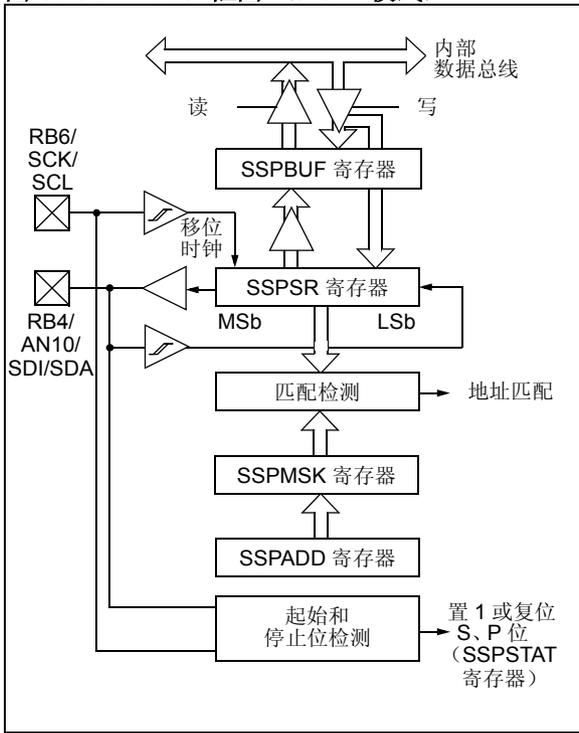
13.11 SSP I²C™ 工作原理

除了全局呼叫支持外，I²C 模式的 SSP 模块几乎完全实现了所有的从动功能，并提供了起始位和停止位的硬件中断，帮助固件实现主控功能。SSP 模块实现标准模式规范及 7 位和 10 位寻址。

数据传输使用了两个引脚。RB6/SCK/SCL 引脚作为时钟线（SCL），而 RB4/AN10/SDI/SDA 引脚作为数据线（SDA）。

通过将 SSP 使能位 SSPEN（SSPCON<5>）置 1，可以使能 SSP 模块的功能。

图 13-7: SSP 框图 (I²C™ 模式)



SSP 模块有 6 个寄存器用于 I²C 工作。它们是：

- SSP 控制寄存器（SSPCON）
- SSP 状态寄存器（SSPSTAT）
- 串行接收 / 发送缓冲器（SSPBUF）
- SSP 移位寄存器（SSPSR）——不可直接访问
- SSP 地址寄存器（SSPADD）
- SSP 屏蔽寄存器（SSPMSK）

通过 SSPCON 寄存器可以控制 I²C 的工作状况。通过 4 个模式选择位（SSPCON<3:0>）可以选择以下 I²C 模式之一：

- I²C 从模式（7 位地址）
- I²C 从模式（10 位地址）
- I²C 从模式（7 位地址），使能起始和停止位中断，支持固件主模式
- I²C 从模式（10 位地址），使能起始和停止位中断，支持固件主模式
- 使能 I²C 起始和停止位中断，支持固件主模式；从单元空闲

在 SSPEN 位置 1 时选择任何 I²C 模式都将强制 SCL 和 SDA 引脚为漏极开路，前提是将相应的 TRISB 位置 1，使这些引脚编程为输入引脚。必须在 SCL 和 SDA 引脚上外接上拉电阻，才能使 I²C 模块正常工作。

13.12 从模式

在从模式下，必须将 SCL 和 SDA 引脚配置为输入（TRISB<6,4> 置 1）。必要时 SSP 模块将用输出数据覆盖输入状态（从发送器）。

当地址匹配或接收到地址匹配后发送的数据时，硬件会自动产生一个应答（ACK）脉冲，并把当时 SSPSR 寄存器接收到的值装入 SSPBUF 寄存器。

某些条件会使 SSP 模块不发出此 ACK 脉冲。这些条件包括（之一或两者）：

- a) SSPSTAT 寄存器的缓冲器满位 BF 在接收到传输数据前置 1。
- b) SSPCON 寄存器的溢出位 SSPOV 在接收到传输数据前置 1。

在这种情况下，SSPSR 寄存器的值不会装入 SSPBUF，但 PIR1 寄存器的 SSPIF 位会置 1。表 13-3 给出了根据 BF 和 SSPOV 位的状态，接收到数据传输字节时产生的结果。阴影单元显示了当用户软件没有正确将溢出状态清零时的情况。当 SSPOV 位用软件清零时，通过读 SSPBUF 寄存器可以将标志位 BF 清零。

为确保正常工作，SCL 时钟输入必须满足最小高电平和最小低电平时间要求。关于 I²C 规范的高低电平时间和对 SSP 模块的要求，请参见第 17.0 节“电气特性”。

PIC16F631/677/685/687/689/690

13.12.1 寻址

一旦 SSP 模块被使能，它就会等待启动条件发生。启动条件发生后，8 位数据被移入 SSPSR 寄存器。在时钟 (SCL) 线的上升沿采样所有的输入位。寄存器 SSPSR<7:1> 的值会和 SSPADD 寄存器的值进行比较。地址会在第 8 个时钟 (SCL) 脉冲的下降沿进行比较。如果地址匹配，并且 BF 和 SSPOV 位都被清零，会发生以下事件：

- SSPSR 寄存器的值被装入 SSPBUF 寄存器。
- 缓冲器满标志位 BF 被置 1。
- 产生 ACK 脉冲。
- 在第 9 个 SCL 脉冲的下降沿，PIR1 寄存器的 SSP 中断标志位 SSPIF 被置 1 (如果允许中断，则产生中断)。

在 10 位地址模式下，从单元需要接收两个地址字节 (图 13-8)。第一个地址字节的高 5 位 (MSb) 将指定这是否是一个 10 位地址。R/W 位 (SSPSTAT<2>) 必须指定写操作，这样从器件才能接收到第二个地址字节。对于 10 位地址，第一个字节等于 “1111 0 A9 A8 0”，其中 A9 和 A8 是该地址的两个 MSb。

10 位地址的事件顺序如下，其中 7-9 步是针对从发送器而言的：

- 接收地址的第一个 (高) 字节 (SSPIF 位、BF 位和 UA 位 (SSPSTAT<1>) 置 1)。
- 用地址的第二个 (低) 字节更新 SSPADD 寄存器 (UA 位清零并释放 SCL 线)。
- 读 SSPBUF 寄存器 (BF 位清零) 并将标志位 SSPIF 清零。
- 接收地址的第二个 (低) 字节 (SSPIF 位、BF 位和 UA 位置 1)。
- 用地址的第一个 (高) 字节更新 SSPADD 寄存器。如果匹配，则释放 SCL 线，这将清零 UA 位。
- 读 SSPBUF 寄存器 (BF 位清零) 并将标志位 SSPIF 清零。
- 接收重复启动条件。
- 接收地址的第一个 (高) 字节 (SSPIF 位和 BF 位置 1)。
- 读 SSPBUF 寄存器 (BF 位清零) 并将标志位 SSPIF 清零。

表 13-3: 接收到传输数据后的动作

接收到传输数据时的状态位		SSPSR → SSPBUF	产生 $\overline{\text{ACK}}$ 脉冲	SSPIF 位置 1 (使能时还将产生 SSP 中断)
BF	SSPOV			
0	0	有	有	有
1	0	无	无	有
1	1	无	无	有
0	1	无	无	有

注：阴影单元显示了当用户软件没有正确将溢出状态清零时的情况。

PIC16F631/677/685/687/689/690

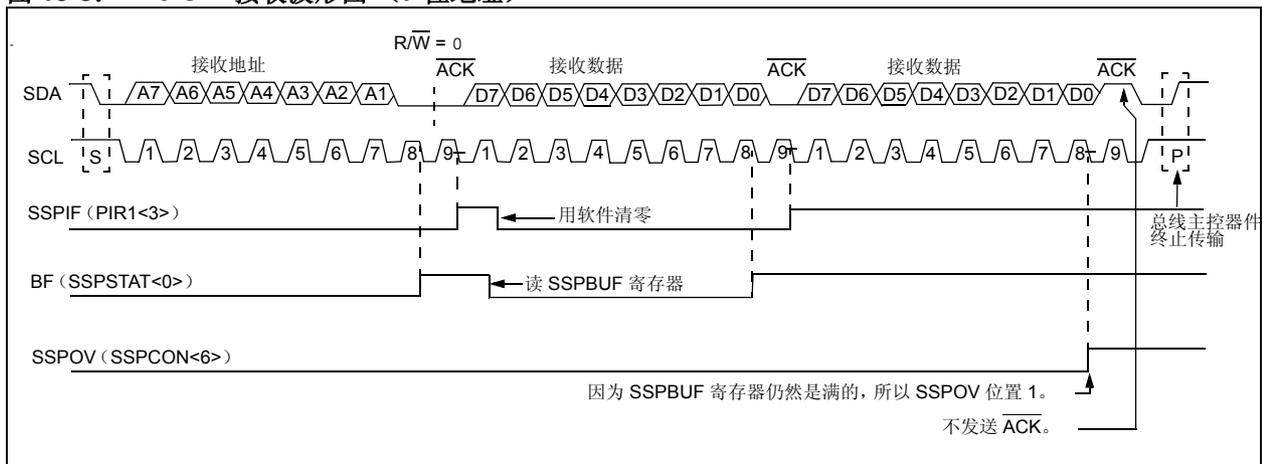
13.12.2 接收

当地址字节的 $\overline{R/\overline{W}}$ 位清零并发生地址匹配时，SSPSTAT 寄存器中的 $\overline{R/\overline{W}}$ 位清零。接收到的地址被装入 SSPBUF 寄存器。

当发生地址字节溢出时，则不会产生应答 (\overline{ACK}) 脉冲。溢出条件是指 SSPSTAT 寄存器的 BF 位置 1 或 SSPCON 寄存器的 SSPOV 位置 1。这是一个由于用户固件导致的错误状况。

每个数据传输字节都会产生 SSP 中断。PIR1 寄存器的标志位 SSPIF 必须用软件清零。SSPSTAT 寄存器用于确定该字节的状态。

图 13-8: I²C™ 接收波形图 (7 位地址)



PIC16F631/677/685/687/689/690

13.12.3 SSP 屏蔽寄存器

SSP 屏蔽 (SSPMSK) 寄存器在 I²C 从模式下可用, 用作地址比较操作期间 SSPSR 寄存器中保存的值的屏蔽。SSPMSK 寄存器中的零 (0) 位会影响对 SSPSR 寄存器中相应位的忽略。

任何复位后, 该寄存器都会复位到全 1 状态, 因此, 在写入屏蔽值之前对标准 SSP 操作没有影响。

在将 SSPM<3:0> 位置 1 前必须初始化该寄存器, 以便选择 I²C 从模式 (7 位或 10 位地址)。

只有通过某些位 (SSPCON 的 SSPM<3:0>) 选择了适当模式后, 才能访问该寄存器。

SSP 屏蔽寄存器在以下期间保持活动状态:

- 7 位地址模式: A<7:1> 的地址比较。
- 10 位地址模式: 仅针对 A<7:0> 的地址比较。在接收地址的第一个 (高) 字节期间, SSP 屏蔽没有影响。

寄存器 13-3: SSPMSK: SSP 屏蔽寄存器⁽¹⁾

R/W-1							
MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0 ⁽²⁾
bit 7							bit 0

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 7-1 **MSK<7:1>**: 屏蔽位
 1 = 接收到的地址位 n 与 SSPADD<n> 相比较来检测 I²C 地址匹配
 0 = 接收到的地址位 n 不用于检测 I²C 地址匹配

bit 0 **MSK<0>**: 屏蔽位用于 I²C 从模式, 10 位地址⁽²⁾
 I²C 从模式, 10 位地址 (SSPM<3:0> = 0111):
 1 = 接收到的地址位 0 与 SSPADD<n> 相比较来检测 I²C 地址匹配
 0 = 接收到的地址位 0 不用于检测 I²C 地址匹配

- 注 1:** 当 SSPCON 位 SSPM<3:0> = 1001 时, 任何对 SSPADD SFR 地址的读或写都必须通过 SSPMSK 寄存器来访问。访问 SSPMSK 寄存器时, SSPCON 寄存器的 SSPEN 位应为零。
- 注 2:** 在所有其他 SSP 模式下, 该位不起作用。

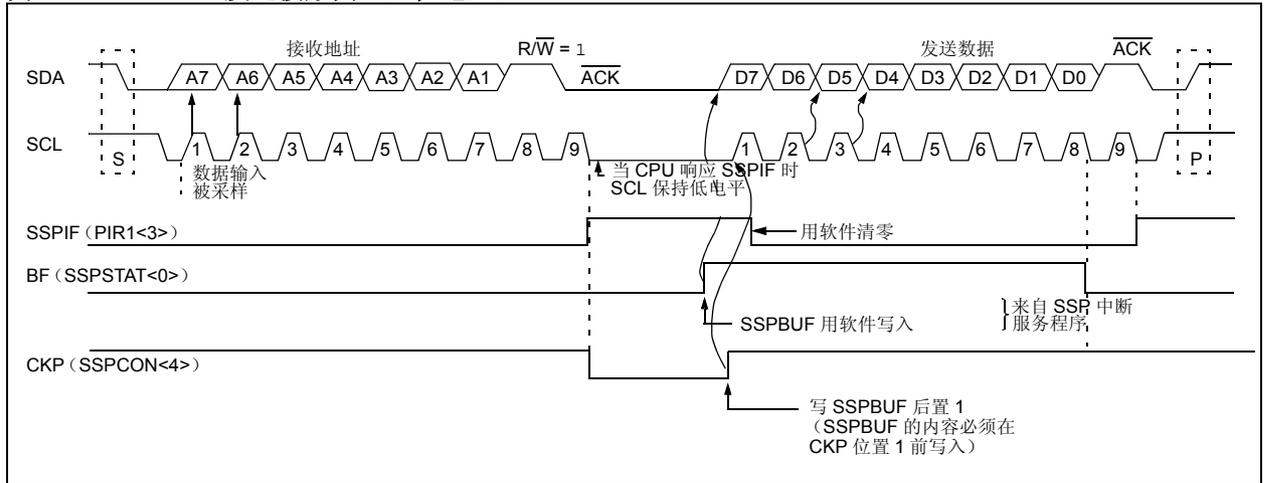
13.12.4 发送

当进入地址字节的 $\overline{R/\overline{W}}$ 位置 1 并发生地址匹配时，SSPSTAT 寄存器的 R/W 位被置 1。接收到的地址被装入 SSPBUF 寄存器。ACK 脉冲在第 9 位上发送，RB6/SCK/SCL 引脚保持低电平。发送数据必须被装入 SSPBUF 寄存器，同时也装入 SSPSR 寄存器。然后，应该通过将 CKP 位 (SSPCON<4>) 位置 1 来使能 RB6/SCK/SCL 引脚。主控制器必须在发出另一个时钟脉冲前监视 SCL 引脚。从器件可以通过延长时钟低电平时间不与主控制器同步。8 个数据位在 SCL 输入的下降沿被移出。这可以确保在 SCL 为高电平期间 SDA 信号是有效的 (图 13-10)。

每个数据传输字节都会产生 SSP 中断。标志位 SSPIF 必须用软件清零，SSPSTAT 寄存器用于确定该字节的状态。标志位 SSPIF 在第 9 个时钟脉冲的下降沿被置 1。

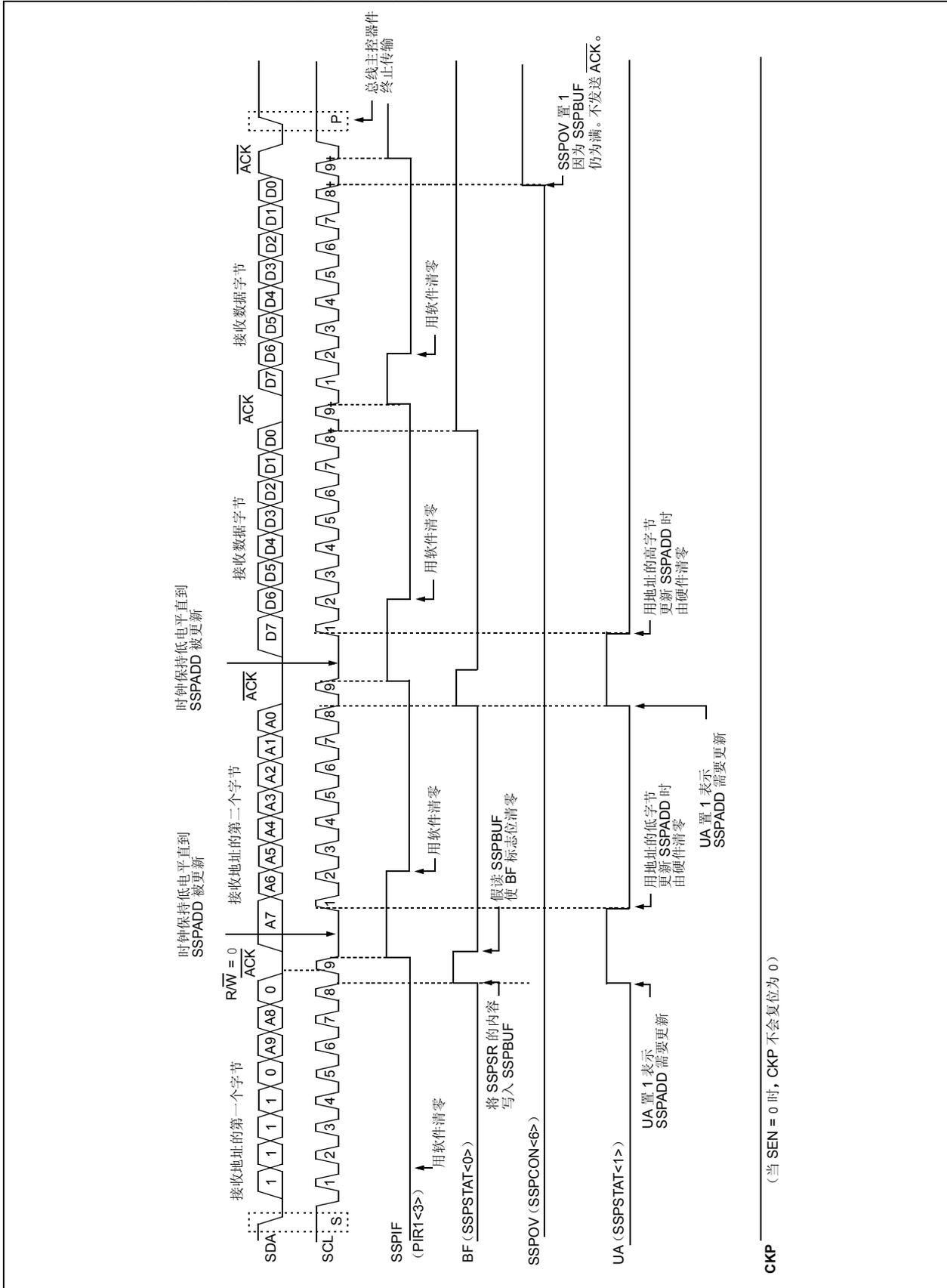
对于从发送器，来自接收器的 ACK 脉冲将在第 9 个 SCL 输入脉冲的上升沿被锁存。如果 SDA 线为高电平 (无 ACK)，则表示数据传输已完成。如果从控制器锁存了 ACK，将复位从动逻辑 (复位 SSPSTAT 寄存器)，同时从控制器监控下一个起始位的出现。如果 SDA 线为低电平 (ACK)，则必须将要发送的数据装入 SSPBUF 寄存器，同时也装入 SSPSR 寄存器。然后，通过将 CKP 位置 1 使能 RB6/SCK/SCL 引脚。

图 13-10: I²C™ 发送波形图 (7 位地址)



PIC16F631/677/685/687/689/690

图 13-11: I²C™ 从模式时序 (发送, 10 位地址)



13.13 主模式

主模式通过固件在检测到启动和停止条件时产生中断来工作。停止 (P) 位和起始 (S) 位在复位时或禁止 SSP 模块时清零。停止 (P) 位和起始 (S) 位会根据启动和停止条件切换。当 P 位置 1 时, 可以获得 I²C 总线的控制权; 否则, S 和 P 位都清零, 总线处于空闲状态。

在主模式下, SCL 和 SDA 线通过清零相应的 TRISB<6,4> 位来控制。输出电平始终为低电平, 而与 PORTB<6,4> 的值无关。因此当发送数据时, 必须用 1 数据位将 TRISB<4> 位置 1 (输入), 并且用 0 数据位将 TRISB<6> 位清零 (输出)。对于 SCL 线, 也可使用 TRISB<6> 位采用同样的方法进行控制。SCL 和 SDA 引脚上必须外接上拉电阻, 才能使 I²C 模块正常工作。

以下事件会使 SSP 中断标志位 SSPIF 置 1 (如果使能 SSP 中断, 则产生中断):

- 启动条件
- 停止条件
- 发送 / 接收到数据传输字节

可用从模式空闲 (SSPM<3:0> = 1011) 或从模式活动完成主模式操作。当同时使能主模式和从模式时, 需要使用软件区分中断源。

13.14 多主模式

在多主模式下, 在检测到启动和停止条件时产生的中断可用于判断总线是否空闲。停止 (P) 位和起始 (S) 位在复位或禁止 SSP 模块时清零。停止 (P) 位和起始 (S) 位会根据启动和停止条件切换。当 P 位 (SSPSTAT<4>) 置 1 时, 可以获得 I²C 总线的控制权; 否则, S 和 P 位都清零, 总线处于空闲状态。当总线处于忙状态且使能 SSP 中断时, 一旦发生停止条件便产生中断。

在多主操作中, 必须监视 SDA 线以确定信号电平是否为所需的输出电平。此检查仅需在输出为高电平时进行。如果期望输出高电平, 但检测到的是低电平, 器件就需要释放 SDA 和 SCL 线 (TRISB<6,4> 位置 1)。在以下两个阶段可能会失去仲裁:

- 地址传输
- 数据传输

当使能从动逻辑时, 从控制器将继续接收数据。如果在地址传输阶段仲裁失败, 可能表示与该器件的通讯正在进行中。如果寻址到器件, 则会产生一个 ACK 脉冲。如果在数据传输阶段仲裁失败, 则器件需要在以后重新传输数据。

13.14.1 时钟同步与 CKP 位

当 CKP 位清零时将迫使 SCL 输出为 0; 但是, 在 SCL 输出采样值为低之前将 CKP 位置 1 并不会将 SCL 输出拉低。因此, 外部 I²C 主控器件占据 SCL 线之前, CKP 位不会占据 SCL 线。SCL 输出将保持低电平, 直到 CKP 位置 1 且 I²C 总线上的其他器件已释放 SCL。这可以确保对 CKP 位的写操作不会违反 SCL 的最小高电平时间要求 (见图 13-12)。

PIC16F631/677/685/687/689/690

图 13-12: 时钟同步时序

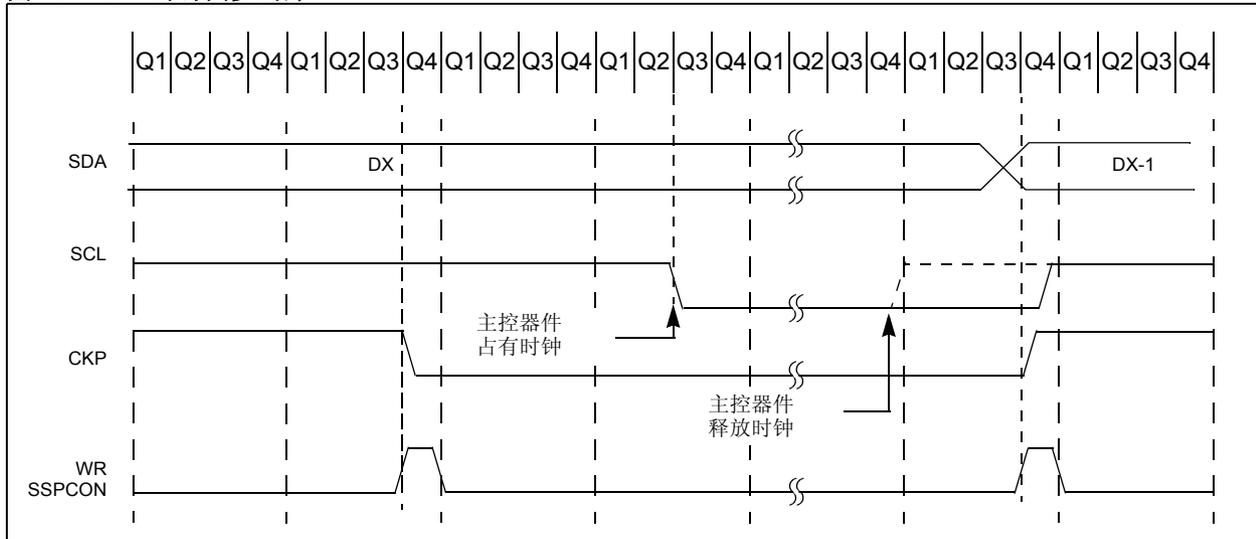


表 13-4: 与 I²C™ 操作相关的寄存器⁽¹⁾

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值
0Bh/8Bh/ 10Bh/18Bh	INTCON	GIE	PEIE	TOIE	INTE	RABIE	TOIF	INTF	RABIF	0000 000x	0000 000x
0Ch	PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
13h	SSPBUF	同步串行接口接收缓冲器 / 发送寄存器								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	—	—	—	—	1111 ----	1111 ----
93h	SSPMASK ⁽²⁾	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	1111 1111	1111 1111
94h	SSPSTAT	SMP ⁽³⁾	CKE ⁽³⁾	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000
8Ch	PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IF	TMR1IF	-000 0000	-000 0000

- 图注: — = 未实现的存储单元, 读为 0, u = 不变, x = 未知。SSP 模块不使用阴影单元。
- 注 1: 仅限 PIC16F687/PIC16F689/PIC16F690。
- 注 2: SSPMSK 寄存器 (寄存器 13-3) 可以在 SSPM 位 <3:0> = 1001 时读或写 SSPADD 寄存器来进行访问。更多详细信息, 请参见寄存器 13-2 和 13-3。
- 注 3: 保持这些位清零。

14.0 CPU 的特殊功能

PIC16F631/677/685/687/689/690 有许多功能，旨在最大限度地提高系统可靠性，通过减少外部元件将成本降至最低，并提供省电工作模式和代码保护功能。

这些功能包括：

- 复位
 - 上电复位 (POR)
 - 上电延时定时器 (PWRT)
 - 振荡器起振定时器 (OST)
 - 欠压复位 (BOR)
- 中断
- 看门狗定时器 (WDT)
- 振荡器选择
- 休眠
- 代码保护
- ID 地址单元
- 在线串行编程

PIC16F631/677/685/687/689/690 有两个定时器提供必要的上电延时。一个是振荡器起振定时器 (OST)，旨在确保芯片在晶体振荡器达到稳定之前始终处于复位状态。另一个是上电延时定时器 (PWRT)，仅在上电时提供 64 ms (标称值) 的固定延时，用来确保器件在供电电压稳定之前处于复位状态。还有当器件发生欠压时使器件复位的电路，该电路可使用上电延时定时器，提供至少 64 ms 的复位延时。有了这三种片上功能，绝大多数应用就无需再外接复位电路了。

休眠模式的设计是为了提供了电流极低的掉电模式。用户可通过以下方法将器件从休眠模式唤醒：

- 外部复位
- 看门狗定时器唤醒
- 中断

有几种振荡器模式可供选择，以使器件适应各种应用。选择 INTOSC 可节约系统成本，而选择 LP 晶振可以节能。通过配置位的设定可选择不同选项 (见寄存器 14-2)。

PIC16F631/677/685/687/689/690

14.1 配置位

可以通过对配置位编程（读为 0）或不编程（读为 1）来选择不同的器件配置，如寄存器 14-1 所示。这些位映射到程序存储器地址单元 2007h 中。

注： 地址2007h超出了用户程序存储器空间范围。它属于特殊配置存储器空间（2000h-3FFFh），只能在编程时对其进行访问。更多信息，请参见“*PIC12F6XX/16F6XX Memory Programming Specification*”（DS41204）。

PIC16F631/677/685/687/689/690

寄存器 14-1: CONFIG: 配置字寄存器

保留	保留	FCMEN	IESO	BOREN ¹⁽¹⁾	BOREN0 ⁽¹⁾	CPD ⁽²⁾
bit 13						bit 7

CP ⁽³⁾	MCLRE ⁽⁴⁾	PWRT ^E	WDTE	FOSC2	FOSC1	FOSC0
bit 6						bit 0

图注:

R = 可读位	W = 可写位	P = 可编程	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

- bit 13-12 **保留:** 保留位。不要使用。
- bit 11 **FCMEN:** 故障保护时钟监控器使能位
1 = 使能故障保护时钟监控器
0 = 禁止故障保护时钟监控器
- bit 10 **IESO:** 内 / 外部切换位
1 = 使能内 / 外部切换模式
0 = 禁止内 / 外部切换模式
- bit 9-8 **BOREN<1:0>:** 欠压复位选择位 ⁽¹⁾
11 = 使能 BOR
10 = 运行时使能 BOR, 休眠时禁止 BOR
01 = PCON 寄存器的 SBOREN 位控制 BOR
00 = 禁止 BOR
- bit 7 **CPD:** 数据代码保护位 ⁽²⁾
1 = 禁止数据存储器代码保护
0 = 使能数据存储器代码保护
- bit 6 **CP:** 代码保护位 ⁽³⁾
1 = 禁止程序存储器代码保护
0 = 使能程序存储器代码保护
- bit 5 **MCLRE:** MCLR 引脚功能选择位 ⁽⁴⁾
1 = MCLR 引脚功能为 MCLR
0 = MCLR 引脚功能为数字输入, MCLR 内部连接到 VDD
- bit 4 **PWRT^E:** 上电延时定时器使能位
1 = 禁止 PWRT
0 = 使能 PWRT
- bit 3 **WDTE:** 看门狗定时器使能位
1 = 使能 WDT
0 = 禁止 WDT, 但可以通过 SWDTEN 位 (WDTCN<0>) 使能
- bit 2-0 **FOSC<2:0>:** 振荡器选择位
111 = RC 振荡器: RA4/OSC2/CLKOUT 引脚为 CLKOUT 功能, RA5/OSC1/CLKIN 引脚上连接 RC
110 = RCIO 振荡器: RA4/OSC2/CLKOUT 引脚为 I/O 功能, RA5/OSC1/CLKIN 引脚上连接 RC
101 = INTOSC 振荡器: RA4/OSC2/CLKOUT 引脚为 CLKOUT 功能, RA5/OSC1/CLKIN 引脚为 I/O 功能
100 = INTOSCIO 振荡器: RA4/OSC2/CLKOUT 引脚为 I/O 功能, RA5/OSC1/CLKIN 引脚为 I/O 功能
011 = EC: RA4/OSC2/CLKOUT 引脚为 I/O 功能, RA5/OSC1/CLKIN 引脚上为 CLKIN
010 = HS 振荡器: RA4/OSC2/CLKOUT 和 RA5/OSC1/CLKIN 引脚上连接高速晶振 / 谐振器
001 = XT 振荡器: RA4/OSC2/CLKOUT 和 RA5/OSC1/CLKIN 引脚上连接晶振 / 谐振器
000 = LP 振荡器: RA4/OSC2/CLKOUT 和 RA5/OSC1/CLKIN 引脚上连接低功耗晶振

- 注
- 1: 使能欠压复位并不能自动使能上电延时定时器。
 - 2: 当关闭代码保护时, 将擦除整个数据 EEPROM 的内容。
 - 3: 当关闭代码保护时, 将擦除整个程序存储器的内容。
 - 4: 当 MCLR 在 INTOSC 或 RC 模式下被拉为低电平时, 将禁止内部时钟振荡器。

PIC16F631/677/685/687/689/690

14.2 复位

PIC16F631/677/685/687/689/690 有以下几种不同类型的复位:

- 上电复位 (POR)
- 正常工作期间的 WDT 复位
- 休眠期间的 WDT 复位
- 正常工作期间的 MCLR 复位
- 休眠期间的 MCLR 复位
- 欠压复位 (BOR)

有些寄存器不受任何复位的影响; 在上电复位时它们的状态未知, 而在其他复位时状态不变。大多数寄存器在以下复位时会复位到各自的“复位状态”:

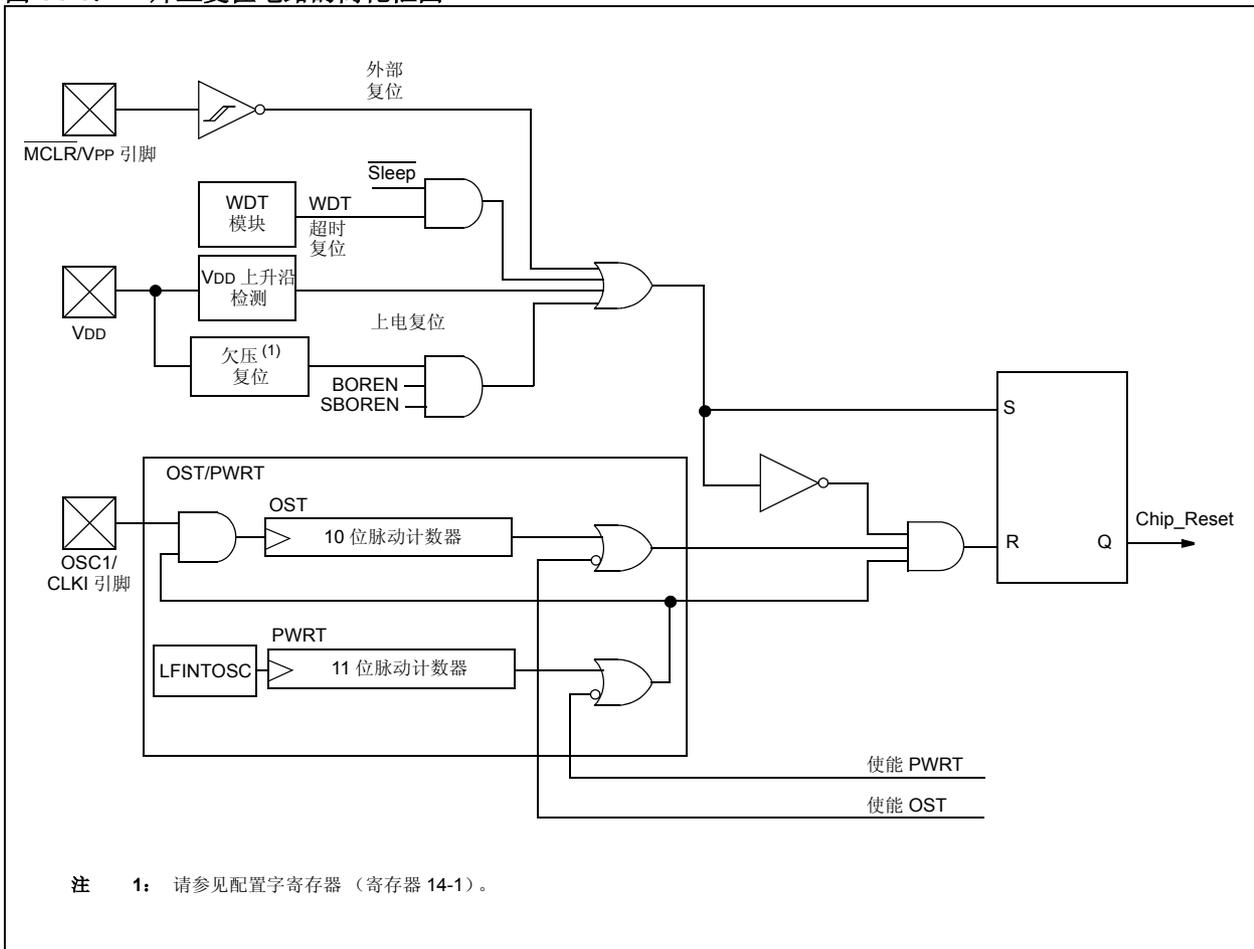
- 上电复位
- MCLR 复位
- 休眠期间的 MCLR 复位
- WDT 复位
- 欠压复位 (BOR)

它们不受 WDT 唤醒的影响, 因为这被视为恢复正常工作。如表 14-2 所示, \overline{TO} 和 \overline{PD} 位在不同的复位情形下会分别被置 1 或清零。这些位在软件中用于判断复位的性质。关于所有寄存器的复位状态的完整说明, 请参见表 14-4。

图 14-1 给出了片上复位电路的简化框图。

MCLR 复位路径上有一个噪声滤波器, 用来检测并滤除小脉冲。关于脉冲宽度规范, 请参见第 17.0 节“电气特性”。

图 14-1: 片上复位电路的简化框图



14.2.1 上电复位 (POR)

在 VDD 达到足以使器件正常工作的电平之前，片上上电复位电路将使器件保持在复位状态。需要一个最大上升时间才能达到 VDD。详见第 17.0 节“电气特性”。如果使能了欠压复位，那么该最大上升时间规范将不再适用。欠压复位电路将使器件保持在复位状态，直到 VDD 达到 VBOR（见第 14.2.4 节“欠压复位 (BOR)”）。

注： 当 VDD 降低时，上电复位电路不会产生内部复位。要重新使能上电复位，VDD 必须至少保持 100 μs 的 VSS 电压。

当器件开始正常工作（退出复位状态）时，器件的工作参数（即电压、频率和温度等）必须得到满足，以确保其正常工作。如果不满足这些条件，那么器件必须保持在复位状态，直到满足工作条件为止。

更多信息，请参见应用笔记 AN607，“Power-up Trouble Shooting”（DS00607）。

14.2.2 MCLR

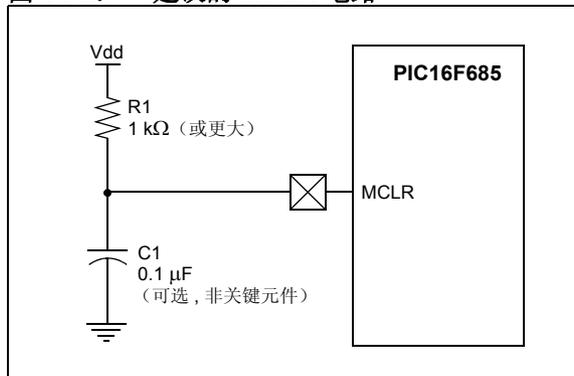
PIC16F631/677/685/687/689/690 在 MCLR 复位路径中有一个噪声滤波器。该滤波器检测并滤除小脉冲。

应该注意，WDT 复位不会将 MCLR 引脚驱动为低电平。

MCLR 引脚上 ESD 保护的工作原理与该系列早期器件有所不同。施加在该引脚上的电压超过规范值将导致 MCLR 复位，并且在 ESD 事件中产生的电流也将超过器件的规范值。因此，Microchip 建议不要把 MCLR 引脚直接连接到 VDD。建议使用图 14-3 给出的 RC 网络。

通过清零配置寄存器中的 MCLRE 位，可使能内部 MCLR 选项。当 MCLRE = 0 时，在内部产生芯片的复位信号。当 MCLRE = 1 时，RA3/MCLR 引脚变成外部复位输入。在这种模式下，RA3/MCLR 引脚具有到 VDD 的弱上拉功能。

图 14-2: 建议的 MCLR 电路



14.2.3 上电延时定时器 (PWRT)

上电延时定时器仅在上电时（上电复位或欠压复位）提供一个 64 ms（标称值）的固定延时。上电延时定时器采用 LFINTOSC 振荡器作为时钟源，工作频率为 31 kHz。更多信息，请参见第 3.5 节“内部时钟模式”。只要 PWRT 处于活动状态，芯片就保持在复位状态。PWRT 延时使 VDD 有足够的时间上升到所需的电平。配置位 PWRTEN 可以禁止（如果置 1）或使能（如果清零或被编程）上电延时定时器。虽然不是必需的，但是在使能欠压复位时也应使能上电延时定时器。

由于以下原因不同芯片的上电延时定时器的延时也各不相同：

- VDD 差异
- 温度差异
- 制造工艺差异

详见直流参数（第 17.0 节“电气特性”）。

PIC16F631/677/685/687/689/690

14.2.4 欠压复位 (BOR)

配置字寄存器中的 **BOREN0** 和 **BOREN1** 位用于选择 4 种欠压复位模式中的一种。其中添加了两种允许使用软件或硬件对 **BOR** 的使能进行控制的模式。当 **BOREN<1:0> = 01** 时, 可由 **PCON** 寄存器的 **SBOREN** 位使能 / 禁止 **BOR**, 从而能用软件对其进行控制。通过选择 **BOREN<1:0>**, 可使欠压复位在休眠时被自动禁止, 从而节约功耗; 而在唤醒后被重新使能。在此模式下, **SBOREN** 位被禁止。关于配置字的定义, 请参见寄存器 14-2。

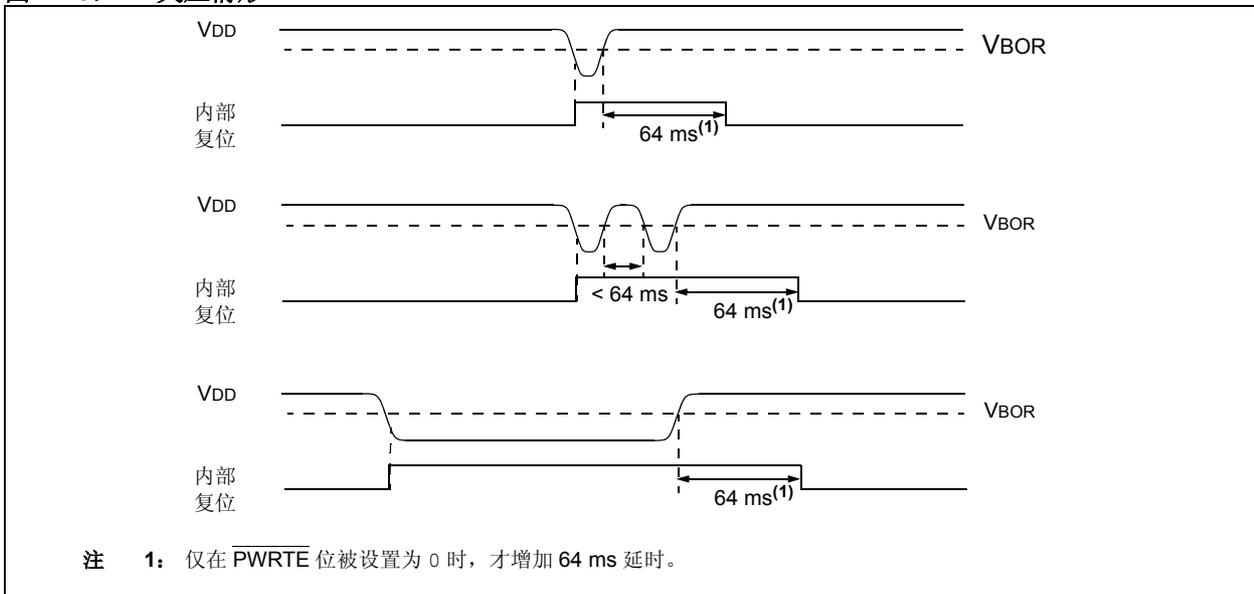
如果 **VDD** 下降到 **VBOR** 以下, 且持续时间超过参数值 (**TBOR**) (见第 17.0 节 “电气特性”), 欠压状况将使器件复位。不管 **VDD** 的变化速率如何, 上述情况都会发生。如果 **VDD** 低于 **VBOR** 的时间少于参数值 (**TBOR**), 则不一定会发生复位。

任何复位 (上电复位、欠压复位或看门狗定时器复位等) 都会使芯片保持复位状态, 直到 **VDD** 上升到 **VBOR** 以上 (见图 14-3)。如果使能了上电延时定时器, 此时它将启动, 并且会使器件保持复位状态的时间延长 64 ms。

注: 配置字寄存器中的 **PWRTE** 位用于使能上电延时定时器。

如果在上电延时定时器运行过程中, **VDD** 降低到 **VBOR** 以下, 芯片将重新回到欠压复位状态并且上电延时定时器会恢复为初始状态。一旦 **VDD** 上升到 **VBOR** 以上, 上电延时定时器将执行一段 64 ms 的复位。

图 14-3: 欠压情形



PIC16F631/677/685/687/689/690

14.2.5 延时时序

上电时的延时时序如下：首先，在 POR 延时结束后，施加一段 PWRT 延时，随后振荡器起振。总延时时间取决于振荡器配置和 PWRTE 位的状态。例如，在 EC 模式且 PWRTE 位被擦除（PWRT 禁止）的情况下，根本不会出现延时。图 14-4、14-5 和 14-6 分别给出了各种情形下的延时时序。当振荡器起振后，通过使能双速启动或故障保护监控器，器件将以 INTOSC 作为时钟源来执行代码（见第 3.7.2 节“双速启动顺序”和第 3.8 节“故障保护时钟监控器”）。

由于延时是由上电复位脉冲触发的，因此如果 $\overline{\text{MCLR}}$ 保持足够长时间的低电平，所有延时都将结束。将 $\overline{\text{MCLR}}$ 电平拉高后，器件将立即开始执行代码（见图 14-5）。这对于测试或同步多个并行工作的 PIC16F631/677/685/687/689/690 器件来说是非常有用的。

表 14-5 给出了一些特殊寄存器的复位条件，而表 14-4 给出了所有寄存器的复位条件。

表 14-1: 各种情形下的延时

振荡器配置	上电		欠压复位		从休眠状态唤醒
	$\overline{\text{PWRTE}} = 0$	$\overline{\text{PWRTE}} = 1$	$\overline{\text{PWRTE}} = 0$	$\overline{\text{PWRTE}} = 1$	
XT, HS, LP	TPWRT + 1024 · TOSC	1024 · TOSC	TPWRT + 1024 · TOSC	1024 · TOSC	1024 · TOSC
LP, T1OSCIN = 1	TPWRT	—	TPWRT	—	—
RC, EC, INTOSC	TPWRT	—	TPWRT	—	—

表 14-2: STATUS/PCON 位及其含义

POR	BOR	$\overline{\text{TO}}$	$\overline{\text{PD}}$	条件
0	x	1	1	上电复位
u	0	1	1	欠压复位
u	u	0	u	WDT 复位
u	u	0	0	WDT 唤醒
u	u	u	u	正常工作期间的 $\overline{\text{MCLR}}$ 复位
u	u	1	0	休眠期间的 $\overline{\text{MCLR}}$ 复位

图注: u = 不变, x = 未知

表 14-3: 与欠压有关的寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOR 时的值	所有其他复位值 ⁽¹⁾
PCON	—	—	ULPWUE	SBOREN	—	—	POR	BOR	--01 --qq	--0u --uu
STATUS	IRP	RP1	RPO	$\overline{\text{TO}}$	$\overline{\text{PD}}$	Z	DC	C	0001 1xxx	000q quuu

图注: u = 不变, x = 未知, — = 未实现位, 读为 0, q = 取值视具体情况而定。BOR 不使用阴影单元。

注 1: 其他（非上电）复位包括正常工作时的 $\overline{\text{MCLR}}$ 复位和看门狗定时器复位。

14.2.6 电源控制（PCON）寄存器

电源控制寄存器 PCON（地址 8Eh）有两个状态位，用于指示上次发生的复位的类型。

Bit 0 是 $\overline{\text{BOR}}$ （欠压复位）标志位。 $\overline{\text{BOR}}$ 在上电复位时未知。然后，用户必须将该位置 1，并在随后的复位发生时检查中 $\overline{\text{BOR}}$ 是否为 0，如果是，则表示已发生欠压复位。当禁止欠压复位电路（配置字寄存器中的 BOREN<1:0> = 00）时，BOR 状态位是“无关位”并且不一定预测得到。

Bit 1 是 $\overline{\text{POR}}$ （上电复位）标志位，在上电复位时值为 0，其他情况下不受影响。上电复位后，用户必须对该位写 1。发生后续复位后，如果 POR 为 0，则表示发生了上电复位（即 VDD 可能已经变为了低电平）。

更多信息，请参见第 4.2.4 节“超低功耗唤醒”和第 14.2.4 节“欠压复位（BOR）”。

PIC16F631/677/685/687/689/690

图 14-4: 上电时的延时时序 ($\overline{\text{MCLR}}$ 延时): 情形 1

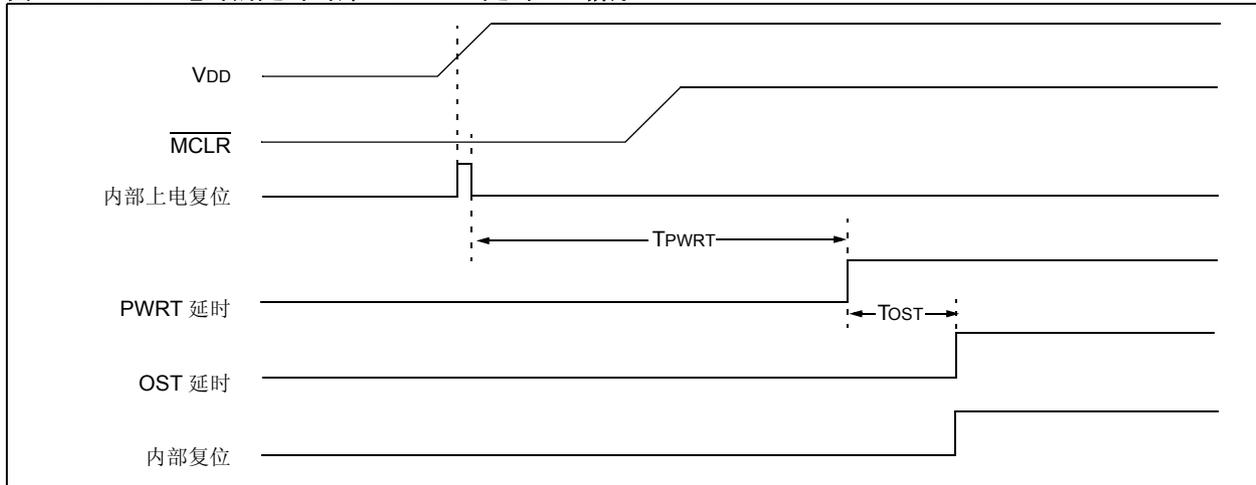


图 14-5: 上电时的延时时序 ($\overline{\text{MCLR}}$ 延时): 情形 2

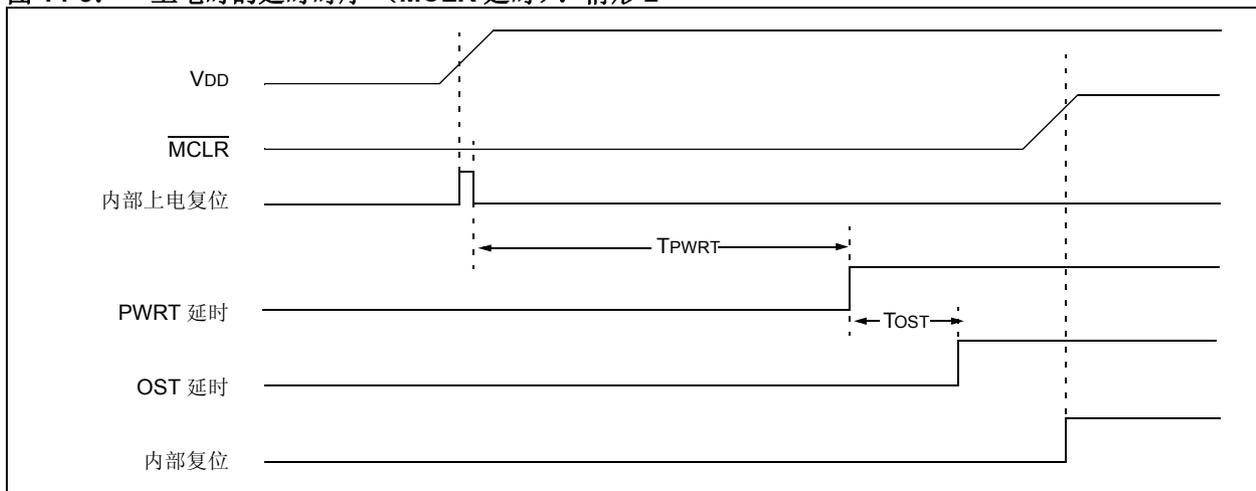
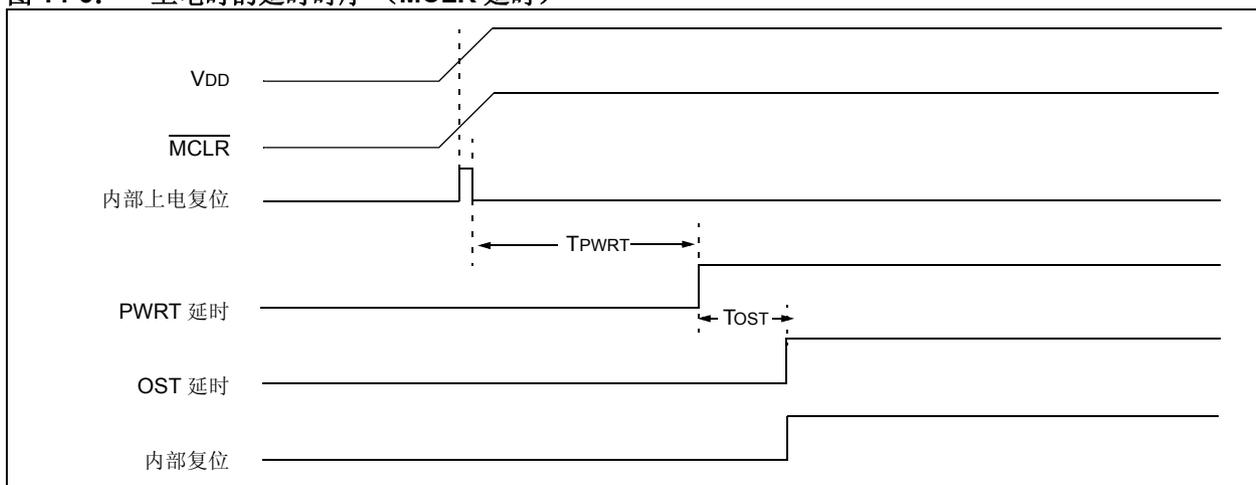


图 14-6: 上电时的延时时序 ($\overline{\text{MCLR}}$ 延时)



PIC16F631/677/685/687/689/690

表 14-4: 寄存器的初始状态

寄存器	地址	上电复位	MCLR 复位 WDT 复位 欠压复位 ⁽¹⁾	通过中断将器件从休眠状态唤醒 通过 WDT 延时从休眠状态唤醒
W	—	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF	00h/80h/ 100h/180h	xxxx xxxx	xxxx xxxx	uuuu uuuu
TMR0	01h/101h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	02h/82h/ 102h/182h	0000 0000	0000 0000	PC + 1 ⁽³⁾
STATUS	03h/83h/ 103h/183h	0001 1xxx	000q quuu ⁽⁴⁾	uuuq quuu ⁽⁴⁾
FSR	04h/84h/ 104h/184h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTA	05h/105h	--xx xxxx	--uu uuuu	--uu uuuu
PORTB	06h/106h	xxxx ----	uuuu ----	uuuu ----
PORTC	07h/107h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCLATH	0Ah/8Ah/ 10Ah/18Ah	---0 0000	---0 0000	---u uuuu
INTCON	0Bh/8Bh/ 10Bh/18Bh	0000 000x	0000 000u	uuuu uuuu ⁽²⁾
PIR1	0Ch	-000 0000	-000 0000	-uuu uuuu ⁽²⁾
PIR2	0Dh	0000 ----	0000 ----	uuuu ---- ⁽²⁾
TMR1L	0Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR1H	0Fh	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CON	10h	0000 0000	uuuu uuuu	uuuu uuuu
TMR2	11h	0000 0000	0000 0000	uuuu uuuu
T2CON	12h	-000 0000	-000 0000	-uuu uuuu
SSPBUF	13h	xxxx xxxx	uuuu uuuu	uuuu uuuu
SSPCON	14h	0000 0000	0000 0000	uuuu uuuu
CCPR1L	15h	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR1H	16h	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP1CON	17h	0000 0000	0000 0000	uuuu uuuu
RCSTA	18h	0000 000x	0000 000x	uuuu uuuu
TXREG	19h	0000 0000	0000 0000	uuuu uuuu
RCREG	1Ah	0000 0000	0000 0000	uuuu uuuu
PWM1CON	1Ch	0000 0000	0000 0000	uuuu uuuu
ECCPAS	1Dh	0000 0000	0000 0000	uuuu uuuu
ADRESH	1Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON0	1Fh	0000 0000	0000 0000	uuuu uuuu
OPTION_REG	81h/181h	1111 1111	1111 1111	uuuu uuuu
TRISA	85h/185h	--11 1111	--11 1111	--uu uuuu

图注: u = 不变, x = 未知, - = 未实现位, 读为 0, q = 取值视具体条件而定。

- 注
- 1: 如果 VDD 过低, 将激活上电复位, 寄存器将受到不同的影响。
 - 2: INTCON 和 / 或 PIR1 寄存器中的 1 位或多位会受到影响 (引起唤醒)。
 - 3: 当器件被中断唤醒且 GIE 位置 1 时, PC 装入中断向量 (0004h)。
 - 4: 关于特定条件下的复位值, 请参见表 14-5。
 - 5: 如果复位是由于欠压引起的, 则 bit 0 = 0。所有其他复位将导致 bit 0 = u。
 - 6: 仅在 SSPM<3:0> = 1001 时可以访问。

PIC16F631/677/685/687/689/690

表 14-4: 寄存器的初始状态 (续)

寄存器	地址	上电复位	MCLR 复位 WDT 复位 (续) 欠压复位 (1)	通过中断将器件从休眠状态唤醒 通过 WDT 延时从休眠状态唤醒
TRISB	86h/186h	1111 ----	1111 ----	uuuu ----
TRISC	87h/187h	1111 1111	1111 1111	uuuu uuuu
PIE1	8Ch	-000 0000	-000 0000	-uuu uuuu
PIE2	8Dh	0000 ----	0000 ----	uuuu uuuu
PCON	8Eh	--01 --0x	--0u --uq ^(1, 5)	--uu --uu
OSCCON	8Fh	-110 q000	-110 q000	-uuu uuuu
OSCTUNE	90h	---0 0000	---u uuuu	---u uuuu
PR2	92h	1111 1111	1111 1111	uuuu uuuu
SSPADD	93h	0000 0000	1111 1111	uuuu uuuu
SSPMSK ⁽⁶⁾	93h	---- ----	1111 1111	uuuu uuuu
SSPSTAT	94h	0000 0000	1111 1111	uuuu uuuu
WPUA	95h	--11 -111	--11 -111	uuuu uuuu
IOCA	96h	--00 0000	--00 0000	--uu uuuu
WDTCON	97h	---0 1000	---0 1000	---u uuuu
TXSTA	98h	0000 0010	0000 0010	uuuu uuuu
SPBRG	99h	0000 0000	0000 0000	uuuu uuuu
SPBRGH	9Ah	0000 0000	0000 0000	uuuu uuuu
BAUDCTL	9Bh	01-0 0-00	01-0 0-00	uu-u u-uu
ADRESL	9Eh	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON1	9Fh	-000 ----	-000 ----	-uuu ----
EEDAT	10Ch	0000 0000	0000 0000	uuuu uuuu
EEADR	10Dh	0000 0000	0000 0000	uuuu uuuu
EEDATH	10Eh	--00 0000	--00 0000	--uu uuuu
EEADRH	10Fh	---- 0000	---- 0000	---- uuuu
WPUB	115h	1111 ----	1111 ----	uuuu ----
IOCB	116h	0000 ----	0000 ----	uuuu ----
VRCON	118h	0000 0000	0000 0000	uuuu uuuu
CM1CON0	119h	0000 -000	0000 -000	uuuu -uuu
CM2CON0	11Ah	0000 -000	0000 -000	uuuu -uuu
CM2CON1	11Bh	00-- --00	00-- --10	uu-- --uu
ANSEL	11Eh	1111 1111	1111 1111	uuuu uuuu
ANSELH	11Fh	---- 1111	---- 1111	---- uuuu
EECON1	18Ch	x--- x000	u--- q000	---- uuuu
EECON2	18Dh	---- ----	---- ----	---- ----
PSTRCON	19Dh	---0 0001	---0 0001	---u uuuu
SRCON	19EH	0000 00--	0000 00--	uuuu uu--

图注: u = 不变, x = 未知, - = 未实现位, 读为 0, q = 取值视具体条件而定。

- 注
- 1: 如果 VDD 过低, 将激活上电复位, 寄存器将受到不同的影响。
 - 2: INTCON 和 / 或 PIR1 寄存器中的 1 位或多位会受到影响 (引起唤醒)。
 - 3: 当器件被中断唤醒且 GIE 位置 1 时, PC 装入中断向量 (0004h)。
 - 4: 关于特定条件下的复位值, 请参见表 14-5。
 - 5: 如果复位是由于欠压引起的, 则 bit 0 = 0。所有其他复位将导致 bit 0 = u。
 - 6: 仅在 SSPM<3:0> = 1001 时可以访问。

PIC16F631/677/685/687/689/690

表 14-5: 特殊寄存器的初始状态

条件	程序计数器	状态寄存器	PCON 寄存器
上电复位	000h	0001 1xxx	--01 --0x
正常工作期间的 $\overline{\text{MCLR}}$ 复位	000h	000u uuuu	--0u --uu
休眠期间的 $\overline{\text{MCLR}}$ 复位	000h	0001 0uuu	--0u --uu
WDT 复位	000h	0000 uuuu	--0u --uu
WDT 唤醒	PC +1	uuu0 0uuu	--uu --uu
欠压复位	000h	0001 1uuu	--01 --10
通过中断从休眠唤醒	PC + 1 ⁽¹⁾	uuu1 0uuu	--uu --uu

图注: u = 不变, x = 未知, - = 未实现位, 读为 0。

注 1: 当器件被中断唤醒且全局中断允许位 GIE 位置 1 时, 执行 PC+1 后, PC 装入中断向是 (0004h)。

PIC16F631/677/685/687/689/690

14.3 中断

PIC16F631/677/685/687/689/690 有以下多种中断源：

- 外部中断 RA2/INT
- TMR0 溢出中断
- PORTA/PORTB 电平变化中断
- 两个比较器中断
- A/D 中断（除 PIC16F631 外）
- Timer1 溢出中断
- Timer2 匹配中断（仅限 PIC16F685/PIC16F690）
- EEPROM 数据写中断
- 故障保护时钟监控器中断
- 增强型 CCP 中断（仅限 PIC16F685/PIC16F690）
- EUSART 接收和发送中断（仅限 PIC16F687/PIC16F689/PIC16F690）

中断控制寄存器（INTCON）和外设中断请求寄存器 1（PIR1）在各自的标志位中记录各种中断请求。INTCON 寄存器还包括各个中断允许位和全局中断允许位。

全局中断允许位 GIE（INTCON<7>）在置 1 时允许所有未屏蔽的中断，而在清零时禁止所有中断。可以通过在 INTCON、PIE1 和 PIE2 寄存器中相应的使能位来禁止各个中断。复位时 GIE 被清零。

执行“从中断返回”指令 RETFIE 退出中断程序并将 GIE 位置 1，从而重新使能未屏蔽的中断。

INTCON 寄存器包含以下中断标志位：

- INT 引脚中断
- PORTA/PORTB 电平变化中断
- TMR0 溢出中断

外设中断标志位在 PIR1 和 PIR2 寄存器中。相应的中断允许位在 PIE1 和 PIE2 寄存器中。

PIR1 寄存器包含以下中断标志位：

- A/D 中断
- EUSART 接收和发送中断
- Timer1 溢出中断
- 同步串行口（SSP）中断
- 增强型 CCP1 中断
- Timer1 溢出中断
- Timer2 匹配中断

PIR2 寄存器包含以下中断标志位：

- 故障保护时钟监控器中断
- 两个比较器中断
- EEPROM 数据写中断

当响应一个中断时：

- 将 GIE 位清零以禁止其他中断。
- 将返回地址压入堆栈。
- PC 中装入 0004h。

对于外部中断事件，如 INT 引脚或 PORTA/PORTB 电平变化中断，中断响应延时将为 3 到 4 个指令周期。确切的延时时间取决于发生中断事件的时间（见图 14-8）。对于单周期或双周期指令，中断响应延时完全相同。进入中断服务程序之后，就可以通过查询中断标志位来确定中断源。在重新允许中断前，必须用软件将中断标志位清零，以避免重复响应该中断。

- | |
|--|
| <p>注 1: 各中断标志位的置 1 不受相应的中断屏蔽位或 GIE 位状态的影响。</p> <p>2: 当执行一条清零 GIE 位的指令后，任何等待在下一周期执行的中断都将被忽略。当 GIE 位被再次置 1 后，被忽略的中断仍会继续等待处理。</p> |
|--|

关于 Timer1、Timer2、比较器、A/D、数据 EEPROM、EUSART、SSP 或增强型 CCP 模块的更多信息，请参见相应的外设章节。

14.3.1 RA2/INT 中断

RA2/INT 引脚上的外部中断是边沿触发的；当 INTEDG 位（OPTION_REG<6>）被置 1 时在上升沿触发，而当 INTEDG 位被清零时在下降沿触发。当 RA2/INT 引脚上出现有效边沿时，INTF 位（INTCON<1>）置 1。可以通过将 INTE 控制位（INTCON<4>）清零来禁止该中断。在重新使能该中断前，必须在中断服务程序中先用软件将 INTF 位清零。如果 INTE 位在进入休眠状态前被置 1，则 RA2/INT 中断能将处理器从休眠状态唤醒。GIE 位的状态决定处理器在被唤醒后是否会跳转到中断向是（0004h）处执行代码。关于休眠的详细信息，请参见第 14.6 节“掉电模式（休眠）”；关于 RA2/INT 中断将处理器从休眠状态唤醒的时序，请参见图 14-10。

- | |
|---|
| <p>注: 必须对 ANSEL 和 CM2CON0 寄存器进行初始化，以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。</p> |
|---|

PIC16F631/677/685/687/689/690

14.3.2 TMR0 中断

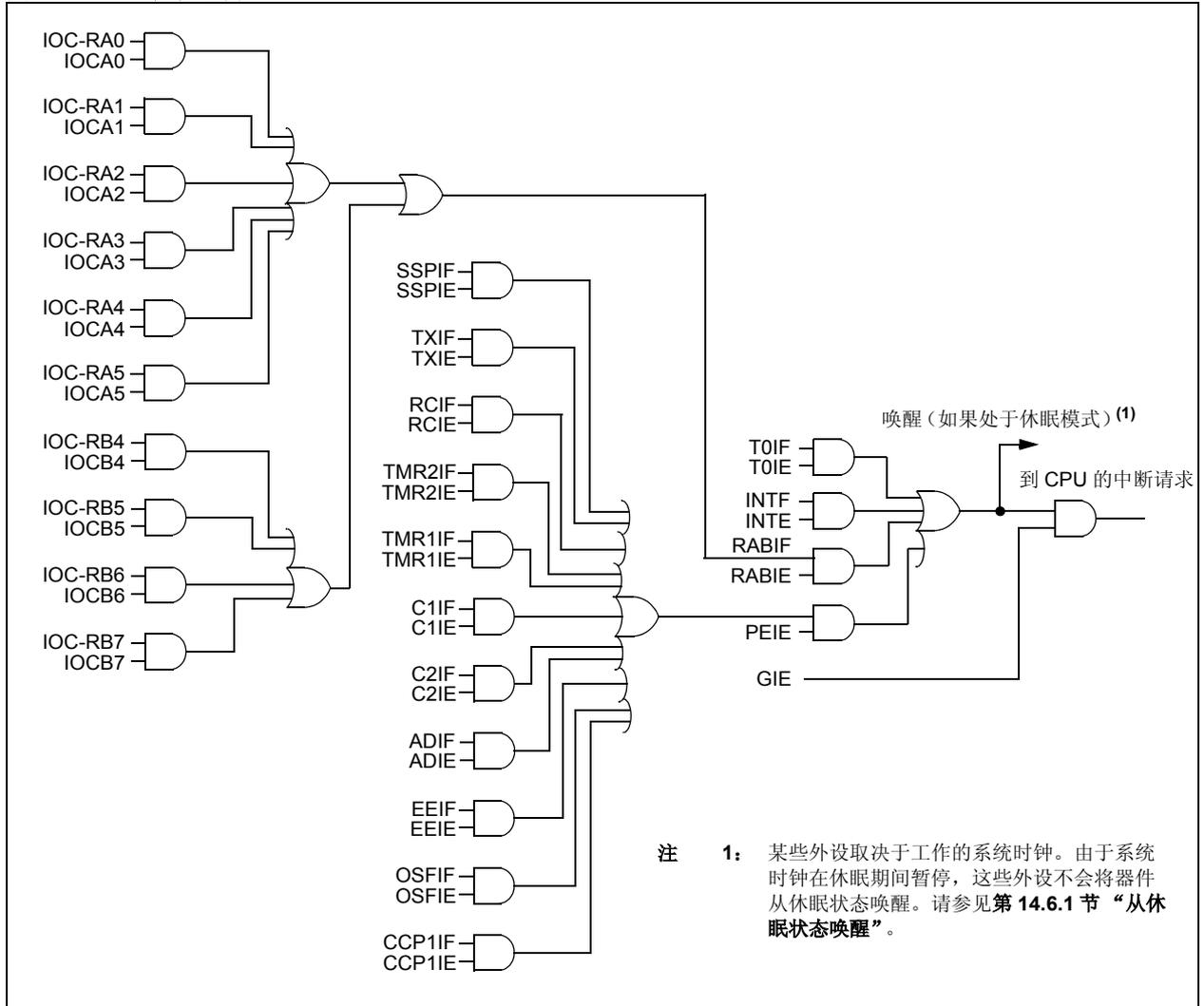
TMR0 寄存器溢出 (FFh → 00h) 会将 T0IF (INTCON<2>) 位置 1。可以通过置 1/ 清零 T0IE (INTCON<5>) 位来使能 / 禁止该中断。关于 Timer0 模块的操作, 请参见第 5.0 节 “Timer0 模块”。

14.3.3 PORTA/PORTB 中断

PORTA 或 PORTB 输入电平的变化会使 RABIF (INTCON<0>) 位置 1。可以通过置 1/ 清零 RABIE (INTCON<3>) 位来使能 / 禁止该中断。此外, 可通过 IOCA 或 IOCB 寄存器对该端口的各个引脚进行配置。

注: 当读操作正在执行时发生了 I/O 引脚电平变化 (Q2 周期的起始时刻), 则 RABIF 中断标志位可能不会被置 1。更多信息, 请参见第 4.2.3 节 “电平变化中断”。

图 14-7: 中断逻辑



PIC16F631/677/685/687/689/690

图 14-8: INT 引脚中断时序

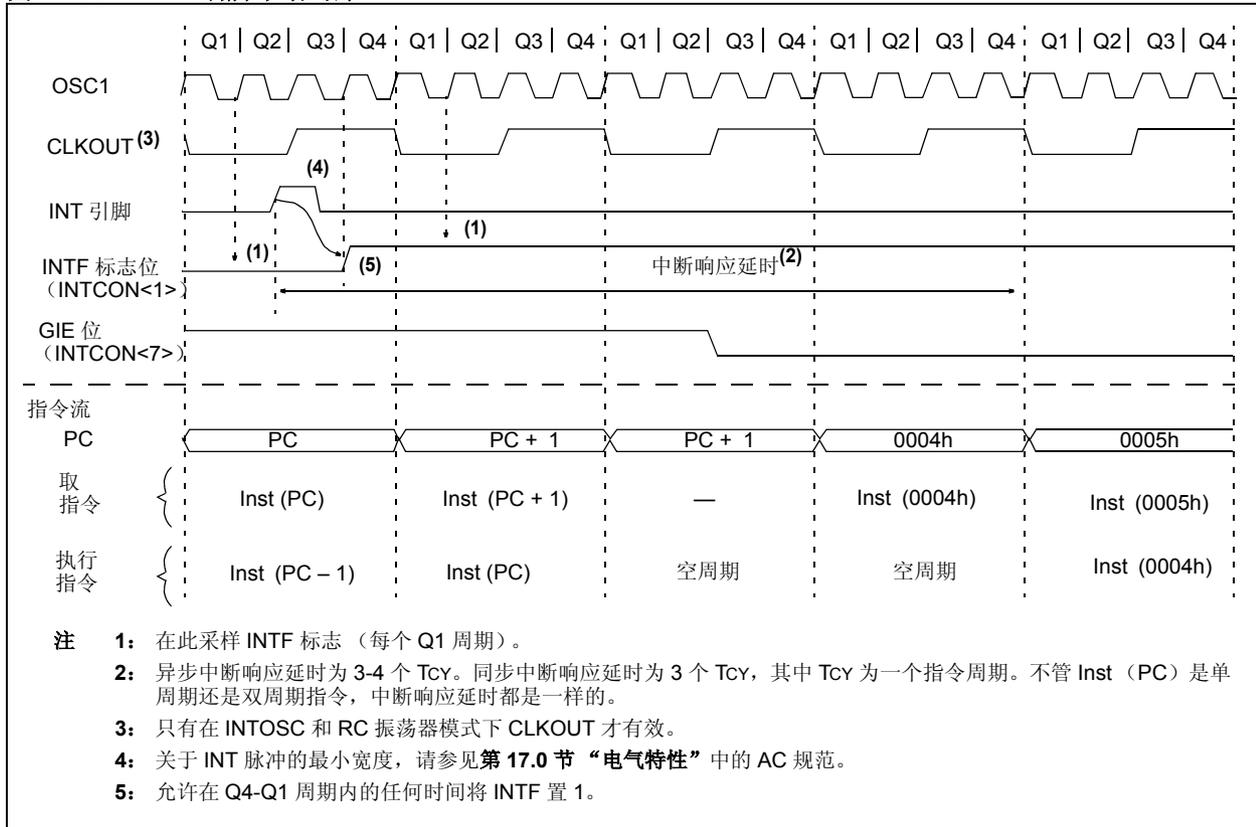


表 14-6: 中断寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
INTCON	GIE	PEIE	T0IE	INTE	RABIE	T0IF	INTF	RABIF	0000 000x	0000 000x
PIE1	—	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 0000
PIE2	OSFIE	C2IE	C1IE	EEIE	—	—	—	—	0000 ----	0000 ----
PIR1	—	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	-000 0000	-000 0000
PIR2	OSFIF	C2IF	C1IF	EEIF	—	—	—	—	0000 ----	0000 ----

图注: x = 未知, u = 不变, - = 未实现读为 0, q = 取值视具体情况而定。中断模块不使用阴影单元。

14.4 中断的现场保护

在中断期间，仅将返回的 PC 值压入堆栈。通常情况下，用户可能希望在中断期间保存关键寄存器（例如，W 寄存器和状态寄存器）。这必须用软件实现。

由于在 PIC16F631/677/685/687/689/690 中，每个存储区的低 16 字节都是公用的（见图 2-2 和 2-3），临时保存寄存器 W_TEMP 和 STATUS_TEMP 都应该放在这里。这 16 个存储单元不需要分区，因此便于现场保护和恢复。与例 14-1 中相同的代码可被用于：

- 保存 W 寄存器
- 保存状态寄存器
- 执行 ISR 代码
- 恢复状态寄存器（和存储区选择位寄存器）
- 恢复 W 寄存器

注： PIC16F631/677/685/687/689/690 通常不需要保存 PCLATH。但是，如果要在 ISR 和主程序中使用计算 GOTO，就必须在 ISR 中保存和恢复 PCLATH。

例 14-1： 将状态寄存器和 W 寄存器保存在 RAM 中

```
MOVWF W_TEMP           ;Copy W to TEMP register
SWAPF STATUS,W         ;Swap status to be saved into W
CLRF STATUS            ;bank 0, regardless of current bank, Clears IRP,RP1,RP0
MOVWF STATUS_TEMP     ;Save status to bank zero STATUS_TEMP register
:
:(ISR)                 ;Insert user code here
:
SWAPF STATUS_TEMP,W   ;Swap STATUS_TEMP register into W
                       ;(sets bank to original state)
MOVWF STATUS          ;Move W into STATUS register
SWAPF W_TEMP,F        ;Swap W_TEMP
SWAPF W_TEMP,W        ;Swap W_TEMP into W
```

PIC16F631/677/685/687/689/690

14.5 看门狗定时器 (WDT)

WDT 具有以下特性:

- 工作于 LFINTOSC (31 kHz)
- 包含 16 位预分频器
- 与 Timer0 共用 8 位预分频器
- 超时周期从 1 ms 至 268 秒
- 配置位和使用软件控制

WDT 在如表 14-7 所述的情况下清零。

14.5.1 WDT 振荡器

WDT 的时基来源于 31 kHz LFINTOSC。OSCCON 寄存器的 LTS 位不反映 LFINTOSC 是否被使能。

在所有复位时 WDTCON 的值为 “---0 1000”。这样标称时基为 17 ms。

注: 当执行振荡器起振定时器 (OST) 时, WDT 保持复位状态, 因为 OST 使用 WDT 纹波计数器来执行振荡器延时计数。OST 计数到期后, WDT 将开始计数 (如果使能)。

14.5.2 WDT 控制

WDTE 位在配置字寄存器中。该位置 1 时, WDT 连续运行。

配置字寄存器中的 WDTE 位置 1 时, WDTCON 寄存器中的 SWDTEN 位不起作用。如果 WDTE 清零, 那么 SWDTEN 位可用于使能和禁止 WDT。该位置 1 使能 WDT, 该位清零禁止 WDT。

OPTION 寄存器的 PSA 和 PS<2:0> 位功能与与 PIC16F631/677/685/687/689/690 系列单片机的早期版本相同。更多信息请参见第 5.0 节 “Timer0 模块”。

图 14-9: 看门狗定时器框图

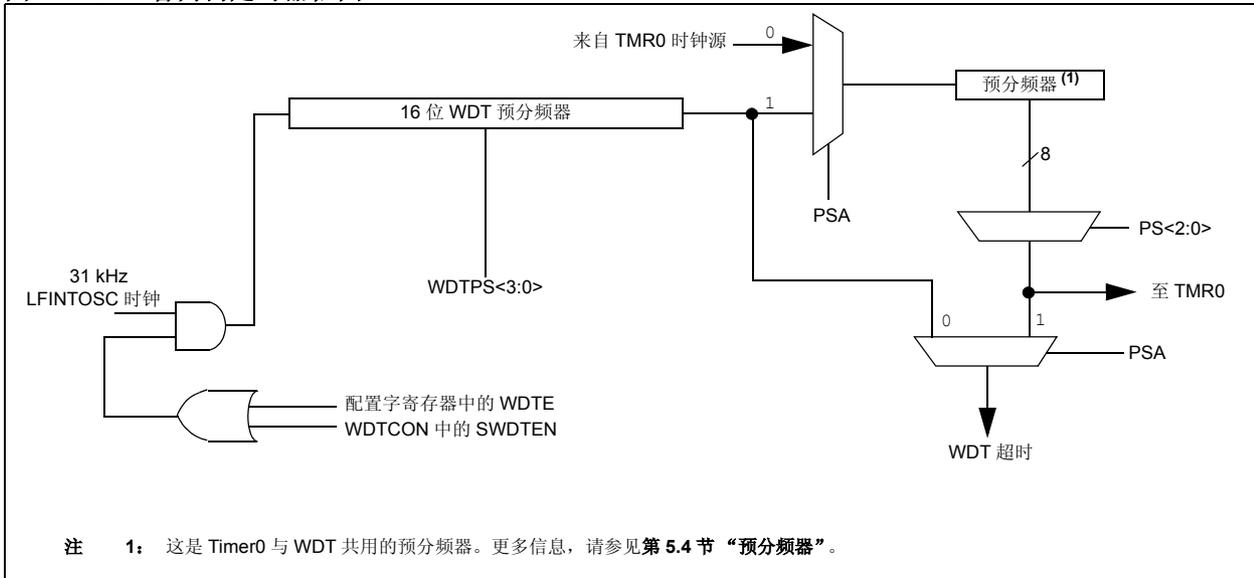


表 14-7: WDT 状态

条件	WDT
WDTE = 0	清零
CLRWDT 指令	
检测到振荡器故障	
退出休眠 + 系统时钟 = T1OSC、EXTRC、INTOSC 或 EXTCLK	
退出休眠 + 系统时钟 = XT、HS 或 LP	清零直到 OST 结束

PIC16F631/677/685/687/689/690

寄存器 14-2: WDTCON: 看门狗定时器控制寄存器

U-0	U-0	U-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN ⁽¹⁾
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 7-5 **未实现:** 读为 0
 bit 4-1 **WDTPS<3:0>:** 看门狗定时器周期选择位
 位值 = 预分频比
 0000 = 1:32
 0001 = 1:64
 0010 = 1:128
 0011 = 1:256
 0100 = 1:512 (复位值)
 0101 = 1:1024
 0110 = 1:2048
 0111 = 1:4096
 1000 = 1:8192
 1001 = 1:16384
 1010 = 1:32768
 1011 = 1:65536
 1100 = 保留
 1101 = 保留
 1110 = 保留
 1111 = 保留
 bit 0 **SWDTEN:** 软件使能或禁止看门狗定时器位⁽¹⁾
 1 = WDT 开启
 0 = WDT 关闭 (复位值)

注 1: 如果 WDTE 配置位 = 1, 则 WDT 始终被使能, 而与该控制位的状态无关。如果 WDTE 配置位 = 0, 则可以使用该控制位开启 / 关闭 WDT。

表 14-8: 看门狗定时器寄存器汇总

名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR 和 BOR 时的值	所有其他复位值
CONFIG ⁽¹⁾	CPD	CP	MCLRE	PWRTE	WDTE	FOSC2	FOSC1	FOSC0	—	—
OPTION_REG	RABPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
WDTCON	—	—	—	WDTPS3	WDTPS2	WSTPS1	WDTPS0	SWDTEN	---0 1000	---0 1000

图注: 看门狗定时器不使用阴影单元。

注 1: 关于配置字寄存器中所有位的操作, 请参见寄存器 14-1。

14.6 掉电模式（休眠）

通过执行 SLEEP 指令可进入掉电模式。

如果使能看门狗定时器：

- WDT 将被清零并保持运行。
- 状态寄存器中的 \overline{PD} 位被清零。
- \overline{TO} 位被置 1。
- 关闭振荡器驱动器。
- I/O 端口保持执行 SLEEP 指令之前的状态（驱动为高电平、低电平或高阻状态）。

为使这种模式下的电流消耗降至最低，所有 I/O 引脚都应保持为 VDD 或 VSS，以确保没有外部电路从 I/O 引脚消耗电流，同时应禁止比较器和 CVREF。为了避免输入引脚悬空而引入开关电流，应在外部将高阻输入的 I/O 引脚拉为高电平或低电平。为使电流消耗降至最低，T0CKI 输入也应保持为 VDD 或 VSS。还应考虑 PORTA 片上上拉的影响。

MCLR 引脚必须处于逻辑高电平。

注： 应该注意到 WDT 超时导致的复位并不会将 MCLR 引脚驱动为低电平。

14.6.1 从休眠状态唤醒

可以通过以下任一事件将器件从休眠状态唤醒：

1. MCLR 引脚上的外部复位输入。
2. 看门狗定时器唤醒（如果 WDT 使能）。
3. RA2/INT 引脚中断、PORTA 电平变化中断或外设中断。

第一种事件会导致器件复位。后两种事件被认为是程序执行的继续。状态寄存器中的 \overline{TO} 和 \overline{PD} 位用于确定器件复位的原因。 \overline{PD} 位在上电时被置 1，而在执行 SLEEP 指令时被清零。 \overline{TO} 位在发生 WDT 唤醒时被清零。

下列外设中断可以将器件从休眠状态唤醒：

1. TMR1 中断。Timer1 必须用作异步计数器。
2. ECCP 捕捉模式中断。
3. A/D 转换（当 A/D 时钟源为 FRC 时）。
4. EEPROM 写操作完成。
5. 比较器输出状态变化。
6. 电平变化中断。
7. 来自 INT 引脚的外部中断。
8. EUSART 间隔检测，I²C 从动。

由于在休眠期间没有片上时钟处于工作状态，因此其他外设不能产生中断。

当执行 SLEEP 指令时，下一条指令（PC + 1）将预先取出。如果希望通过中断事件唤醒器件，则必须将相应的中断允许位置 1（使能）。发生唤醒与 GIE 位的状态无关。如果 GIE 位被清零（禁止），器件将继续执行 SLEEP 指令之后的指令。如果 GIE 位被置 1（使能），器件执行 SLEEP 指令之后的指令，然后跳转到中断地址（0004h）处执行代码。如果不希望执行 SLEEP 指令之后的指令，用户应该在 SLEEP 指令后面放置一条 NOP 指令。

注： 如果禁止了全局中断（GIE 被清零），但有任何一中断源将其中断允许位以及相应的中断标志位置 1，器件将立即从休眠状态唤醒。SLEEP 指令执行完成。

器件从休眠状态唤醒时，WDT 都将被清零，而与唤醒原因无关。

14.6.2 使用中断唤醒

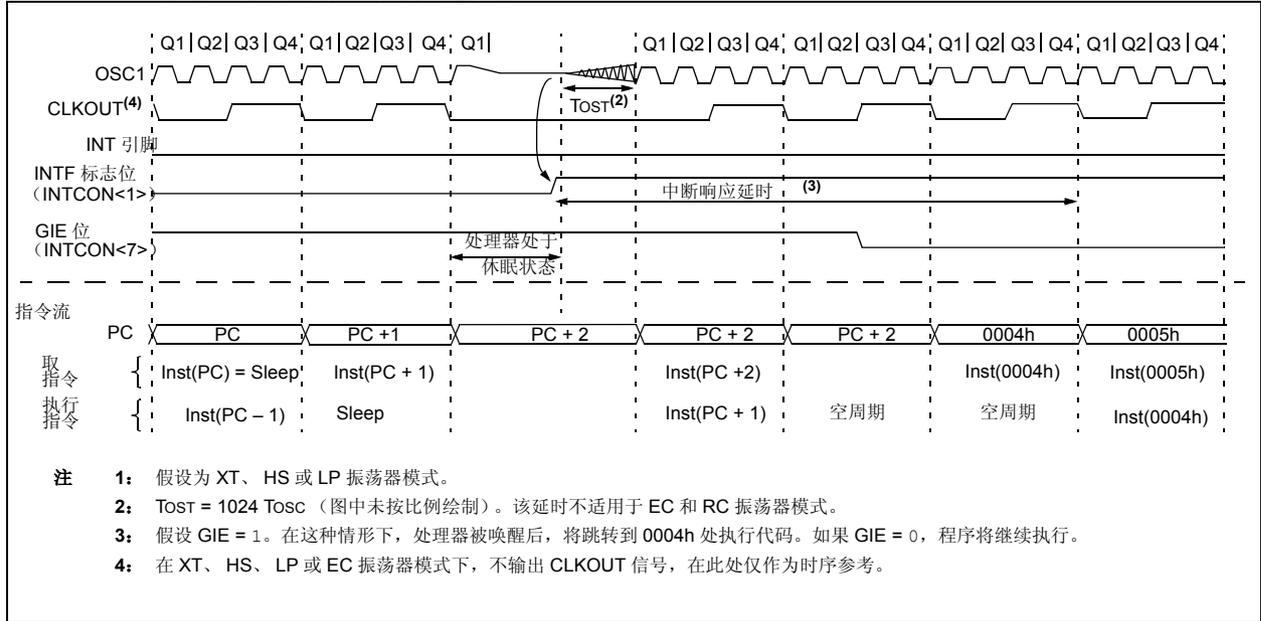
当禁止全局中断（GIE 被清零）时，并且有任何一中断源将其中断允许位和中断标志位置 1，将会发生下列事件之一：

- 如果在执行 SLEEP 之前产生了中断，那么 SLEEP 指令将被作为一条 NOP 指令执行。因此，WDT 及其预分频器和后分频器（如果使能）将不会被清零，并且 \overline{TO} 位将不会被置 1，同时 \overline{PD} 位也不会被清零。
- 如果在执行 SLEEP 指令期间或之后产生了中断，那么器件将被立即从休眠状态唤醒。SLEEP 指令将在唤醒之前执行完毕。因此，WDT 及其预分频器和后分频器（如果使能）将被清零，并且 \overline{TO} 位将被置 1，同时 \overline{PD} 位也将被清零。

即使在执行 SLEEP 指令之前，检查到标志位为 0，它也可能在 SLEEP 指令执行完毕之前被置 1。要确定是否执行了 SLEEP 指令，可测试 \overline{PD} 位。如果 \overline{PD} 位置 1，则说明 SLEEP 指令被当作一条 NOP 指令执行了。

在执行 SLEEP 指令之前，必须先执行一条 CLRWDT 指令，来确保将 WDT 清零。

图 14-10: 通过中断将器件从休眠状态唤醒



14.7 代码保护

如果代码保护位未编程, 验证时可以通过使用 ICSP™ 将片上程序存储器读出。

注: 当关闭代码保护功能时, 将擦除整个数据 EEPROM 和闪存程序存储器的内容。更多信息, 请参见“PIC12F6XX/16F6XX Memory Programming Specification” (DS41204)。

14.8 ID 地址单元

有 4 个存储器单元 (2000h - 2003h) 被指定为 ID 地址单元, 供用户存储校验和或其他代码标识号。在正常执行过程中不能访问这些单元, 但可在编程 / 校验模式下对它们进行读写。只使用了 ID 地址单元的低 7 位。

14.9 在线串行编程

可在最终应用电路中对 PIC16F631/677/685/687/689/690 单片机进行串行编程。编程可以简单地通过一根时钟线、一根数据线和另外三根线 (如下) 完成:

- 电源线
- 接地线
- 编程电压线

这允许用户使用未编程器件制造电路板, 而仅在产品交付前才对单片机进行编程。这样还使最新固件或定制固件得以编程到器件中。

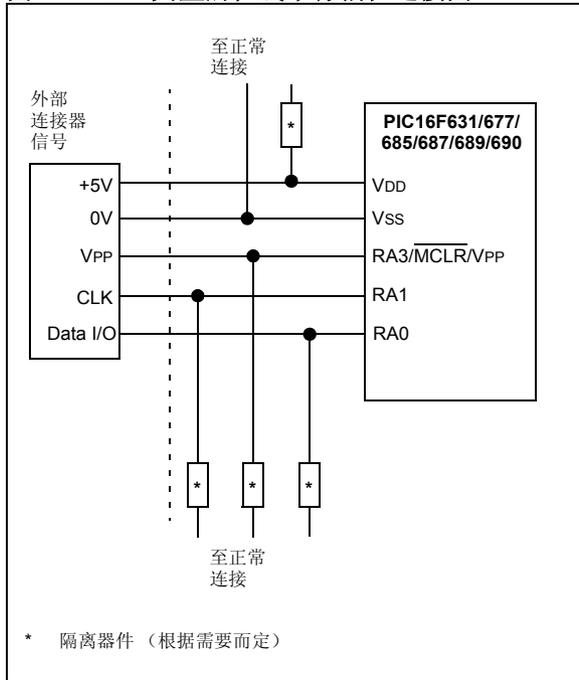
通过将 RA0/AN0/C11N+/ICSPDAT/ULPWU 和 RA1/AN1/C12IN-/VREF/ICSPCLK 引脚保持为低电平, 并同时为 MCLR (VPP) 引脚电平从 V_{IL} 升到 V_{IH} , 可将器件置于编程 / 校验模式。更多信息, 请参见“PIC12F6XX/16F6XX Memory Programming Specification” (DS41204)。RA0 变成编程数据引脚, 而 RA1 变成编程时钟引脚。在此模式下, RA0 和 RA1 均为施密特触发器输入引脚。

复位后, 为将器件置于编程 / 校验模式, 程序计数器 (PC) 指向地址单元 00h。然后向器件发送一条 6 位命令。根据具体命令是执行装载还是读取操作, 可向器件提供一个 14 位的程序数据或是从器件取一个 14 位的程序数据。关于串行编程的完整细节, 请参见“PIC12F6XX/16F6XX Memory Programming Specification” (DS41204)。

图 14-11 给出了典型的在线串行编程连接图。

PIC16F631/677/685/687/689/690

图 14-11: 典型的在线串行编程连接图



15.0 指令集汇总

PIC16F631/677/685/687/689/690 指令集具有高度正交性，由以下三种基本类型的指令组成：

- 字节操作类指令
- 位操作类指令
- 立即数和控制操作类指令

每一条 PIC16 指令字长是 14 位，由说明指令类型的操作码和进一步说明指令具体操作的一个或多个操作数组成。图 15-1 给出了上述各种类型的指令格式，表 15-1 给出了不同操作码字段的说明。

表 15-1 列出了 MPASM™ 汇编器可识别的指令。

对于字节操作类指令，“f”表示文件寄存器标识符，“d”表示目标寄存器标识符。文件寄存器标识符指定了指令使用的文件寄存器。

目标标识符指定了操作结果的存放位置。如果“d”为 0，操作结果存入 W 寄存器。如果“d”为 1，操作结果存入指令指定的文件寄存器。

对于位操作类指令，“b”表示位段标识符，它可选择受到操作影响的位，而“f”表示该位所处的文件寄存器地址。

对于立即数和控制操作类指令，“k”表示一个 8 位或 11 位的常数或立即数。

每个指令周期由 4 个振荡器周期组成；因此，对于频率为 4 MHz 的振荡器，正常的指令执行时间为 1 μs。除非条件测试为真或指令的结果改变了程序计数器的值，所有的指令在一个指令周期内执行完成。如果条件测试为真或指令的结果改变了程序计数器的值，指令执行需要两个指令周期，在第二个周期内执行一条 NOP 指令。

注： 为了与未来产品向上兼容，请不要使用 OPTION 和 TRIS 指令。

所有指令示例均使用“0xhh”来表示一个十六进制数，其中“h”表示一个十六进制数。

15.1 读—修改—写操作

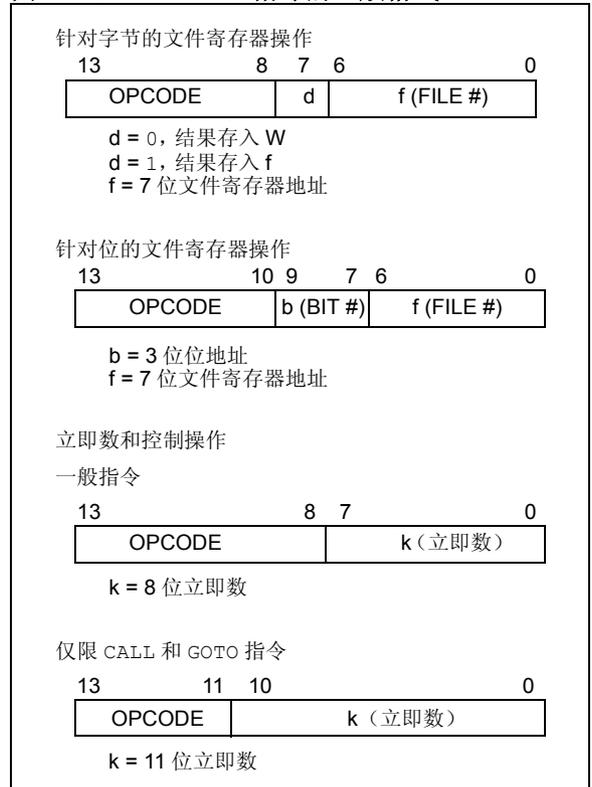
任何一个将文件寄存器指定为指令的一部分的指令都进行读—修改—写（RMW）操作。读寄存器、修改数据并根据指令或目标标识符“d”存储结果。即使指令写入该寄存器，还是会发生对寄存器的读操作。

例如，CLRF PORTA 指令将读取 PORTA，清除所有数据位，然后把结果写回到 PORTA。这个示例中会产生意外后果，即清除将 RABIF 标志位置 1 的条件。

表 15-1: 操作码字段说明

字段	说明
f	寄存器文件地址（0x00 至 0x7F）
w	工作寄存器（累加器）
b	8 位文件寄存器内的位地址
k	立即数、常数或标号
x	无关位（=0 或 1）。 汇编器将在 x=0 时生成代码。建议使用这种形式，以便与所有 Microchip 软件工具兼容。
d	目标寄存器选择；d = 0：结果存入 W， d = 1：结果存入文件寄存器 f。 缺省值 d = 1。
PC	程序计数器
TO	超时标志位
C	进位位
DC	半进位位
Z	零标志位
PD	掉电标志位

图 15-1: 指令的一般格式



PIC16F631/677/685/687/689/690

表 15-2: PIC16F684 指令集

助记符, 操作数	说明	周期	14 位操作码				影响的 状态位	注释	
			MSb		LSb				
针对字节的文件寄存器操作									
ADDWF	f, d	W 与 f 相加	1	00	0111	dfff	ffff	C, DC, Z	1, 2
ANDWF	f, d	W 与 f 相与	1	00	0101	dfff	ffff	Z	1, 2
CLRF	f	将 f 清零	1	00	0001	1fff	ffff	Z	2
CLRWF	—	将 W 清零	1	00	0001	0xxx	xxxx	Z	
COMF	f, d	求 f 的补码	1	00	1001	dfff	ffff	Z	1, 2
DECF	f, d	f 减 1 操作	1	00	0011	dfff	ffff	Z	1, 2
DECFSZ	f, d	f 减 1 操作, 若为 0 则跳过	1(2)	00	1011	dfff	ffff		1, 2, 3
INCF	f, d	f 加 1 操作	1	00	1010	dfff	ffff	Z	1, 2
INCFSZ	f, d	f 加 1 操作, 若为 0 则跳过	1(2)	00	1111	dfff	ffff		1, 2, 3
IORWF	f, d	W 与 f 同或	1	00	0100	dfff	ffff	Z	1, 2
MOVF	f, d	传送 f	1	00	1000	dfff	ffff	Z	1, 2
MOVWF	f	将 W 送至 f	1	00	0000	1fff	ffff		
NOP	—	空操作	1	00	0000	0xx0	0000		
RLF	f, d	f 寄存器带进位位左循环	1	00	1101	dfff	ffff	C	1, 2
RRF	f, d	f 寄存器带进位位右循环	1	00	1100	dfff	ffff	C	1, 2
SUBWF	f, d	f 减 W	1	00	0010	dfff	ffff	C, DC, Z	1, 2
SWAPF	f, d	f 半字节交换	1	00	1110	dfff	ffff		1, 2
XORWF	f, d	W 与 f 异或	1	00	0110	dfff	ffff	Z	1, 2
针对位的文件寄存器操作									
BCF	f, b	将 f 位清零	1	01	00bb	bfff	ffff		1, 2
BSF	f, b	将 f 位置 1	1	01	01bb	bfff	ffff		1, 2
BTFSC	f, b	测试 f 位, 若为 0 则跳过	1 (2)	01	10bb	bfff	ffff		3
BTFSS	f, b	测试 f 位, 若为 1 则跳过	1 (2)	01	11bb	bfff	ffff		3
立即数和控制操作									
ADDLW	k	立即数与 W 相加	1	11	111x	kkkk	kkkk	C, DC, Z	
ANDLW	k	立即数与 W 相与	1	11	1001	kkkk	kkkk	Z	
CALL	k	调用子程序	2	10	0kkk	kkkk	kkkk		
CLRWD _T	—	清零看门狗定时器	1	00	0000	0110	0100	\overline{TO} , \overline{PD}	
GOTO	k	转移	2	10	1kkk	kkkk	kkkk		
IORLW	k	立即数与 W 同或	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	立即数移至 W	1	11	00xx	kkkk	kkkk		
RETFIE	—	中断返回	2	00	0000	0000	1001		
RETLW	k	立即数送到 W 中返回	2	11	01xx	kkkk	kkkk		
RETURN	—	从子程序返回	2	00	0000	0000	1000		
SLEEP	—	进入待机模式	1	00	0000	0110	0011	\overline{TO} , \overline{PD}	
SUBLW	k	立即数减 W	1	11	110x	kkkk	kkkk	C, DC, Z	
XORLW	k	立即数与 W 异或	1	11	1010	kkkk	kkkk	Z	

- 注 1: 当 I/O 寄存器作为其自身的函数被修改时 (例如, MOVF GPIO, 1), 所使用的值是引脚的当前值。例如, 如果在配置为输入的引脚上, 数据锁存值为 1, 并被外部器件驱动为低电平, 那么被写回的数据值将为 0。
- 2: 如果指令在 TMR0 寄存器上执行 (且适当时 d = 1), 分配给 Timer0 模块的预分频器将被清零。
- 3: 如果程序计数器 (PC) 被修改或条件测试为真, 则指令的执行需要两个周期。第二个周期执行一条 NOP 指令。

15.2 指令说明

ADDLW 立即数与 W 相加

语法: [标号] ADDLW k
 操作数: $0 \leq k \leq 255$
 操作: $(W) + k \rightarrow (W)$
 影响的状态位: C, DC, Z
 说明: 将 W 寄存器的内容与 8 位立即数 k 相加, 结果存入 W 寄存器。

ADDWF W 与 f 相加

语法: [标号] ADDWF f,d
 操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
 操作: $(W) + (f) \rightarrow (\text{目标寄存器})$
 影响的状态位: C, DC, Z
 说明: 将 W 寄存器与 f 寄存器的内容相加。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

ANDLW 立即数与 W 相与

语法: [标号] ANDLW k
 操作数: $0 \leq k \leq 255$
 操作: $((W) .AND. (k)) \rightarrow (W)$
 影响的状态位: Z
 说明: 将 W 寄存器的内容与 8 位立即数 k 相与。结果存入 W 寄存器。

ANDWF W 与 f 相与

语法: [标号] ANDWF f,d
 操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
 操作: $(W) .AND. (f) \rightarrow (\text{目标寄存器})$
 影响的状态位: Z
 说明: 将 W 寄存器与 f 寄存器的内容相与。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

BCF 将 f 位清零

语法: [标号] BCF f,b
 操作数: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 操作: $0 \rightarrow (f)$
 影响的状态位: 无
 说明: f 寄存器的第 b 位被清零。

BSF 将 f 位置 1

语法: [标号] BSF f,b
 操作数: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 操作: $1 \rightarrow (f)$
 影响的状态位: 无
 说明: f 寄存器的第 b 位被置 1。

BTFSC 测试 f 位, 若为 0 则跳过

语法: [标号] BTFSC f,b
 操作数: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 操作: 如果 $(f) = 0$, 则跳过
 影响的状态位: 无
 说明: 如果 f 寄存器的第 b 位为 1, 则执行下一条指令。
 如果 f 寄存器的第 b 位为 0, 则放弃下一条指令, 代之执行一条 NOP 指令, 使之成为一条双周期指令。

PIC16F631/677/685/687/689/690

BTFSS	测试 f 位, 若为 1 则跳过
语法:	[标号] BTFSS f,b
操作数:	$0 \leq f \leq 127$ $0 \leq b < 7$
操作:	如果 $(f < b) = 1$, 则跳过
影响的状态位:	无
说明:	如果 f 寄存器的第 b 位为 0, 则执行下一条指令。 如果 f 寄存器的第 b 位为 1, 则放弃下一条指令, 代之执行一条 NOP 指令, 使之成为一条双周期指令。

CALL	调用子程序
语法:	[标号] CALL k
操作数:	$0 \leq k \leq 2047$
操作:	$(PC)+1 \rightarrow TOS$, $k \rightarrow PC < 10:0 >$, $(PCLATH < 4:3 >) \rightarrow PC < 12:11 >$
影响的状态位:	无
说明:	调用子程序。首先, 返回的地址值 $(PC+1)$ 被压入堆栈。11 位直接寻址值被载入 PC 的 $< 10:0 >$ 位。PC 的高位值从 PCLATH 载入。CALL 是一条双周期指令。

CLRF	将 f 清零
语法:	[标号] CLRF f
操作数:	$0 \leq f \leq 127$
操作:	$00h \rightarrow (f)$ $1 \rightarrow Z$
影响的状态位:	Z
说明:	f 寄存器的内容被清零, 并且 Z 位被置 1。

CLRW	将 W 清零
语法:	[标号] CLRW
操作数:	无
操作:	$00h \rightarrow (W)$ $1 \rightarrow Z$
影响的状态位:	Z
说明:	W 寄存器清零。零标志位 (Z) 被置 1。

CLRWDT	清零看门狗定时器
语法:	[标号] CLRWDT
操作数:	无
操作:	$00h \rightarrow WDT$ $0 \rightarrow \overline{WDT}$ 预分频器, $1 \rightarrow \overline{TO}$ $1 \rightarrow \overline{PD}$
影响的状态位:	\overline{TO} , \overline{PD}
说明:	CLRWDT 指令将看门狗定时器复位, 同时将 WDT 的预分频器复位。 状态位 \overline{TO} 和 \overline{PD} 都被置 1。

COMF	求 f 的补码
语法:	[标号] COMF f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	$(\bar{f}) \rightarrow (\text{目标寄存器})$
影响的状态位:	Z
说明:	对 f 寄存器的内容求补。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

DECF	f 减 1 操作
语法:	[标号] DECF f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	$(f) - 1 \rightarrow (\text{目标寄存器})$
影响的状态位:	Z
说明:	对 f 寄存器的内容进行减 1 操作。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

PIC16F631/677/685/687/689/690

DECFSZ **f 减 1 操作, 若为 0 则跳过**

语法: [标号] DECFSZ f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(f) - 1 \rightarrow$ (目标寄存器)
 如果结果 = 0 则跳过
影响的状态位: 无
说明: 对 f 寄存器的内容进行减 1 操作。
 如果 d 为 0, 结果存入 W 寄存器。
 如果 d 为 1, 结果存回 f 寄存器。
 如果结果为 1, 执行下一条指令。
 如果结果为 0, 代之执行一条 NOP
 指令, 使之成为一条双周期指令。

INCFSZ **f 加 1 操作, 若为 0 则跳过**

语法: [标号] INCFSZ f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(f) + 1 \rightarrow$ (目标寄存器),
 如果结果 = 0 则跳过
影响的状态位: 无
说明: 对 f 寄存器的内容进行加 1 操作。
 如果 d 为 0, 结果存入 W 寄存器。
 如果 d 为 1, 结果存回 f 寄存器。
 如果结果为 1, 执行下一条指令。
 如果结果为 0, 代之执行一条 NOP
 指令, 使之成为一条双周期指令。

GOTO **无条件转移**

语法: [标号] GOTO k
操作数: $0 \leq k \leq 2047$
操作: $k \rightarrow PC<10:0>$
 $PCLATH<4:3> \rightarrow PC<12:11>$
影响的状态位: 无
说明: GOTO 是一条无条件转移指令。11
 位立即值被载入 PC 的 <10:0>
 位。PC 的高位从 PCLATH<4:3>
 载入。GOTO 是一条双周期指令。

IORLW **立即数与 W 同或**

语法: [标号] IORLW k
操作数: $0 \leq k \leq 255$
操作: $(W) .OR. k \rightarrow (W)$
影响的状态位: Z
说明: W 寄存器的内容与 8 位立即数 k
 进行同或运算。结果存入 W 寄存
 器。

INCF **f 加 1 操作**

语法: [标号] INCF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(f) + 1 \rightarrow$ (目标寄存器)
影响的状态位: Z
说明: 对 f 寄存器的内容进行加 1 操作。
 如果 d 为 0, 结果存入 W 寄存
 器。如果 d 为 1, 结果存回 f 寄存
 器。

IORWF **W 与 f 同或**

语法: [标号] IORWF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(W) .OR. (f) \rightarrow$ (目标寄存器)
影响的状态位: Z
说明: W 寄存器与 f 寄存器的内容进行同
 或运算。如果 d 为 0, 结果存入
 W 寄存器。如果 d 为 1, 结果存
 回 f 寄存器。

PIC16F631/677/685/687/689/690

MOVF	传送 f
语法:	[标号] MOVF f,d
操作数:	$0 \leq f \leq 127$ $d \in [0,1]$
操作:	(f) → (目标寄存器)
影响的状态位:	Z
说明:	根据 d 的状态, f 寄存器的内容被传送到目标寄存器。如果 d = 0, 目标寄存器为 W 寄存器。如果 d = 1, 目标寄存器为文件寄存器 f 本身。由于状态标志位 Z 要受影响, 可用 d = 1 对文件寄存器进行检测。
字:	1
周期:	1
示例	MOVF FSR, 0 指令执行后 W = FSR 寄存器的 值 Z = 1

MOVLW	立即数移至 W
语法:	[标号] MOVLW k
操作数:	$0 \leq k \leq 255$
操作:	k → (W)
影响的状态位:	无
说明:	将 8 位立即数 k 载入 W 寄存器。其余无关位均为 0。
字:	1
周期:	1
示例	MOVLW 0x5A 指令执行后 W = 0x5A

MOVWF	将 W 送至 f
语法:	[标号] MOVWF f
操作数:	$0 \leq f \leq 127$
操作:	(W) → (f)
影响的状态位:	无
说明:	将 W 寄存器的数据送入 f 寄存器。
字:	1
周期:	1
示例	MOVW OPTION F 指令执行前 OPTION = 0xFF W = 0x4F 指令执行后 OPTION = 0x4F W = 0x4F

NOP	空操作
语法:	[标号] NOP
操作数:	无
操作:	空操作
影响的状态位:	无
说明:	空操作。
字:	1
周期:	1
示例	NOP

PIC16F631/677/685/687/689/690

RETFIE	中断返回
语法:	[标号] RETFIE
操作数:	无
操作:	TOS → PC, 1 → GIE
影响的状态位:	无
说明:	从中断返回。进行出栈操作, 栈顶 (TOS) 载入 PC。通过设置全局中断允许位 GIE (INTCON<7>), 允许中断。这是一条双周期指令。
字:	1
周期:	2
示例	<pre>RETFIE 中断后 PC = TOS GIE = 1</pre>

RETLW	立即数送到 W 中返回
语法:	[标号] RETLW k
操作数:	$0 \leq k \leq 255$
操作:	$k \rightarrow (W)$, TOS → PC
影响的状态位:	无
说明:	W 寄存器装入 8 位立即数 k。堆栈的栈顶地址 (返回地址) 载入程序计数器。这是一条双周期指令。
字:	1
周期:	2
示例	<pre>CALL TABLE;W contains ;table ;offset value TABLE ;W now has • ;table value • • ADDWF PC;W = offset RETLW k1;Begin table RETLW k2; • • • RETLW kn ;End of table 中断前 W = 0x07 中断后 W = value of k8</pre>

RETURN	从子程序返回
语法:	[标号] RETURN
操作数:	无
操作:	TOS → PC
影响的状态位:	无
说明:	从子程序返回。进行出栈操作, 栈顶 (TOS) 载入程序计数器。这是一条双周期指令。

PIC16F631/677/685/687/689/690

RLF 寄存器带进位位左循环

语法: [标号] RLF f,d
 操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
 操作: 见如下说明
 影响的状态位: C
 说明: f 寄存器的内容带进位标志位向左循环一位。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。



字: 1
 周期: 1
 示例: RLF REG1,0

中断前
 REG1 = 1110 0110
 C = 0
 中断后
 REG1 = 1110 0110
 W = 1100 1100
 C = 1

RRF f 寄存器带进位位右循环

语法: [标号] RRF f,d
 操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
 操作: 见如下说明
 影响的状态位: C
 说明: f 寄存器的内容带进位标志位向右循环一位。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。



SLEEP 进入休眠模式

语法: [标号] SLEEP
 操作数: 无
 操作: 00h → WDT,
 0 → WDT 预分频器,
 1 → \overline{TO} ,
 0 → \overline{PD}
 影响的状态位: \overline{TO} , \overline{PD}
 说明: 掉电状态位 \overline{PD} 被清零。超时状态位 \overline{TO} 被置 1。看门狗定时器及其预分频器被清零。振荡器停止工作, 处理器进入休眠模式。

SUBLW 立即数减 W

语法: [标号] SUBLW k
 操作数: $0 \leq k \leq 255$
 操作: $k - (W) \rightarrow (W)$
 影响的状态位: C, DC, Z
 说明: 8 位立即数 k 减去 W 寄存器的内容 (二进制补码)。结果存入 W 寄存器。

C = 0	$W > k$
C = 1	$W \leq k$
DC = 0	$W\langle 3:0 \rangle > k\langle 3:0 \rangle$
DC = 1	$W\langle 3:0 \rangle \leq k\langle 3:0 \rangle$

PIC16F631/677/685/687/689/690

SUBWF **f 减 W**

语法: [标号] SUBWF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(f) - (W) \rightarrow (\text{目标寄存器})$
影响的状态位: C, DC, Z
说明: f 寄存器内容减去 W 寄存器 (二进制补码)。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

C = 0	$W > f$
C = 1	$W \leq f$
DC = 0	$W\langle 3:0 \rangle > f\langle 3:0 \rangle$
DC = 1	$W\langle 3:0 \rangle \leq f\langle 3:0 \rangle$

SWAPF **f 半字节交换**

语法: [标号] SWAPF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(f\langle 3:0 \rangle) \rightarrow (\text{目标寄存器} \langle 7:4 \rangle)$,
 $(f\langle 7:4 \rangle) \rightarrow (\text{目标寄存器} \langle 3:0 \rangle)$
影响的状态位: 无
说明: f 寄存器的高半字节和低半字节相互交换。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

XORLW **立即数与 W 异或**

语法: [标号] XORLW k
操作数: $0 \leq k \leq 255$
操作: $(W) .XOR. k \rightarrow (W)$
影响的状态位: Z
说明: W 寄存器的内容与 8 位立即数 k 进行异或运算。结果存入 W 寄存器。

XORWF **W 与 f 异或**

语法: [标号] XORWF f,d
操作数: $0 \leq f \leq 127$
 $d \in [0,1]$
操作: $(W) .XOR. (f) \rightarrow (\text{目标寄存器})$
影响的状态位: Z
说明: W 寄存器与 f 寄存器的内容进行异或运算。如果 d 为 0, 结果存入 W 寄存器。如果 d 为 1, 结果存回 f 寄存器。

PIC16F631/677/685/687/689/690

注:

16.0 开发支持

一系列硬件及软件开发工具对 PIC® 单片机提供支持：

- 集成开发环境
 - MPLAB® IDE 软件
- 汇编器 / 编译器 / 链接器
 - MPASM™ 汇编器
 - MPLAB C18 和 MPLAB C30 C 编译器
 - MPLINK™ 目标链接器 / MPLIB™ 目标库管理器
 - MPLAB ASM30 汇编器 / 链接器 / 库
- 模拟器
 - MPLAB SIM 软件模拟器
- 仿真器
 - MPLAB ICE 2000 在线仿真器
 - MPLAB REAL ICE™ 在线仿真器
- 在线调试器
 - MPLAB ICD 2
- 器件编程器
 - PICSTART® Plus 开发编程器
 - MPLAB PM3 器件编程器
 - PICKit™ 2 开发编程器
- 低成本演示和开发板及评估工具包

16.1 MPLAB 集成开发环境软件

MPLAB IDE 软件为 8/16 位单片机市场提供了前所未有的易于使用的软件开发平台。MPLAB IDE 是基于 Windows® 操作系统的应用软件，包括：

- 一个包含所有调试工具的图形界面
 - 模拟器
 - 编程器（单独销售）
 - 仿真器（单独销售）
 - 在线调试器（单独销售）
- 具有彩色上下文代码显示的全功能编辑器
- 多项目管理器
- 内容可直接编辑的可定制式数据窗口
- 高级源代码调试
- 可视化器件初始化程序，便于进行寄存器的初始化
- 鼠标停留在变量上进行查看的功能
- 通过拖放把变量从源代码窗口拉到观察窗口
- 丰富的在线帮助
- 集成了可选的第三方工具，如 HI-TECH 软件 C 编译器和 IAR C 编译器

MPLAB IDE 可以让您：

- 编辑源文件（汇编语言或 C 语言）
- 点击一次即可完成汇编（或编译）并将代码下载到 PIC MCU 仿真器和模拟器工具中（自动更新所有项目信息）
- 可使用如下各项进行调试：
 - 源文件（汇编语言或 C 语言）
 - 混合汇编语言和 C 语言
 - 机器码

MPLAB IDE 在单个开发范例中支持使用多种调试工具，包括从成本效益高的模拟器到低成本的在线调试器，再到全功能的仿真器。这样缩短了用户升级到更加灵活而功能更强大的工具时的学习时间。

PIC16F631/677/685/687/689/690

16.2 MPASM 汇编器

MPASM 汇编器是全功能通用宏汇编器，适用于所有的 PIC MCU。

MPASM 汇编器可生成用于 MPLINK 目标链接器的可重定位目标文件、Intel® 标准 HEX 文件、详细描述存储器使用状况和符号参考的 MAP 文件、包含源代码行及生成机器码的绝对 LST 文件以及用于调试的 COFF 文件。

MPASM 汇编器具有如下特征：

- 集成在 MPLAB IDE 项目中
- 用户定义的宏可简化汇编代码
- 对多用途源文件进行条件汇编
- 允许完全控制汇编过程的指令

16.3 MPLAB C18 和 MPLAB C30 C 编译器

MPLAB C18 和 MPLAB C30 代码开发系统是完全的 ANSI C 编译器，分别适用于 Microchip 的 PIC18 和 PIC24 系列单片机及 dsPIC30F 和 dsPIC33 系列数字信号控制器。这些编译器可提供其他编译器并不具备的强大的集成功能和出众的代码优化能力，且使用方便。

为便于源代码调试，编译器提供了针对 MPLAB IDE 调试器的优化符号信息。

16.4 MPLINK 目标链接器 / MPLIB 目标库管理器

MPLINK 目标链接器包含了由 MPASM 汇编器、MPLAB C18 C 编译器产生的可重定位目标。通过使用链接器脚本中的指令，它还可链接预编译库中的可重定位目标。

MPLIB 目标库管理器管理预编译代码库文件的创建和修改。当从源文件调用库中的一段子程序时，只有包含此子程序的模块被链接到应用中。这样可使大型库在许多不同应用中被高效地利用。

目标链接器 / 库管理器具有如下特征：

- 高效地连接单个的库而不是许多小文件
- 通过将相关的模块组合在一起增强代码的可维护性
- 只要列出、替换、删除和抽取模块，便可灵活地创建库

16.5 MPLAB ASM30 汇编器、链接器和库管理器

MPLAB ASM30 汇编器为 dsPIC30F 器件提供转换自符号汇编语言的可重定位机器码。MPLAB C30 C 编译器使用该汇编器生成目标文件。汇编器产生可重定位目标文件之后，可将这些目标文件存档，与其他可重定位目标文件和存档链接以生成可执行文件。该汇编器有如下显著特征：

- 支持整个 dsPIC30F 指令集
- 支持定点数据和浮点数据
- 命令行界面
- 丰富的指令集
- 灵活的宏语言
- MPLAB IDE 兼容性

16.6 MPLAB SIM 软件模拟器

MPLAB SIM 软件模拟器在指令级对 PIC MCU 和 dsPIC® DSC 进行模拟，使得用户可以在 PC 主机的环境下进行代码开发。对于任何给定的指令，用户均可对数据区进行检查或修改，并通过各种触发机制来产生激励。可以将各寄存器的情况记录在文件中，以便进行进一步地运行时分析。跟踪缓冲器和逻辑分析器的显示使模拟器还能记录和跟踪程序的执行、I/O 的动作、大部分的外设及内部寄存器的状况。

MPLAB SIM 软件模拟器完全支持使用 MPLAB C18 和 MPLAB C30 C 编译器以及 MPASM 和 MPLAB ASM30 汇编器的符号调试。该软件模拟器可用于在硬件实验室环境外灵活地开发和调试代码，是一款完美且经济的软件开发工具。

16.7 MPLAB ICE 2000 高性能在线仿真器

MPLAB ICE 2000 在线仿真器旨在为产品开发工程师提供一整套用于 PIC 单片机的设计工具。MPLAB ICE 2000 在线仿真器的软件控制由 MPLAB 集成开发环境平台提供，它允许在单一环境下进行编辑、编译、下载以及源代码调试。

MPLAB ICE 2000 是全功能仿真器系统，它具有增强的跟踪、触发和数据监控功能。处理器模块可插拔，使系统可轻松进行重新配置以适应各种不同处理器的仿真需要。MPLAB ICE 2000 在线仿真器的架构允许对其进行扩展以支持新的 PIC 单片机。

MPLAB ICE 2000 在线仿真器系统设计为一款实时仿真系统，该仿真系统具备通常只有昂贵的开发工具中才有的高级功能。选择 PC 平台和 Microsoft® Windows® 32 位操作系统可使这些功能在一个简单而统一的应用中得到很好的利用。

16.8 MPLAB REAL ICE 在线仿真器系统

MPLAB REAL ICE 在线仿真器系统是 Microchip 针对其闪存 DSC® 和 MCU 器件而推出的新一代高速仿真器。结合 MPLAB 集成开发环境 (IDE) 所具有的易于使用且功能强大的图形用户界面，该仿真器可对 PIC® 和 dsPIC® 闪存单片机进行调试和编程。IDE 是随每个工具包一起提供的。

MPLAB REAL ICE 探针通过高速 USB 2.0 接口与设计工程师的 PC 相连，并利用与常用 MPLAB ICD 2 系统兼容的连接器 (RJ11) 或新型抗噪声、高速低压差分信号 (LVDS) 互连电缆 (CAT5) 与目标板相连。

可通过 MPLAB IDE 下载将来版本的固件，对 MPLAB REAL ICE 进行现场升级。在即将推出的 MPLAB IDE 版本中，会支持许多新器件，还将增加一些新特性，如软件断点和汇编代码跟踪等。在同类仿真器中，MPLAB REAL ICE 的优势十分明显：低成本、高速仿真、实时变量监视、跟踪分析、复杂断点、耐用的探针接口及较长 (长达 3 米) 的互连电缆。

16.9 MPLAB ICD 2 在线调试器

Microchip 的在线调试器 MPLAB ICD 2 是一款功能强大而成本低廉的运行时开发工具，通过 RS-232 或高速 USB 接口与 PC 主机相连。该工具基于闪存 PIC MCU，可用于开发本系列及其他 PIC MCU 和 dsPIC DSC。MPLAB ICD 2 使用了闪存器件中内建的在线调试功能。该功能结合 Microchip 的在线串行编程 (In-Circuit Serial Programming™, ICSP™) 协议，可在 MPLAB 集成开发环境的图形用户界面上提供成本效益很高的在线闪存调试。这使设计人员可通过设置断点、单步运行以及对变量、CPU 状态以及外设寄存器进行监视的方法实现源代码的开发和调试。其全速运行特性可对硬件和应用进行实时测试。MPLAB ICD 2 还可用作某些 PIC 器件的开发编程器。

16.10 MPLAB PM3 器件编程器

MPLAB PM3 器件编程器是一款通用的、符合 CE 规范的器件编程器，其可编程电压设置在 VDDMIN 和 VDDMAX 之间时可靠性最高。它有一个用来显示菜单和错误信息的大 LCD 显示器 (128 x 64)，以及一个支持各种封装类型的可拆卸模块化插槽装置。编程器标准配置中带有一根 ICSP™ 电缆。在单机模式下，MPLAB PM3 器件编程器不必与 PC 相连即可对 PIC 器件进行读取、验证和编程。在该模式下它还可设置代码保护。MPLAB PM3 通过 RS-232 或 USB 电缆连接到 PC 主机上。MPLAB PM3 具备高速通信能力以及优化算法，可对存储器很大的器件进行快速编程，它还采用 SD/MMC 卡用作文件存储及数据安全应用。

PIC16F631/677/685/687/689/690

16.11 PICSTART Plus 开发编程器

PICSTART Plus 开发编程器是一款易于使用而成本低廉的原型编程器。它通过 COM (RS-232) 端口与 PC 相连。MPLAB 集成开发环境软件使得该编程器的使用简便、高效。PICSTART Plus 开发编程器支持采用 DIP 封装的大部分 PIC 器件，其引脚数最多可达 40 个。引脚数更多的器件，如 PIC16C92X 和 PIC17C76X，可通过连接一个转接插槽来获得支持。PICSTART Plus 开发编程器符合 CE 规范。

16.12 PICkit 2 开发编程器

PICkit™ 2 开发编程器是一个低成本编程器；对于某些选定闪存器件，它也是一个调试器，通过其易于使用的接口可对众多 Microchip 的低档、中档和 PIC18F 系列闪存单片机进行编程。PICkit 2 入门工具包中包含一个有实验布线区的开发板、十二堂系列课程、软件和 HI-TECH 的 PICC™ Lite C 编译器，有助于用户快速掌握 PIC® 单片机的使用。这一工具包为使用 Microchip 功能强大的中档闪存系列单片机进行编程、评估和应用开发，提供了所需的一切。

16.13 演示、开发和评估板

有许多演示、开发和评估板可用于各种 PIC MCU 和 dsPIC DSC，实现对全功能系统的快速应用开发。大多数的演示、开发和评估板都有实验布线区，供用户添加定制电路；还有应用固件和源代码，用于测试和修改。

这些板支持多种功能部件，包括 LED、温度传感器、开关、扬声器、RS-232 接口、LCD 显示器、电位计和附加 EEPROM 存储器。

演示和开发板可用于教学环境，在实验布线区设计定制电路，从而掌握各种单片机应用。

除了 PICDEM™ 和 dsPICDEM™ 演示 / 开发板系列电路外，Microchip 还有一系列评估工具包和演示软件，适用于模拟滤波器设计、KEELOQ® 数据安全产品 IC、CAN、IrDA®、PowerSmart® 电池管理、SEEVAL® 评估系统、 Σ - Δ ADC、流速传感器，等等。

有关演示、开发和评估工具包的完整列表，请查阅 Microchip 公司网页 (www.microchip.com) 以及最新的 “*Product Selector Guide (产品选型指南)*” (DS00148)。

17.0 电气特性

绝对极限参数值 (†)

偏置电压下的环境温度	-40°C 至 +125°C
储存温度	-65°C 至 +150°C
VDD 引脚相对于 VSS 的电压	-0.3V 至 +6.5V
MCLR 引脚相对于 VSS 的电压	-0.3V 至 +13.5V
所有其他引脚相对于 VSS 的电压	-0.3V 至 (VDD + 0.3V)
总功耗 (†)	800 mW
流出 VSS 引脚的最大电流	300 mA
流入 VDD 引脚的最大电流	250 mA
输入钳位电流, I _{IK} (V _I < 0 或 V _I > VDD)	± 20 mA
输出钳位电流, I _{OK} (V _O < 0 或 V _O > VDD)	± 20 mA
任一 I/O 引脚的最大输出灌电流	25 mA
任一 I/O 引脚的最大输出拉电流	25 mA
PORTA、PORTB 和 PORTC (联合) 最大拉电流	200 mA
PORTA、PORTB 和 PORTC (联合) 最大灌电流	200 mA

注 1: 功耗计算公式为: $P_{DIS} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$

†注: 如果运行条件超过了上述“绝对极限参数值”, 即可能对器件造成永久性损坏。上述值仅为运行条件的极大值, 我们不建议器件运行在该规范范围以外。器件长时间工作在绝对极限参数条件下, 其稳定性可能受到影响。

注: MCLR 引脚上若出现低于 VSS 的尖峰电压, 感应电流超过 80 mA, 可能导致闭锁。因此, 在 MCLR 引脚上施加低电平时, 应使用一个 50-100Ω 的串联电阻, 而不是将该引脚直接与 VSS 连接。

PIC16F631/677/685/687/689/690

图 17-1: PIC16F631/677/685/687/689/690 电压-频率图, $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$

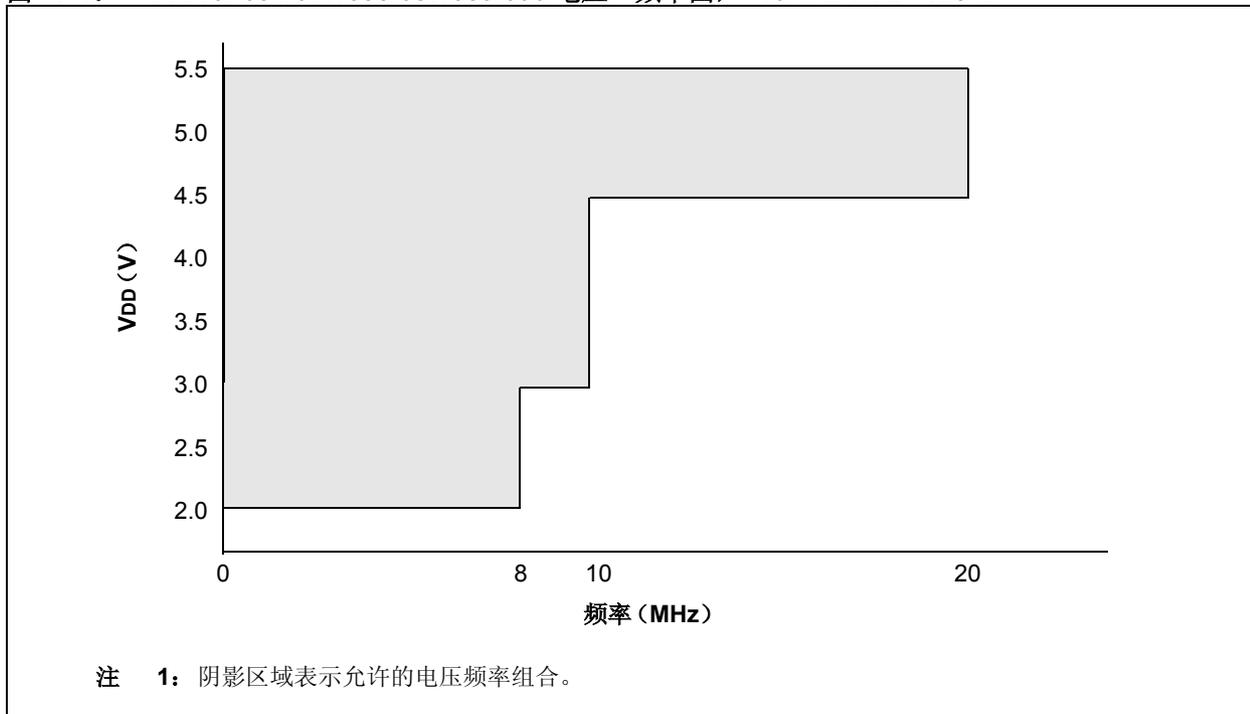
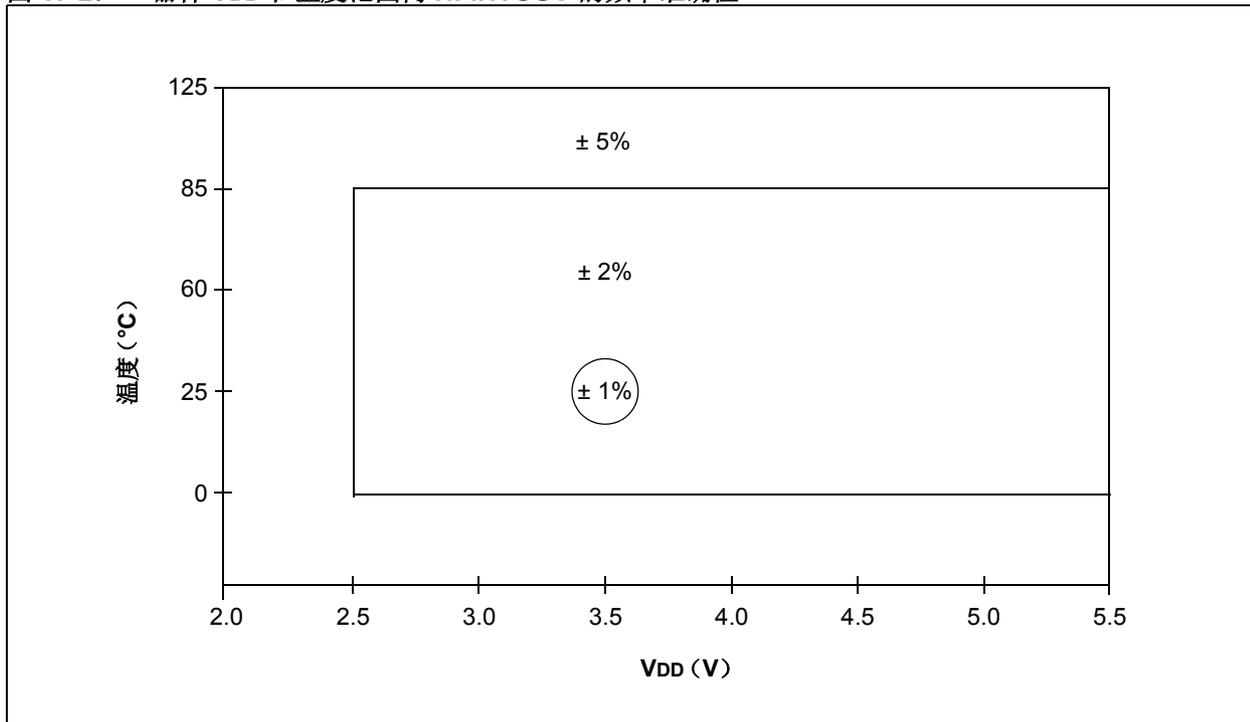


图 17-2: 器件 VDD 和温度范围内 HFINTOSC 的频率准确性



PIC16F631/677/685/687/689/690

17.1 直流特性: PIC16F631/677/685/687/689/690-I (工业级) PIC16F631/677/685/687/689/690-E (扩展级)

直流特性			标准运行条件 (除非另外说明)				
			工作温度		工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$		
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
D001 D001C D001D	VDD	供电电压	2.0 2.0 3.0 4.5	— — — —	5.5 5.5 5.5 5.5	V V V V	Fosc ≤ 8 MHz: HFINTOSC 和 EC Fosc ≤ 4 MHz Fosc ≤ 1 MHz Fosc ≤ 20 MHz
D002*	VDR	RAM 数据保持电压 (1)	1.5	—	—	V	器件处于休眠模式
D003	VPOR	确保内部上电复位信号的 VDD 启动电压	—	VSS	—	V	详情请参见第 14.2.1 节 “上电复位 (POR)”。
D004*	SVDD	确保内部上电复位信号的 VDD 上升率	0.05	—	—	V/ms	详情请参见第 14.2.1 节 “上电复位 (POR)”。

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则 “典型值” 一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

注 1: 这是在不丢失 RAM 数据的前提下, 休眠模式中 VDD 所能降到的最小电压值。

PIC16F631/677/685/687/689/690

17.2 直流特性：PIC16F631/677/685/687/689/690-I（工业级）

直流特性		标准运行条件（除非另外说明） 工作温度 工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$					条件	
参数编号	器件特性	最小值	典型值 †	最大值	单位	VDD	注释	
D010	供电电流 (IDD) (1, 2)	—	9	TBD	μA	2.0	Fosc = 32 kHz LP 振荡模式	
		—	18	TBD	μA	3.0		
		—	35	TBD	μA	5.0		
D011*		—	140	240	μA	2.0	Fosc = 1 MHz XT 振荡模式	
		—	220	380	μA	3.0		
		—	380	550	μA	5.0		
D012		—	260	360	μA	2.0	Fosc = 4 MHz XT 振荡模式	
		—	420	650	μA	3.0		
		—	0.8	1.1	mA	5.0		
D013*		—	130	220	μA	2.0	Fosc = 1 MHz EC 振荡模式	
		—	215	360	μA	3.0		
		—	360	520	μA	5.0		
D014		—	220	340	μA	2.0	Fosc = 4 MHz EC 振荡模式	
		—	375	550	μA	3.0		
		—	0.65	1.0	mA	5.0		
D015		—	8	20	μA	2.0	Fosc = 31 kHz LFINTOSC 模式	
		—	16	40	μA	3.0		
		—	31	65	μA	5.0		
D016*		—	340	450	μA	2.0	Fosc = 4 MHz HFINTOSC 模式	
		—	500	700	μA	3.0		
		—	0.8	1.2	mA	5.0		
D017		—	410	650	μA	2.0	Fosc = 8 MHz HFINTOSC 模式	
		—	700	950	μA	3.0		
		—	1.30	1.65	mA	5.0		
D018		—	230	400	μA	2.0	Fosc = 4 MHz EXTRC 模式 (3)	
		—	400	680	μA	3.0		
		—	0.63	1.1	mA	5.0		
D019		—	2.6	3.25	mA	4.5	Fosc = 20 MHz HS 振荡模式	
		—	2.8	3.35	mA	5.0		

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1: 上电工作模式下，所有 IDD 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2: 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3: 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 4: 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

PIC16F631/677/685/687/689/690

17.2 直流特性：PIC16F631/677/685/687/689/690-I（工业级）（续）

直流特性		标准运行条件（除非另外说明） 工作温度 工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$					条件	
参数编号	器件特性	最小值	典型值 †	最大值	单位	VDD	注释	
D020	掉电基电流 (IPD) (2)	—	0.15	1.2	μA	2.0	WDT、BOR、比较器、VREF 和 T1OSC 均被禁止	
		—	0.20	1.5	μA	3.0		
		—	0.35	1.8	μA	5.0		
		—	90	500	nA	3.0	$-40^{\circ}\text{C} \leq T_A \leq +25^{\circ}\text{C}$	
D021		—	1.0	2.2	μA	2.0	WDT 电流 (1)	
		—	2.0	4.0	μA	3.0		
		—	3.0	7.0	μA	5.0		
D022		—	42	60	μA	3.0	BOR 电流 (1)	
		—	85	122	μA	5.0		
D023		—	32	45	μA	2.0	比较器电流 (1)，两个比较器均使能	
		—	60	78	μA	3.0		
		—	120	160	μA	5.0		
D024		—	30	36	μA	2.0	CVREF 电流 (1)（高电压范围）	
		—	45	55	μA	3.0		
		—	75	95	μA	5.0		
D024a*		—	39	47	μA	2.0	CVREF 电流 (1)（低电压范围）	
		—	59	72	μA	3.0		
		—	98	124	μA	5.0		
D025		—	4.0	TBD	μA	2.0	T1OSC 电流	
		—	4.6	TBD	μA	3.0		
		—	6.0	TBD	μA	5.0		
D026		—	0.30	1.6	μA	3.0	A/D 电流 (1)，不在转换中	
		—	0.36	1.9	μA	5.0		
D027		—	TBD	TBD	μA	3.0	VP6 电流	
		—	TBD	TBD	μA	5.0		

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1： 上电工作模式下，所有 IDD 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2： 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3： 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 4： 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

PIC16F631/677/685/687/689/690

17.3 直流特性：PIC16F631/677/685/687/689/690-E（扩展级）

直流特性		标准运行条件（除非另外说明） 工作温度 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
参数编号	器件特性	最小值	典型值 †	最大值	单位	条件	
						VDD	注释
D010E	供电电流 (IDD) (1, 2)	—	9	TBD	μA	2.0	FOSC = 32 kHz LP 振荡模式
		—	18	TBD	μA	3.0	
		—	35	TBD	μA	5.0	
D011E*		—	140	240	μA	2.0	FOSC = 1 MHz XT 振荡模式
		—	220	380	μA	3.0	
		—	380	550	μA	5.0	
D012E		—	260	360	μA	2.0	FOSC = 4 MHz XT 振荡模式
		—	420	650	μA	3.0	
		—	0.8	1.1	mA	5.0	
D013E*		—	130	220	μA	2.0	FOSC = 1 MHz EC 振荡模式
		—	215	360	μA	3.0	
		—	360	520	μA	5.0	
D014E		—	220	340	μA	2.0	FOSC = 4 MHz EC 振荡模式
		—	375	550	μA	3.0	
		—	0.65	1.0	mA	5.0	
D015E		—	8	20	μA	2.0	FOSC = 31 kHz LFINTOSC 模式
		—	16	40	μA	3.0	
		—	31	65	μA	5.0	
D016E*		—	340	450	μA	2.0	FOSC = 4 MHz HFINTOSC 模式
		—	500	700	μA	3.0	
		—	0.8	1.2	mA	5.0	
D017E		—	410	650	μA	2.0	FOSC = 8 MHz HFINTOSC 模式
		—	700	950	μA	3.0	
		—	1.30	1.65	mA	5.0	
D018E		—	230	400	μA	2.0	FOSC = 4 MHz EXTRC 模式 (3)
		—	400	680	μA	3.0	
		—	0.63	1.1	mA	5.0	
D019E		—	2.6	3.25	mA	4.5	FOSC = 20 MHz HS 振荡模式
		—	2.8	3.35	mA	5.0	

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1: 上电工作模式下，所有 IDD 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2: 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3: RC 振荡器配置下不包括流经 REXT 的电流。流经该电阻的电流最大可达以下公式的计算值： $I_R = V_{DD}/2R_{EXT}$ (mA)，其中 REXT 的单位为 kΩ。
- 4: 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 5: 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

PIC16F631/677/685/687/689/690

17.3 直流特性：PIC16F631/677/685/687/689/690-E（扩展级）（续）

直流特性		标准运行条件（除非另外说明） 工作温度 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					条件	
参数编号	器件特性	最小值	典型值 †	最大值	单位	VDD	注释	
D020E	掉电基电流 (IPD) (2)	—	0.15	1.2	μA	2.0	WDT、BOR、比较器、VREF 和 T1OSC 均被禁止	
		—	0.20	1.5	μA	3.0		
		—	0.35	1.8	μA	5.0		
		—	90	500	nA	3.0	$-40^{\circ}\text{C} \leq T_A \leq +25^{\circ}\text{C}$	
D021E		—	1.0	2.2	μA	2.0	WDT 电流 (1)	
		—	2.0	4.0	μA	3.0		
		—	3.0	7.0	μA	5.0		
D022E		—	42	60	μA	3.0	BOR 电流 (1)	
		—	85	122	μA	5.0		
D023E		—	32	45	μA	2.0	比较器电流 (1)，两个比较器均使能	
		—	60	78	μA	3.0		
		—	120	160	μA	5.0		
D024E		—	30	36	μA	2.0	CVREF 电流 (1)（高电压范围）	
		—	45	55	μA	3.0		
		—	75	95	μA	5.0		
D024AE*		—	39	47	μA	2.0	CVREF 电流 (1)（低电压范围）	
		—	59	72	μA	3.0		
		—	98	124	μA	5.0		
D025E		—	4.0	TBD	μA	2.0	T1OSC 电流	
		—	4.6	TBD	μA	3.0		
		—	6.0	TBD	μA	5.0		
D026E		—	0.30	1.6	μA	3.0	A/D 电流 (1)，不在转换中	
		—	0.36	1.9	μA	5.0		
D027E		—	TBD	TBD	μA	3.0	VP6 电流	
		—	TBD	TBD	μA	5.0		

图注： TBD = 待定

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1： 上电工作模式下，所有 IDD 测量值的测试条件为：OSC1 = 外部方波，轨到轨摆幅；所有 I/O 引脚为三态引脚，上拉至 VDD；MCLR = VDD；WDT 禁止。
- 2： 供电电流主要受工作电压和频率的影响。其他因素，如 I/O 引脚负载和开关速率、振荡器类型、内部代码执行模式以及温度等，也会对电流消耗产生影响。
- 3： RC 振荡器配置下不包括流经 REXT 的电流。流经该电阻的电流最大可达以下公式的计算值： $I_R = V_{DD}/2R_{EXT}$ (mA)，其中 REXT 的单位为 kΩ。
- 4： 外设电流为基本 IDD 或 IPD 与该外设使能时所额外消耗的电流之和。可通过从该极限值中减去基本 IDD 或 IPD，以确定外设 Δ 电流。在计算总电流消耗时应使用最大值。
- 5： 在休眠模式下，掉电电流并不取决于振荡器的类型。掉电电流的测量条件为器件处于休眠模式，且所有 I/O 引脚处于高阻状态并接至 VDD。

PIC16F631/677/685/687/689/690

17.4 直流特性: PIC16F631/677/685/687/689/690-I (工业级) PIC16F631/677/685/687/689/690-E (扩展级)

直流特性			标准运行条件 (除非另外说明)					
			工作温度 工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件	
D030	V _{IL}	输入低电压 I/O 端口: 带 TTL 缓冲	V _{SS}	—	0.8	V	$4.5\text{V} \leq V_{DD} \leq 5.5\text{V}$	
D030A			V _{SS}	—	$0.15 V_{DD}$	V	$2.0\text{V} \leq V_{DD} \leq 4.5\text{V}$	
D031			V _{SS}	—	$0.2 V_{DD}$	V	$2.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	
D032			MCLR 和 OSC1 (RC 模式)	V _{SS}	—	$0.2 V_{DD}$	V	
D033			OSC1 (XT 和 LP 模式) (1)	V _{SS}	—	0.3	V	
D033A			OSC1 (HS 模式) (1)	V _{SS}	—	$0.3 V_{DD}$	V	
D040	V _{IH}	输入高电压 I/O 端口: 带 TTL 缓冲	2.0	—	V _{DD}	V	$4.5\text{V} \leq V_{DD} \leq 5.5\text{V}$	
D040A			$0.25 V_{DD} + 0.8$	—	V _{DD}	V	$2.0\text{V} \leq V_{DD} \leq 4.5\text{V}$	
D041			带施密特触发器缓冲	$0.8 V_{DD}$	—	V _{DD}	V	$2.0\text{V} \leq V_{DD} \leq 5.5\text{V}$
D042			MCLR	$0.8 V_{DD}$	—	V _{DD}	V	
D043			OSC1 (XT 和 LP 模式)	1.6	—	V _{DD}	V	
D043A			OSC1 (HS 模式)	$0.7 V_{DD}$	—	V _{DD}	V	
D043B	OSC1 (RC 模式)	$0.9 V_{DD}$	—	V _{DD}	V	(注 1)		
D060	I _{IL}	输入泄漏电流 (2) I/O 端口	—	± 0.1	± 1	μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$, 引脚处于高阻态	
D061			MCLR (3)	—	± 0.1	± 5	μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$
D063			OSC1	—	± 0.1	± 5	μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$, XT、HS 和 LP 振荡配置
D070*	I _{PUR}	PORTA 弱上拉电流	50	250	400	μA	$V_{DD} = 5.0\text{V}$, $V_{PIN} = V_{SS}$	
D080	V _{OL}	输出低电压 (5) I/O 端口	—	—	0.6	V	$I_{OL} = 8.5\text{mA}$, $V_{DD} = 4.5\text{V}$ (工业级)	
D090	V _{OH}	输出高电压 (5) I/O 端口	$V_{DD} - 0.7$	—	—	V	$I_{OH} = -3.0\text{mA}$, $V_{DD} = 4.5\text{V}$ (工业级)	

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

- 注
- 1: 在 RC 振荡器配置中, OSC1/CLKIN 引脚是施密特触发器输入。不推荐在 RC 模式下使用外部时钟。
 - 2: 负电流定义引脚拉电流。
 - 3: MCLR 引脚上泄漏电流主要取决于所施加电平。规定的电压等级表示正常的运行条件。在不同的输入电压条件下, 可能会测得更大的泄漏电流。
 - 4: 更多信息, 请参见第 10.2.1 节“使用数据 EEPROM”。
 - 5: 包括 CLKOUT 模式下的 OSC2。

PIC16F631/677/685/687/689/690

17.4 直流特性: PIC16F631/677/685/687/689/690-I (工业级) PIC16F631/677/685/687/689/690-E (扩展级) (续)

直流特性			标准运行条件 (除非另外说明)				
			工作温度		工业级为 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ 扩展级为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$		
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
D100	IULP	超低功耗唤醒电流	—	200	—	nA	请参见应用笔记 AN879, “Using the Microchip Ultra Low-Power Wake-up Module” (DS00879)
D101*	COSC2	输出引脚上容性负载规范 OSC2 引脚	—	—	15	pF	使用外部时钟驱动 OSC1 时处于 XT、HS 和 LP 模式
D101A*	CIO	所有 I/O 引脚	—	—	50	pF	
数据 EEPROM 存储器							
D120	Ed	字节擦写次数	100K	1M	—	E/W	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
D120A	Ed	字节擦写次数	10K	100K	—	E/W	$+85^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$
D121	VDRW	用于读 / 写的 VDD	V _{MIN}	—	5.5	V	用 EECON1 读写 V _{MIN} = 最小工作电压
D122	TDEW	擦除 / 写周期时间	—	5	6	ms	
D123	TRETD	特性保存期	40	—	—	Year	前提是不违反其他规范
D124	TREF	刷新前的总擦除 / 写周期数 ⁽⁴⁾	1M	10M	—	E/W	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
程序闪存							
D130	EP	单元擦写次数	10K	100K	—	E/W	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
D130A	Ed	单元擦写次数	1K	10K	—	E/W	$+85^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$
D131	VPR	用于读取的 VDD	V _{MIN}	—	5.5	V	V _{MIN} = 最小工作电压
D132	VPEW	用于擦除 / 写的 VDD	4.5	—	5.5	V	
D133	TPEW	擦除 / 写周期时间	—	2	2.5	ms	
D134	TRETD	特性保存期	40	—	—	Year	前提是不违反其他规范

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

- 注 1: 在 RC 振荡器配置中, OSC1/CLKIN 引脚是施密特触发器输入。不推荐在 RC 模式下使用外部时钟。
- 2: 负电流定义引脚拉电流。
- 3: MCLR 引脚上泄漏电流主要取决于所施加电平。规定的电压等级表示正常的运行条件。在不同的输入电压条件下, 可能会测得更大的泄漏电流。
- 4: 更多信息, 请参见第 10.2.1 节“使用数据 EEPROM”。
- 5: 包括 CLKOUT 模式下的 OSC2。

PIC16F631/677/685/687/689/690

17.5 散热考虑

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$					
参数编号	符号	特性	典型值	单位	条件
TH01	θ_{JA}	结点至周围环境热阻	62.4	$^{\circ}\text{C}/\text{W}$	20 引脚 PDIP 封装
			85.2	$^{\circ}\text{C}/\text{W}$	20 引脚 SOIC 封装
			108.1	$^{\circ}\text{C}/\text{W}$	20 引脚 SSOP 封装
			40	$^{\circ}\text{C}/\text{W}$	20 引脚 QFN 4x4 mm 封装
TH02	θ_{JC}	结点至外壳热阻	28.1	$^{\circ}\text{C}/\text{W}$	20 引脚 PDIP 封装
			24.2	$^{\circ}\text{C}/\text{W}$	20 引脚 SOIC 封装
			32.2	$^{\circ}\text{C}/\text{W}$	20 引脚 SSOP 封装
			2.5	$^{\circ}\text{C}/\text{W}$	20 引脚 QFN 4x4 mm 封装
TH03	T_{DIE}	管芯温度	150	$^{\circ}\text{C}$	用于计算减额功耗
TH04	PD	功耗	—	W	$PD = P_{INTERNAL} + P_{I/O}$
TH05	$P_{INTERNAL}$	内部功耗	—	W	$P_{INTERNAL} = I_{DD} \times V_{DD}$ (注 1)
TH06	$P_{I/O}$	I/O 功耗	—	W	$P_{I/O} = \sum (I_{OL} \times V_{OL}) + \sum (I_{OH} \times (V_{DD} - V_{OH}))$
TH07	P_{DER}	减额功耗	—	W	$P_{DER} = P_{D_{MAX}} (T_{DIE} - T_A) / \theta_{JA}$ (注 2, 3)

- 注 1: I_{DD} 为输出引脚上不连接任何负载时使芯片本身运行的电流。
注 2: T_A = 环境温度。
注 3: 最大允许功耗是绝对最大总功耗和减额功耗两者中较低的值。

17.6 时序参数符号体系

时序参数符号采用以下格式之一进行创建：

1. TppS2ppS
2. TppS

T		
F	频率	T 时间

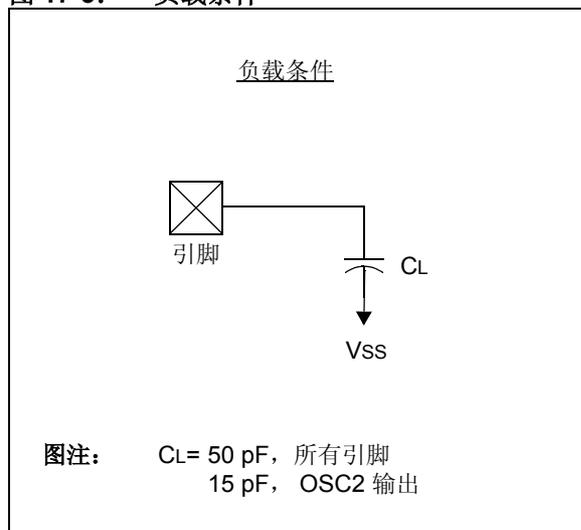
小写字母 (pp) 及其含义：

pp		
cc	RC	osc OSC1
ck	CLKOUT	rd \overline{RD}
cs	\overline{CS}	rw \overline{RD} 或 \overline{WR}
di	SDI	sc SCK
do	SDO	ss \overline{SS}
dt	数据输入	t0 T0CKI
io	I/O 端口	t1 T1CKI
mc	\overline{MCLR}	wr \overline{WR}

大写字母及其含义：

S		
F	下降	P 周期
H	高	R 上升
I	无效 (高阻)	V 有效
L	低	Z 高阻

图 17-3: 负载条件



PIC16F631/677/685/687/689/690

17.7 交流特性: PIC16F631/677/685/687/689/690 (工业级, 扩展级)

图 17-4: 时钟时序

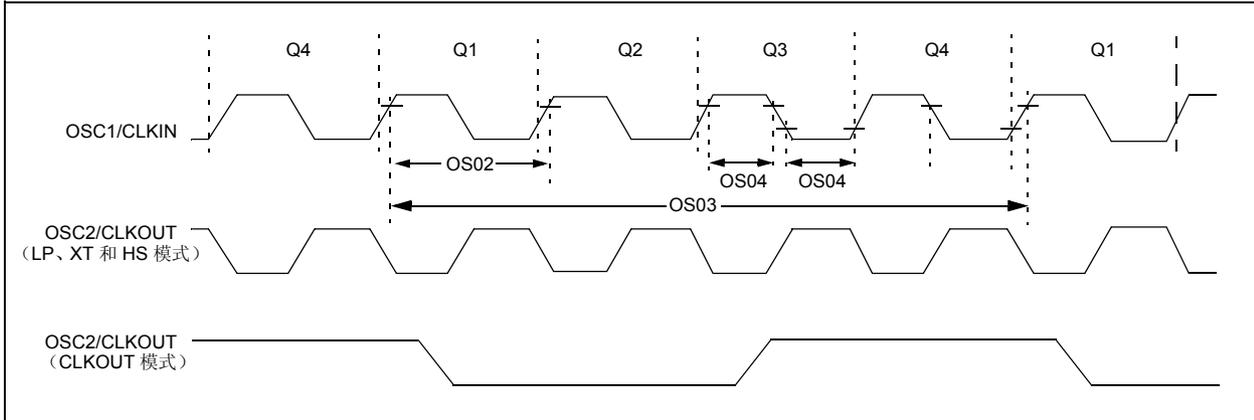


表 17-1: 时钟振荡器时序要求

标准运行条件 (除非另外说明)							
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
OS01	Fosc	外部 CLKIN 频率 (1)	DC	—	37	kHz	LP 振荡模式
			DC	—	4	MHz	XT 振荡模式
			DC	—	20	MHz	HS 振荡模式
			DC	—	20	MHz	EC 振荡模式
		振荡器频率 (1)	—	32.768	—	kHz	LP 振荡模式
			0.1	—	4	MHz	XT 振荡模式
			1	—	20	MHz	HS 振荡模式
			DC	—	4	MHz	RC 振荡模式
OS02	Tosc	外部 CLKIN 周期 (1)	27	—	∞	μs	LP 振荡模式
			250	—	∞	ns	XT 振荡模式
			50	—	∞	ns	HS 振荡模式
			50	—	∞	ns	EC 振荡模式
		振荡器周期 (1)	—	30.5	—	μs	LP 振荡模式
			250	—	10,000	ns	XT 振荡模式
			50	—	1,000	ns	HS 振荡模式
			250	—	—	ns	RC 振荡模式
OS03	Tcy	指令周期时间 (1)	200	Tcy	DC	ns	Tcy = 4/Fosc
OS04*	TosH, TosL	外部 CLKIN 高电平, 外部 CLKIN 低电平	2	—	—	μs	LP 振荡器
			100	—	—	ns	XT 振荡器
			20	—	—	ns	HS 振荡器
OS05*	TosR, TosF	外部 CLKIN 上升, 外部 CLKIN 下降	0	—	∞	ns	LP 振荡器
			0	—	∞	ns	XT 振荡器
			0	—	∞	ns	HS 振荡器

图注: TBD = 待定

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5V 和 25°C 的条件下给出的。这些参数仅供设计参考, 未经测试。

注 1: 指令循环周期 (Tcy) 等于输入振荡器时钟周期的四倍。所有规定值都是基于特定振荡器类型的特性数据, 并在特定振荡器处于标准运行条件下且器件在代码执行阶段。超出这些规定的限定值, 可能导致振荡器运行不稳定和/或导致电流消耗超出预期值。所有器件的测试都是在“最小”值条件下进行的, 且外部时钟加载在 OSC1 引脚。对于所有器件, 当采用外部时钟输入时, “最大”周期时间极限为“DC”(无时钟)。

PIC16F631/677/685/687/689/690

表 17-2: 振荡器参数

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$								
参数编号	符号	特性	频率容差	最小值	典型值†	最大值	单位	条件
OS06	TWARM	运行时内部振荡器开关时间 ⁽³⁾	—	—	—	2	TOSC	最慢的时钟
OS07	Tsc	故障保护采样时钟周期 ⁽¹⁾	—	—	21	—	ms	LFINTOSC/64
OS08	HFosc	内部校准的 HFINTOSC 频率 ⁽²⁾	$\pm 1\%$	7.92	8.0	8.08	MHz	$V_{DD} = 3.5\text{V}$, 25°C
			$\pm 2\%$	7.84	8.0	8.16	MHz	$2.5\text{V} \leq V_{DD} \leq 5.5\text{V}$, $0^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
			$\pm 5\%$	7.60	8.0	8.40	MHz	$2.0\text{V} \leq V_{DD} \leq 5.5\text{V}$, $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ (工业级), $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级)
OS09*	LFosc	内部未校准 LFINTOSC 频率	—	15	31	45	kHz	
OS10*	Tioscst	HFINTOSC 振荡器从休眠唤醒后的起振时间	—	5.5	12	24	μs	$V_{DD} = 2.0\text{V}$, -40°C 至 $+85^{\circ}\text{C}$
			—	3.5	7	14	μs	$V_{DD} = 3.0\text{V}$, -40°C 至 $+85^{\circ}\text{C}$
			—	3	6	11	μs	$V_{DD} = 5.0\text{V}$, -40°C 至 $+85^{\circ}\text{C}$

* 这些参数为特性值，未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。这些参数仅供设计参考，未经测试。

- 注 1: 指令循环周期 (Tcy) 等于输入振荡器时钟周期的四倍。所有规定值都是基于特定振荡器类型的特性数据，并在特定振荡器处于标准运行条件下且器件在代码执行阶段。超出这些规定的限定值，可能导致振荡器运行不稳定和 / 或导致电流消耗超出预期值。所有器件的测试都是在“最小”值条件下进行的，且外部时钟加载在 OSC1 引脚。对于所有器件，当采用外部时钟输入时，“最大”周期时间极限为“DC”（无时钟）。
- 2: 为确保这些振荡器的频率容差， V_{DD} 和 V_{SS} 必须尽量靠近器件并进行容性解耦。建议使用 $0.1\ \mu\text{F}$ 和 $0.01\ \mu\text{F}$ 并联电容。
- 3: 设计值。

PIC16F631/677/685/687/689/690

图 17-5: CLKOUT 和 I/O 时序

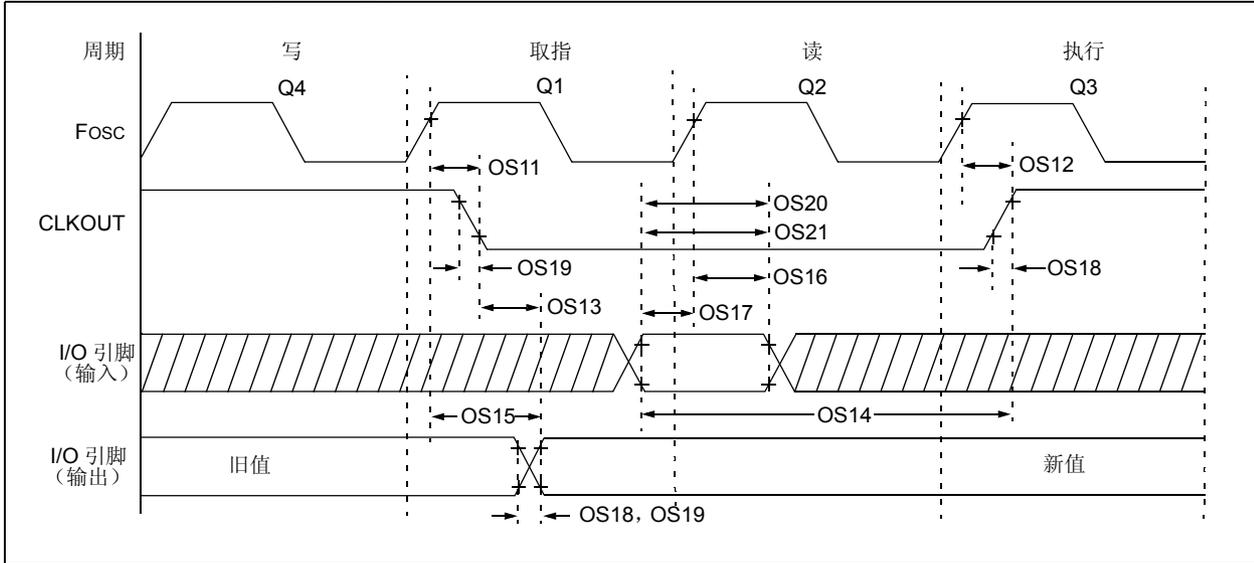


表 17-3: CLKOUT 和 I/O 时序参数

标准运行条件 (除非另外说明)							
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
OS11	TosH2ckL	Fosc↑ 至 CLKOUT↓ ⁽¹⁾	—	—	70	ns	VDD = 5.0V
OS12	TosH2ckH	Fosc↑ 至 CLKOUT↑ ⁽¹⁾	—	—	72	ns	VDD = 5.0V
OS13	TckL2ioV	CLKOUT↓ 至端口输出有效 ⁽¹⁾	—	—	20	ns	
OS14	TioV2ckH	CLKOUT↑ 前端口输入有效 ⁽¹⁾	TOSC + 200 ns	—	—	ns	
OS15	TosH2ioV	Fosc↑ (Q1 周期) 至端口输出有效	—	50	70*	ns	VDD = 5.0V
OS16	TosH2ioI	Fosc↑ (Q2 周期) 至端口输入无效 (I/O 保持时间)	50	—	—	ns	VDD = 5.0V
OS17	TioV2osH	端口输入有效至 Fosc↑ (Q2 周期) (I/O 建立时间)	20	—	—	ns	
OS18	TioR	端口输出上升时间 ⁽²⁾	—	15 40	72 32	ns	VDD = 2.0V VDD = 5.0V
OS19	TioF	端口输出下降时间 ⁽²⁾	—	28 15	55 30	ns	VDD = 2.0V VDD = 5.0V
OS20*	TINP	INT 引脚输入高电平或低电平时间	25	—	—	ns	
OS21*	TRAP	PORTA 电平变化中断新输入电平时间	Tcy	—	—	ns	

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

注 1: 测量是在 RC 模式下进行的, 此时 CLKOUT 输出 4 x TOSC。

2: 包括 CLKOUT 模式的 OSC2。

PIC16F631/677/685/687/689/690

图 17-6: 复位、看门狗定时器、振荡器起振定时器和上电延时定时器时序

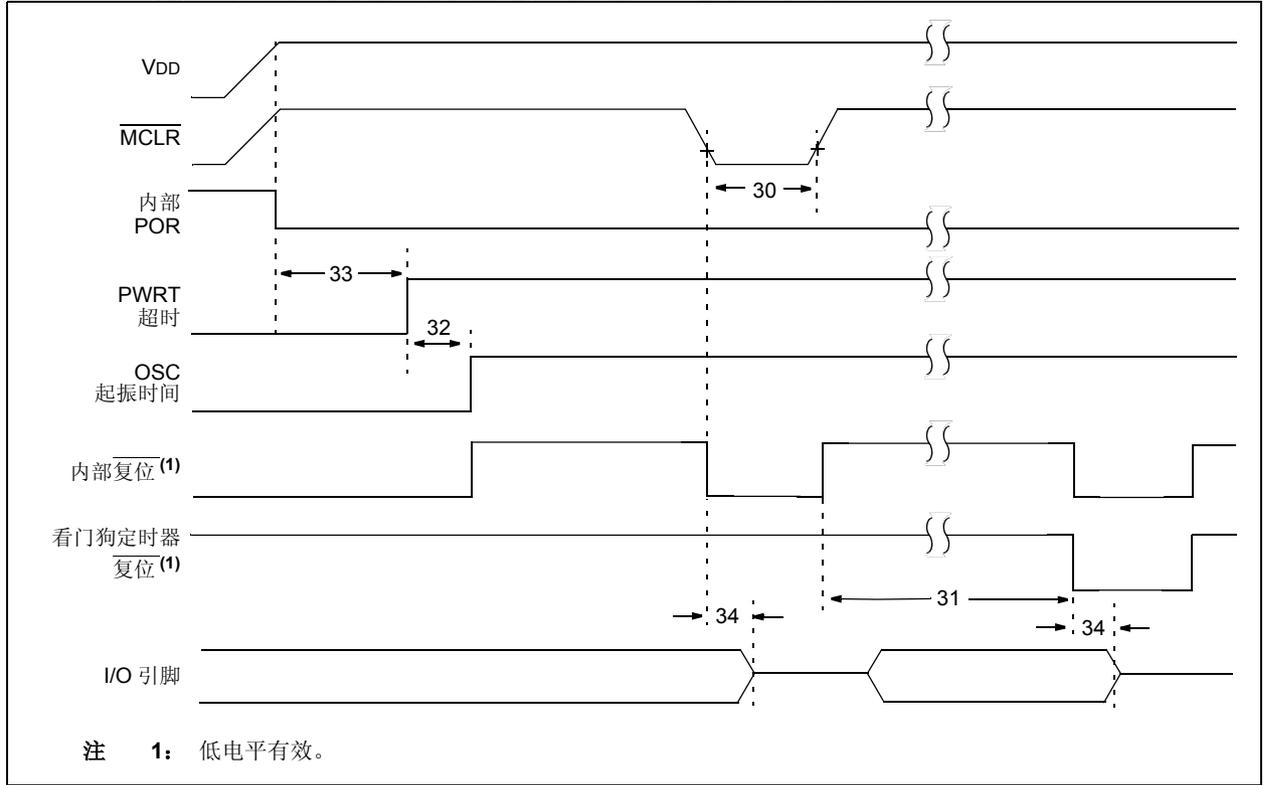
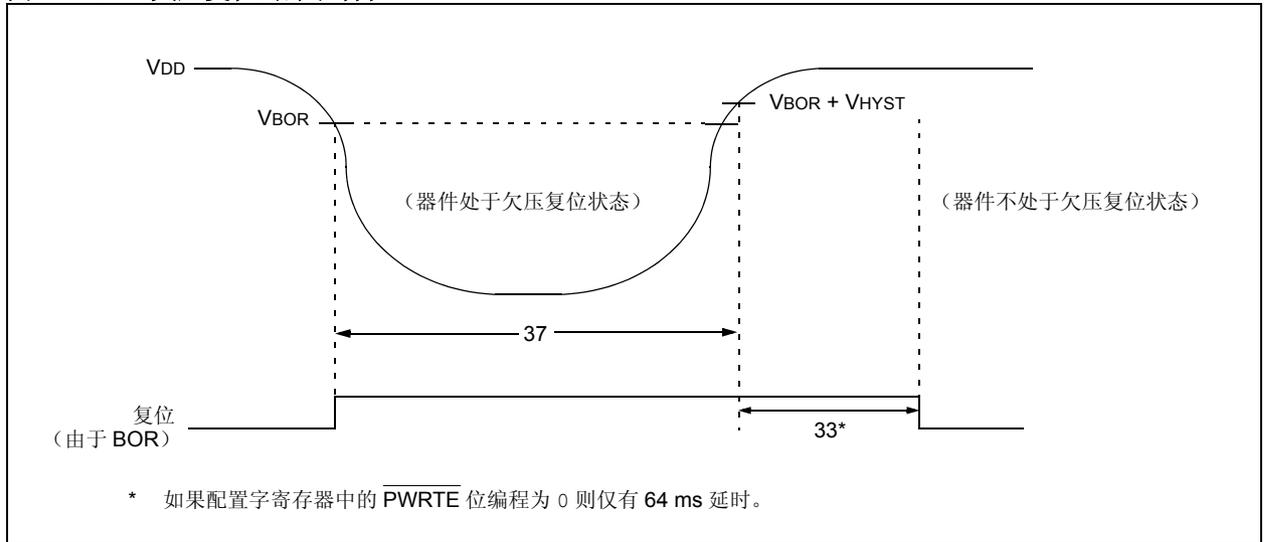


图 17-7: 欠压复位时序和特性



PIC16F631/677/685/687/689/690

表 17-4: 复位、看门狗定时器、振荡器起振定时器、上电延时定时器和欠压复位参数

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
30	TMCL	MCLR 脉冲宽度（低电平）	2	—	—	μs	$V_{DD} = 5\text{V}$, -40°C 至 $+85^{\circ}\text{C}$ $V_{DD} = 5\text{V}$
			5	—	—	μs	
31	TWDT	看门狗定时器超时周期 (无预分频器)	10	17	25	ms	$V_{DD} = 5\text{V}$, -40°C 至 $+85^{\circ}\text{C}$ $V_{DD} = 5\text{V}$
			10	17	30	ms	
32	TOST	振荡器起振定时器周期	—	1024	—	TOSC	(注 3)
33*	TPWRT	上电延时定时器周期	40	65	140	ms	
34*	TIOZ	MCLR 低电平或看门狗定时器复位时, I/O 处于高阻状态的时间	—	—	2.0	μs	
35	VBOR	欠压复位电压	2.0	—	2.2	V	(注 4)
36*	VHYST	欠压复位迟滞	—	50	—	mV	
37*	TBOR	欠压复位最小检测周期	100	—	—	μs	$V_{DD} \leq V_{BOR}$

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

- 注 1: 指令循环周期 (Tcy) 等于输入振荡器时基周期的四倍。所有规定值都是基于特定振荡器类型的特性数据, 并在特定振荡器处于标准运行条件下且器件在代码执行阶段。超出这些规定的限定值, 可能导致振荡器运行不稳定和 / 或导致电流消耗超出预期值。所有器件的测试都是在“最小”值条件下进行的, 且外部时钟加载在 OSC1 引脚。对于所有器件, 当采用外部时钟输入时, “最大”周期时间极限为“DC”(无时钟)。
- 2: 设计值。
- 3: 较慢时钟的周期。
- 4: 为确保这些振荡器的频率容差, VDD 和 VSS 必须尽量靠近器件并进行容性解耦。建议使用 0.1 μF 和 0.01 μF 并联电容。

PIC16F631/677/685/687/689/690

图 17-8: TIMER0 和 TIMER1 外部时钟时序

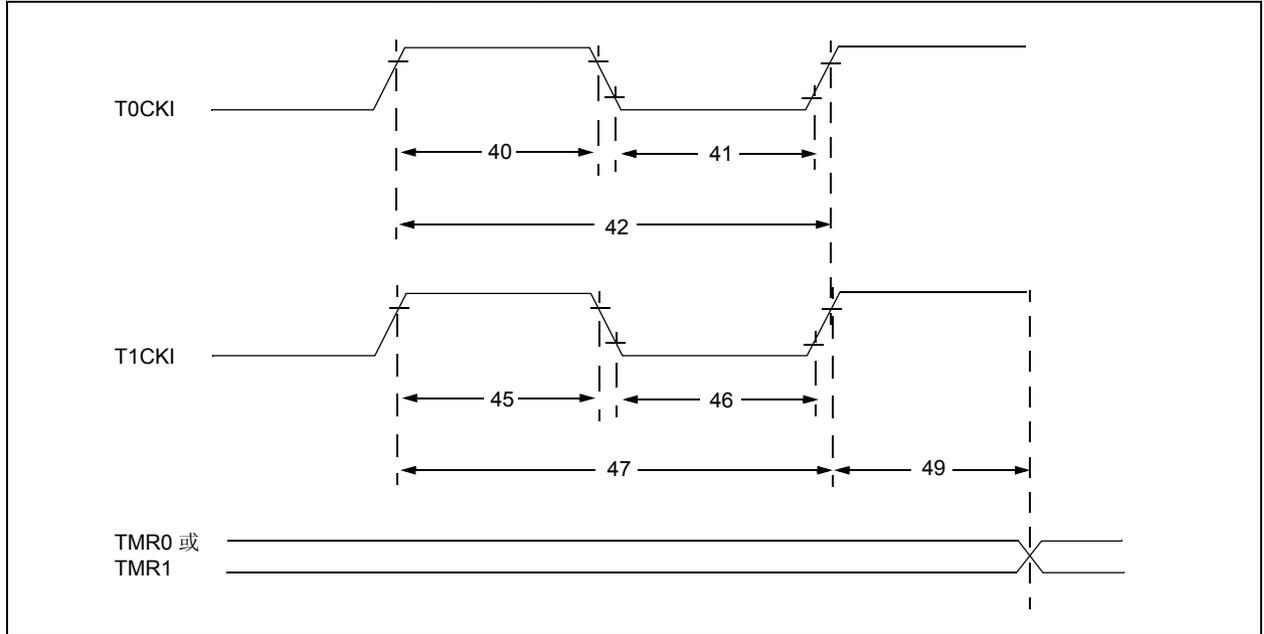


表 17-5: TIMER0 和 TIMER1 外部时钟要求

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_a \leq +125^{\circ}\text{C}$								
参数编号	符号	特性		最小值	典型值†	最大值	单位	条件
40*	Tt0H	T0CKI 高电平脉冲宽度	无预分频器	$0.5 T_{CY} + 20$	—	—	ns	
			有预分频器	10	—	—	ns	
41*	Tt0L	T0CKI 低电平脉冲宽度	无预分频器	$0.5 T_{CY} + 20$	—	—	ns	
			有预分频器	10	—	—	ns	
42*	Tt0P	T0CKI 周期		20 和 $\frac{T_{CY} + 40}{N}$ 中较大者	—	—	ns	N = 预分频值 (2, 4, ..., 256)
45*	Tt1H	T1CKI 高电平时间	同步, 无预分频器	$0.5 T_{CY} + 20$	—	—	ns	
			同步, 有预分频器	15	—	—	ns	
			异步	30	—	—	ns	
46*	Tt1L	T1CKI 低电平时间	同步, 无预分频器	$0.5 T_{CY} + 20$	—	—	ns	
			同步, 有预分频器	15	—	—	ns	
			异步	30	—	—	ns	
47*	Tt1P	T1CKI 输入周期	同步	30 和 $\frac{T_{CY} + 40}{N}$ 中较大者	—	—	ns	N = 预分频值 (1, 2, 4, 8)
			异步	60	—	—	ns	
48	Ft1	Timer1 振荡器输入频率范围 (通过 T1OSCEN 位使能振荡器)		—	32.768	—	kHz	
49*	TCKEZTMR1	外部时钟边沿至定时器递增的延时		$2 T_{OSC}$	—	$7 T_{OSC}$	—	定时器处于同步模式

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

PIC16F631/677/685/687/689/690

图 17-9: 捕捉 / 比较 / PWM 时序 (ECCP)

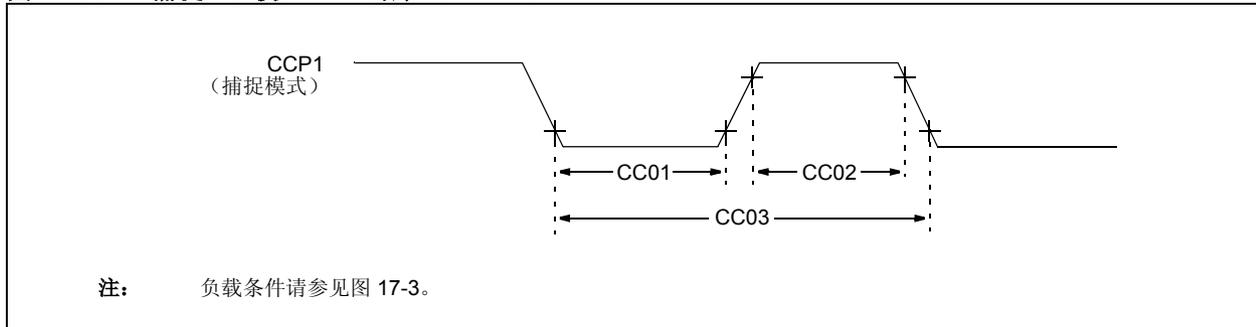


表 17-6: 捕捉 / 比较 / PWM 要求 (ECCP)

标准运行条件 (除非另外说明)								
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$								
参数编号	符号	特性		最小值	典型值 †	最大值	单位	条件
CC01*	TccL	CCP1 输入低电平时间	无预分频器	$0.5T_{CY} + 20$	—	—	ns	
			有预分频器	20	—	—	ns	
CC02*	TccH	CCP1 输入高电平时间	无预分频器	$0.5T_{CY} + 20$	—	—	ns	
			有预分频器	20	—	—	ns	
CC03*	TccP	CCP1 输入周期		$\frac{3T_{CY} + 40}{N}$	—	—	ns	N = 预分频值 (1, 4 或 16)

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

PIC16F631/677/685/687/689/690

表 17-7: 比较器规范

比较器规范			标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
CM01	Vos	输入失调电压	—	± 5.0	± 10	mV	
CM02	VCM	输出共模电压	0	—	$V_{DD} - 1.5$	V	
CM03	CMRR	共模抑制比	+55*	—	—	db	
CM04	TRT	响应时间 ⁽¹⁾	—	150	400*	ns	
CM05	TMC2COV	比较器模式改变至输出有效的时间	—	—	10*	μs	

* 这些参数为特性值，未经测试。

注 1: 响应时间的测量条件是：一个比较器输入为 $(V_{DD} - 1.5)/2$ ，而另一比较器的输出从 V_{SS} 跳变至 $V_{DD} - 1.5\text{V}$ 。

表 17-8: 比较器参考电压（CVREF）规范

标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
CV01*	CLSB	步长值 ⁽²⁾	—	$V_{DD}/24$ $V_{DD}/32$	—	V V	低电压范围（VRR = 1） 高电压范围（VRR = 0）
CV02*	CACC	绝对准确度	—	—	$\pm 1/4$ $\pm 1/2$	LSb LSb	低电压范围（VRR = 1） 高电压范围（VRR = 0）
CV03*	CR	单位电阻值（R）	—	2k	—	Ω	
CV04*	CST	稳定时间 ⁽¹⁾	—	—	10	μs	

* 这些参数为特性值，未经测试。

† 除非另外说明，否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

注 1: 稳定时间的测量条件是 $VRR = 1$ 且 $VR < 3:0 >$ 从 0000 跳变至 1111。

2: 更多信息请参见第 8.0 节“比较器模块”。

表 17-9: 参考电压（VR）规范

VR 参考电压规范			标准运行条件（除非另外说明） 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$				
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
VR01	VR0UT	VR 电压输出	TBD	0.6	TBD	V	
VR02	TCVOUT	电压漂移温度系数	—	150	TBD	ppm/ $^{\circ}\text{C}$	
VR03	$\Delta V_{ROUT}/\Delta V_{DD}$	相对于 V_{DD} 稳定度的电压漂移	—	200	—	$\mu\text{V}/\text{V}$	
VR04	TSTABLE	稳定时间	—	10	100*	μs	

图注: TBD = 待定

* 这些参数为特性值，未经测试。

PIC16F631/677/685/687/689/690

图 17-10: EUSART 同步发送 (主/从) 时序

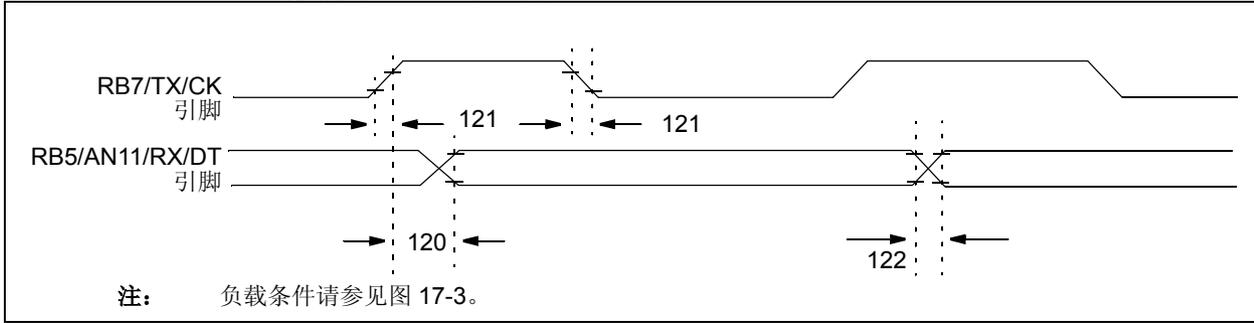


表 17-10: EUSART 同步发送要求

标准运行条件 (除非另外说明)						
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$						
参数编号	符号	特性	最小值	最大值	单位	条件
120	TckH2DtV	SYNC XMIT (Master & Slave) 时钟高电平至数据输出有效	—	40	ns	
121	TckRF	时钟输出高电平和低电平时间 (主模式)	—	20	ns	
122	TdTRF	数据输出上升和下降时间	—	20	ns	

图 17-11: EUSART 同步接收 (主/从) 时序

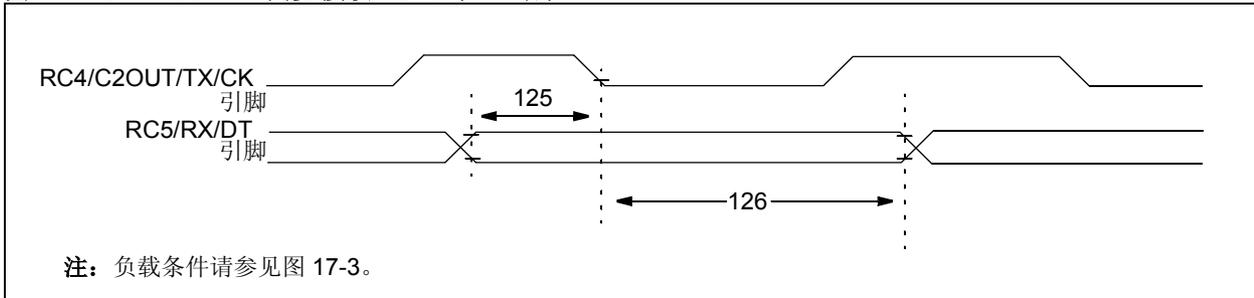


表 17-11: EUSART 同步接收要求

标准运行条件 (除非另外说明)						
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$						
参数编号	符号	特性	最小值	最大值	单位	条件
125	TdtV2ckl	SYNC RCV (主、从模式) CK ↓ 前数据保持时间 (DT 保持时间)	10	—	ns	
126	TckL2dtl	CK ↓ 后数据保持时间 (DT 保持时间)	15	—	ns	

PIC16F631/677/685/687/689/690

图 17-12: SPI 主模式时序 (CKE = 0, SMP = 0)

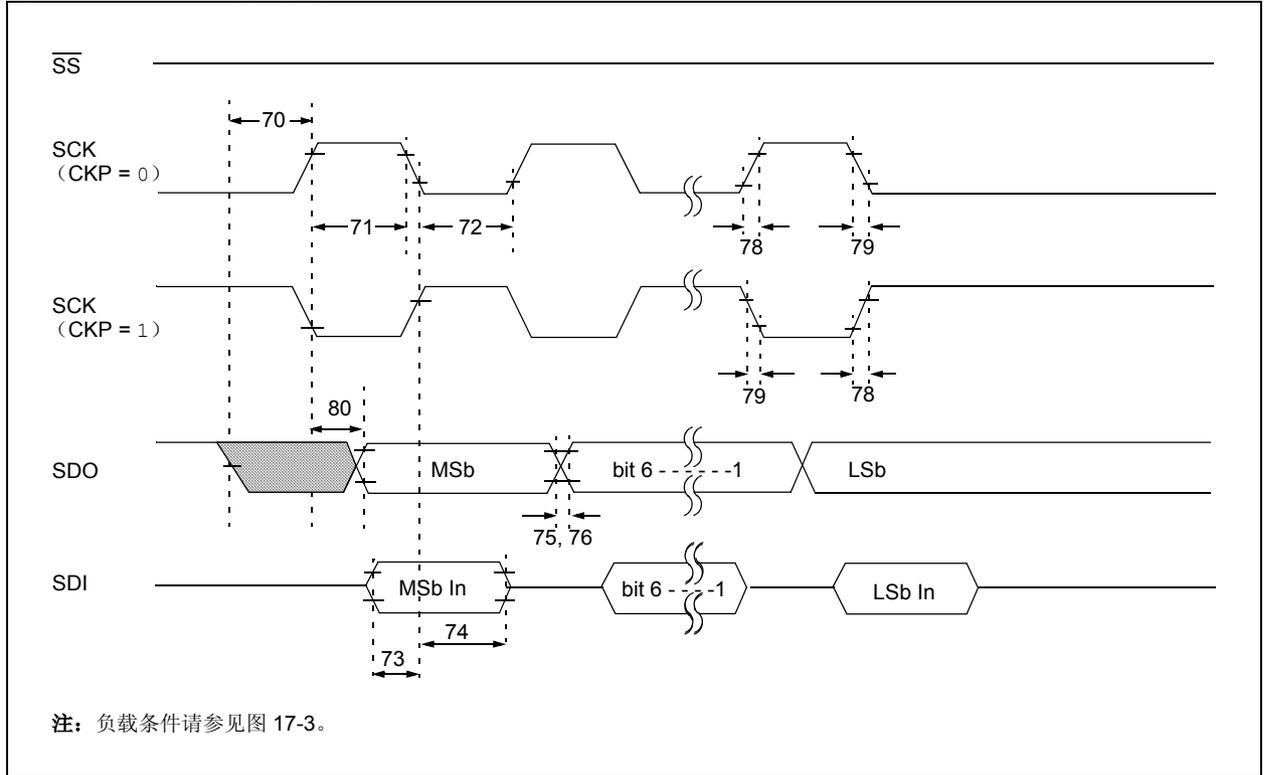
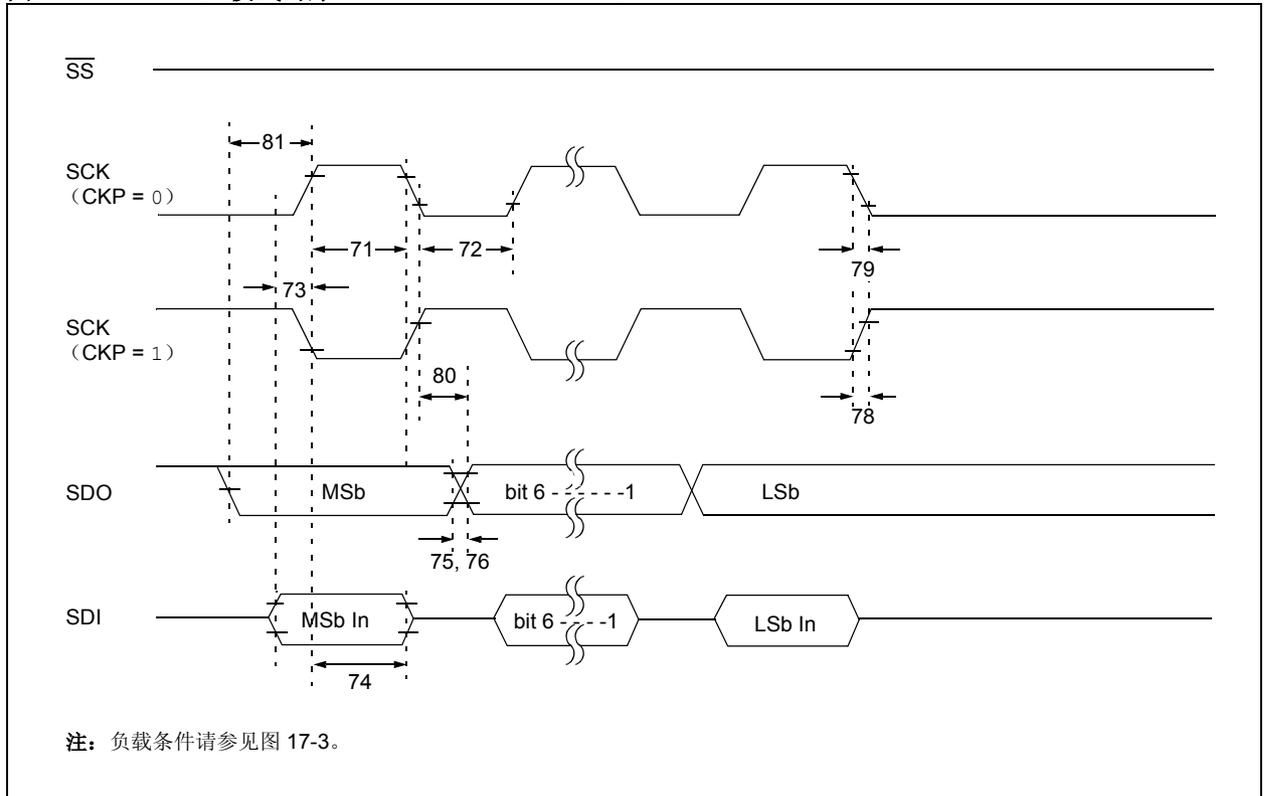


图 17-13: SPI 主模式时序 (CKE = 1, SMP = 1)



PIC16F631/677/685/687/689/690

图 17-14: SPI 从模式时序 (CKE = 0)

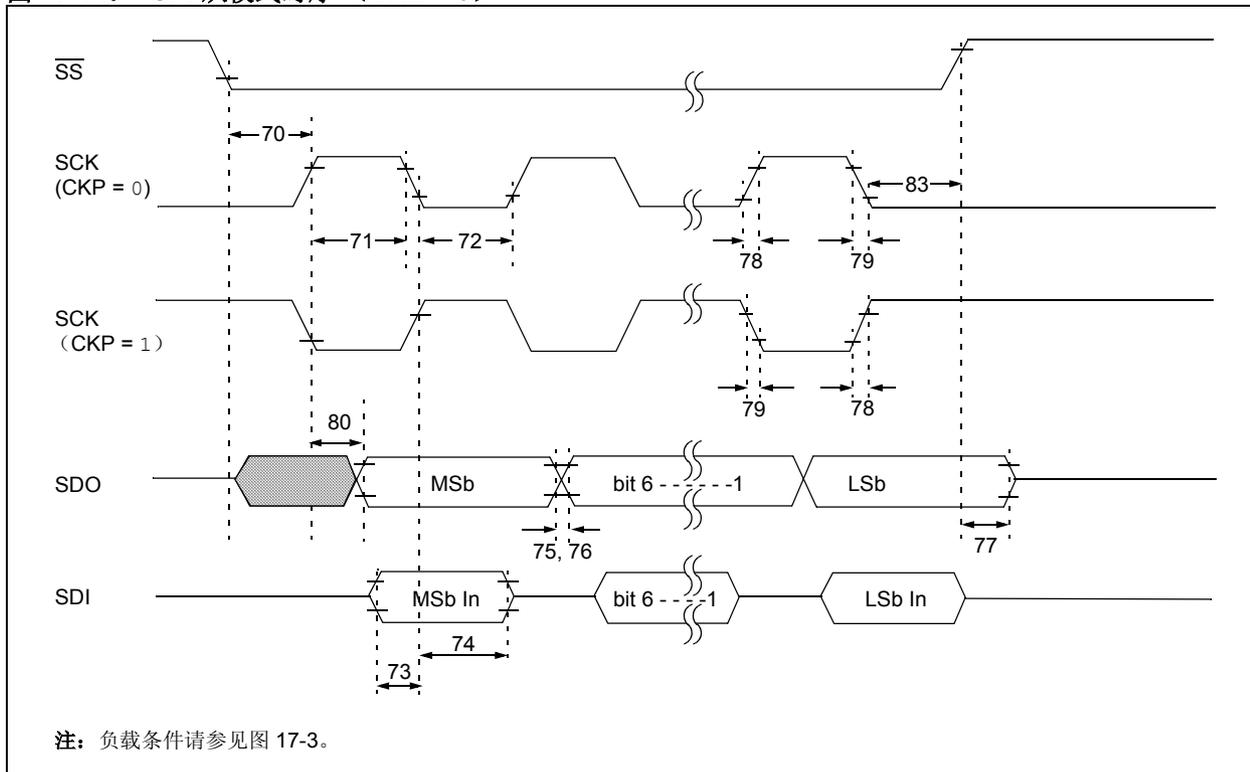
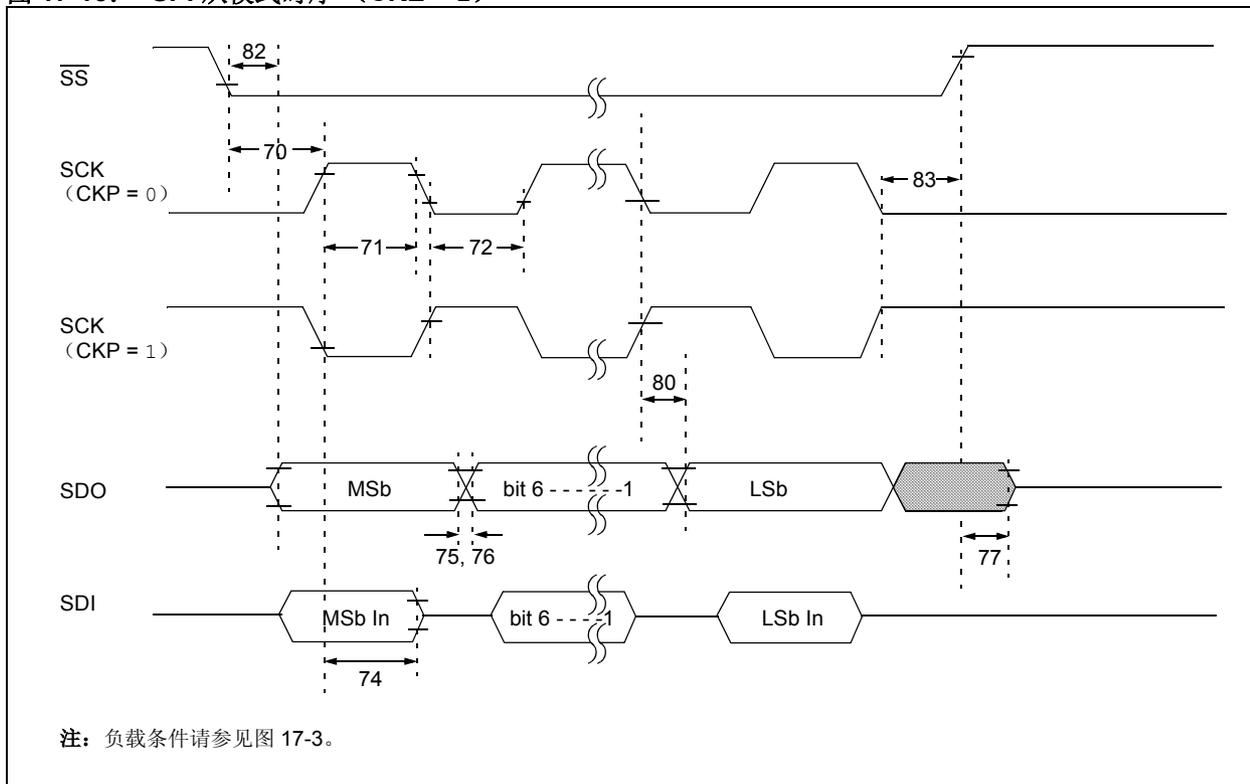


图 17-15: SPI 从模式时序 (CKE = 1)



PIC16F631/677/685/687/689/690

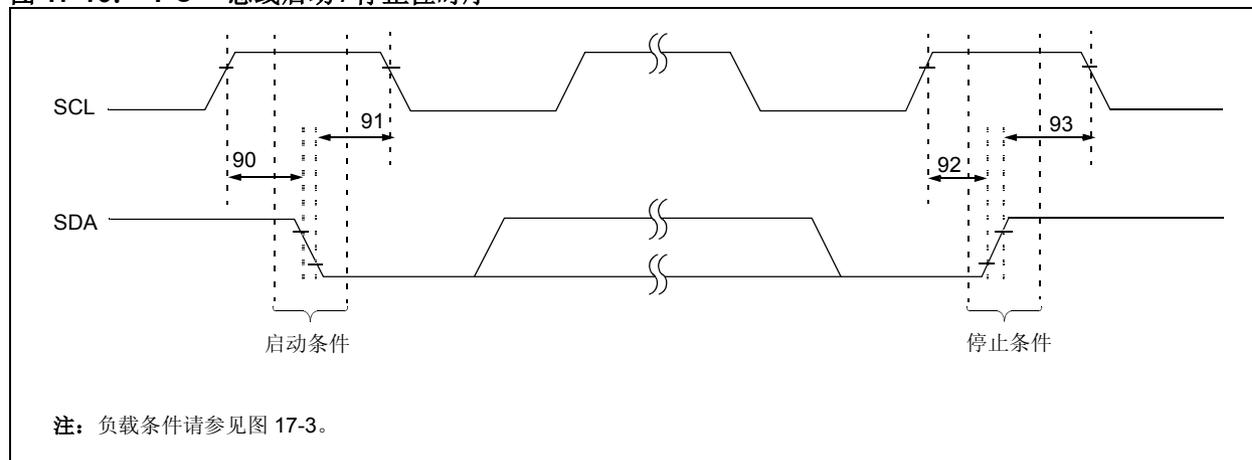
表 17-12: SPI 模式要求

参数编号	符号	特性	最小值	典型值†	最大值	单位	条件
70*	Tssl2sch, Tssl2scl	\overline{SS} ↓ 至 SCK↓ 或 SCK↑ 输入时间	Tcy	—	—	ns	
71*	Tsch	SCK 输入高电平时间 (从模式)	Tcy + 20	—	—	ns	
72*	Tscl	SCK 输入低电平时间 (从模式)	Tcy + 20	—	—	ns	
73*	TdiV2sch, TdiV2scl	SDI 数据输入至 SCK 边沿的建立时间	100	—	—	ns	
74*	Tsch2diL, Tscl2diL	SDI 数据输入至 SCK 边沿的保持时间	100	—	—	ns	
75*	TdoR	SDO 数据输出上升时间	3.0-5.5V	—	10	25	ns
			2.0-5.5V	—	25	50	ns
76*	TdoF	SDO 数据输出下降时间	—	10	25	ns	
77*	Tssh2doZ	\overline{SS} ↑ 至 SDO 输出高阻态的时间	10	—	50	ns	
78*	Tscr	SCK 输出上升时间 (主模式)	3.0-5.5V	—	10	25	ns
			2.0-5.5V	—	25	50	ns
79*	Tscf	SCK 输出下降时间 (主模式)	—	10	25	ns	
80*	Tsch2doV, Tscl2doV	SCK 边沿后 SDO 数据输出有效的时间	3.0-5.5V	—	—	50	ns
			2.0-5.5V	—	—	145	ns
81*	TdoV2sch, TdoV2scl	SDO 数据输入建立至 SCK 边沿的时间	Tcy	—	—	ns	
82*	Tssl2doV	\overline{SS} ↓ 沿后 SDO 数据输入有效的时间	—	—	50	ns	
83*	Tsch2ssH, Tscl2ssH	SCK 边沿后 \overline{SS} ↑ 的时间	1.5Tcy + 40	—	—	ns	

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

图 17-16: I²C™ 总线启动 / 停止位时序



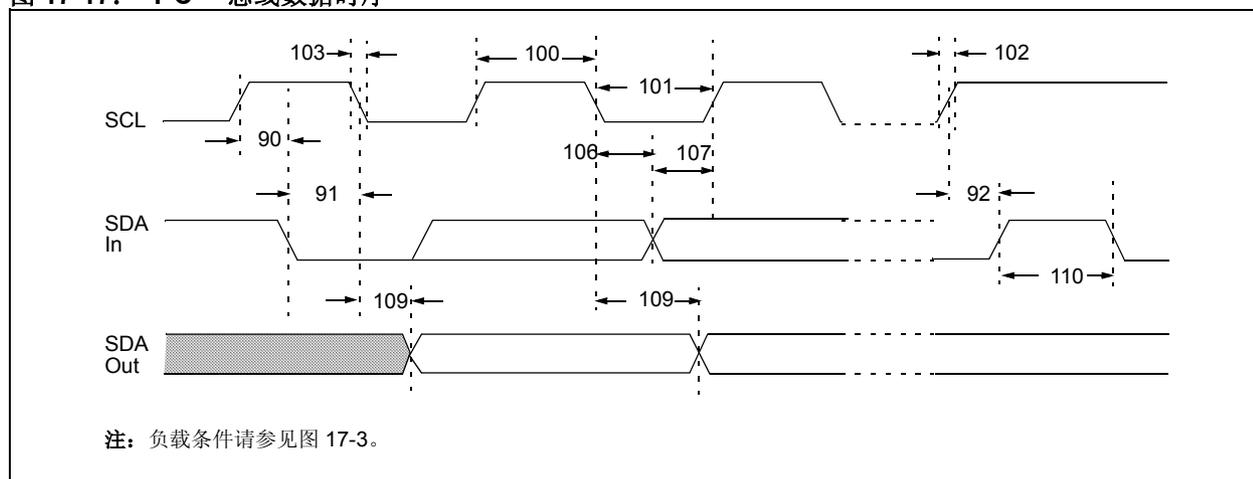
PIC16F631/677/685/687/689/690

表 17-13: I²C™ 总线启动 / 停止位要求

参数编号	符号	特性	最小值	典型值	最大值	单位	条件	
90*	TSU:STA	启动条件 建立时间	100 kHz 模式	4700	—	—	ns	只与重复启动条件有关
			400 kHz 模式	600	—	—		
91*	THD:STA	启动条件 保持时间	100 kHz 模式	4000	—	—	ns	此周期后生成首个时钟脉冲
			400 kHz 模式	600	—	—		
92*	TSU:STO	停止条件 建立时间	100 kHz 模式	4700	—	—	ns	
			400 kHz 模式	600	—	—		
93	THD:STO	停止条件 保持时间	100 kHz 模式	4000	—	—	ns	
			400 kHz 模式	600	—	—		

* 这些参数为特性值，未经测试。

图 17-17: I²C™ 总线数据时序



PIC16F631/677/685/687/689/690

表 17-14: I²C™ 总线数据要求

参数编号	符号	特性	最小值	最大值	单位	条件	
100*	THIGH	时钟高电平时间	100 kHz 模式	4.0	—	μs	器件工作频率至少为 1.5 MHz
			400 kHz 模式	0.6	—	μs	器件工作频率至少为 10 MHz
			SSP 模块	1.5T _{CY}	—		
101*	TLOW	时钟低电平时间	100 kHz 模式	4.7	—	μs	器件工作频率至少为 1.5 MHz
			400 kHz 模式	1.3	—	μs	器件工作频率至少为 10 MHz
			SSP 模块	1.5T _{CY}	—		
102*	TR	SDA 和 SCL 上升时间	100 kHz 模式	—	1000	ns	
			400 kHz 模式	20 + 0.1C _B	300	ns	C _B 规定值为 10-400 pF
103*	TF	SDA 和 SCL 下降时间	100 kHz 模式	—	300	ns	
			400 kHz 模式	20 + 0.1C _B	300	ns	C _B 规定值为 10-400 pF
90*	TSU:STA	启动条件建立时间	100 kHz 模式	4.7	—	μs	仅与重复启动条件有关
			400 kHz 模式	0.6	—	μs	
91*	THD:STA	启动条件保持时间	100 kHz 模式	4.0	—	μs	此时间后产生首个时钟脉冲
			400 kHz 模式	0.6	—	μs	
106*	THD:DAT	数据输入保持时间	100 kHz 模式	0	—	ns	
			400 kHz 模式	0	0.9	μs	
107*	TSU:DAT	数据输入建立时间	100 kHz 模式	250	—	ns	(注 2)
			400 kHz 模式	100	—	ns	
92*	TSU:STO	停止条件建立时间	100 kHz 模式	4.7	—	μs	
			400 kHz 模式	0.6	—	μs	
109*	TAA	时钟输出有效时间	100 kHz 模式	—	3500	ns	(注 1)
			400 kHz 模式	—	—	ns	
110*	TBUF	总线空闲时间	100 kHz 模式	4.7	—	μs	新的发送开始前总线必须空闲的时间
			400 kHz 模式	1.3	—	μs	
	CB	总线容性负载	—	400	pF		

* 这些参数为特性值，未经测试。

- 注 1:** 为避免产生意外的启动或停止条件，作为发送器的器件必须提供这个内部最小延时以覆盖 SCL 下降沿的未定义区域（最小值 300 ns）。
- 注 2:** 快速模式（400 kHz）的 I²C 总线器件也可在标准模式（100 kHz）的 I²C 总线系统中使用，但必须满足 TSU:DAT ≥ 250 ns 的要求。如果快速模式器件没有延长 SCL 信号的低电平周期，则必然满足此条件。如果该器件延长了 SCL 信号的低电平周期，其下一个数据位必须输出到 SDA 线。SCL 线被释放前，根据标准模式 I²C 总线规范，TR max. + TSU:DAT = 1000 + 250 = 1250 ns。

PIC16F631/677/685/687/689/690

表 17-15: A/D 转换器 (ADC) 特性

标准运行条件 (除非另外说明)							
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
AD01	NR	分辨率	—	—	10	位	
AD02	EIL	积分误差	—	—	± 1	LSb	$V_{REF} = 5.12\text{V}$
AD03	EDL	微分误差	—	—	± 1	LSb	至 10 位无丢失代码 $V_{REF} = 5.12\text{V}$
AD04	E _{OFF}	失调误差	—	—	± 1	LSb	$V_{REF} = 5.12\text{V}$
AD04A			—	1.5	—	LSb	(仅限 PIC16F677)
AD07	EGN	增益误差	—	—	± 1	LSb	$V_{REF} = 5.12\text{V}$
AD06	V _{REF}	参考电压 ⁽³⁾	2.2	—	—	V	绝对最小值以确保准确度为 1 LSb
AD06A			2.5	—	V _{DD}		
AD07	V _{AIN}	满量程范围	V _{SS}	—	V _{REF}	V	
AD08	Z _{AIN}	建议的模拟电压源阻抗	—	—	10	k Ω	
AD09*	I _{REF}	V _{REF} 输入电流 ⁽³⁾	10	—	1000	μA	在 V _{AIN} 采集期间。 基于 V _{HOLD} 与 V _{AIN} 之差
			—	—	50	μA	在 A/D 转换周期期间

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

- 注
- 1: 总误差的绝对值包括积分、微分、失调和增益误差。
 - 2: 输入电压上升时 A/D 转换结果永远不会下降, 且不丢失代码。
 - 3: ADC V_{REF} 来自外部 V_{REF} 或 V_{DD} 引脚, 根据所选择的参考引脚而定。
 - 4: ADC 关闭时, 除泄漏电流外不消耗任何其他电流。掉电电流规范包括来自 ADC 模式的任何此类泄漏。

图 17-18: A/D 转换时序 (正常模式)

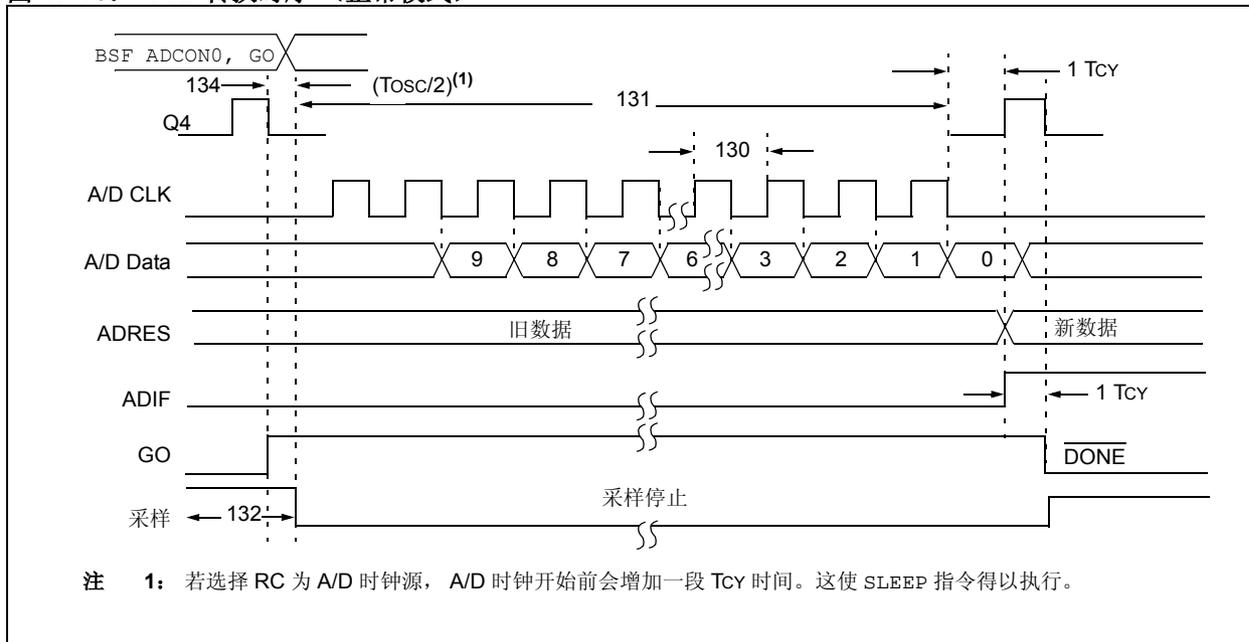


表 17-16: A/D 转换要求

标准运行条件 (除非另外说明)							
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
130	TAD	A/D 时钟周期	1.5	—	—	μs	基于 TOSC, $V_{\text{REF}} \geq 2.5\text{V}$
130	TAD	A/D 内部 RC 振荡器周期	3.0*	—	—	μs	基于 TOSC, V_{REF} 整个范围
			3.0*	6.0	9.0*	μs	ADCS<1:0> = 11 (RC 模式)
			2.0*	4.0	6.0*	μs	$V_{\text{DD}} = 2.5\text{V}$ 时
							$V_{\text{DD}} = 5.0\text{V}$ 时
131	TCNV	转换时间 (不包括采集时间) (1)	—	11	—	TAD	将 GO 位置为 A/D 结果寄存器中的新数据
132	TACQ	采集时间	(2)	11.5	—	μs	最小时间为放大器的稳定时间。如果“新的”输入电压相对于上次采样电压 (保存在 CHOLD 中) 的变化不超过 1 LSB (即 4.096V 时为 4.1 mV), 便可采用此时间。
			5*	—	—	μs	
134	TGO	Q4 至 A/D 时钟开始	—	Tosc/2	—	—	如果选择 A/D 时钟源作为 RC, 在 A/D 时钟启动前要加上一个 Tcy 时间, 用以执行 SLEEP 指令。

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

注 1: ADRESH 和 ADRESL 寄存器可在下一个 Tcy 周期被读取。

2: 最小值的条件请参见表 9-1。

PIC16F631/677/685/687/689/690

图 17-19: A/D 转换时间 (休眠模式)

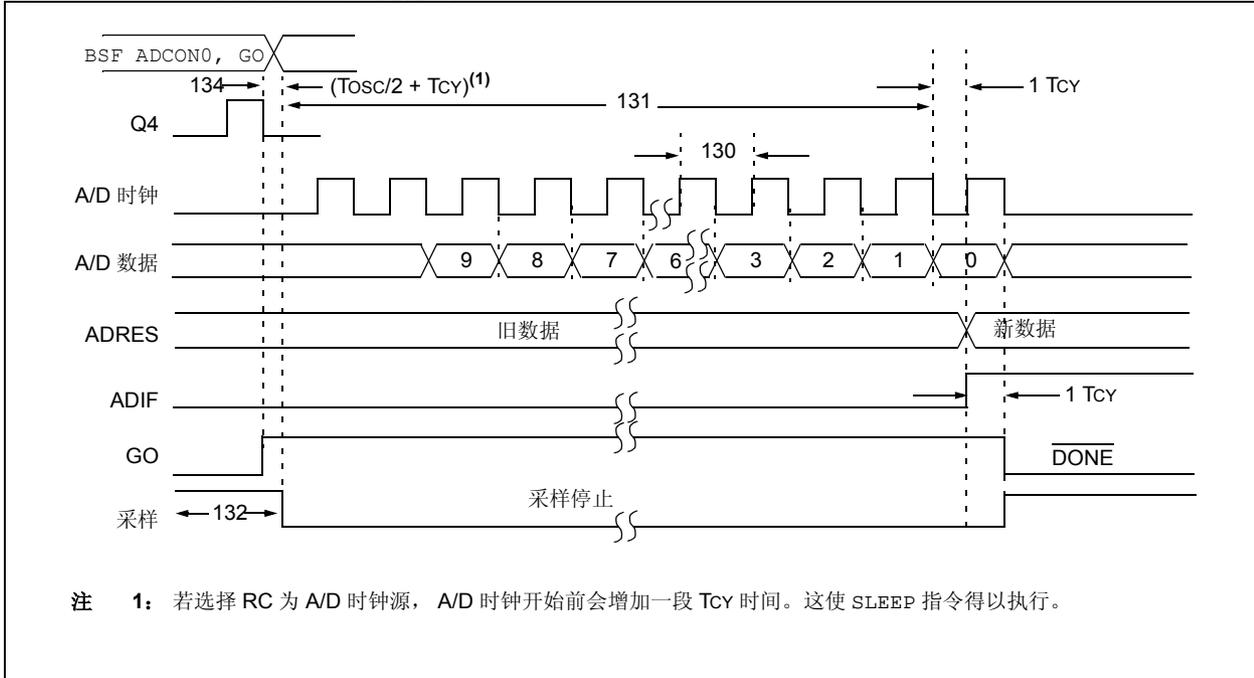


表 17-17: A/D 转换要求 (休眠模式)

标准运行条件 (除非另外说明)							
工作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$							
参数编号	符号	特性	最小值	典型值 †	最大值	单位	条件
130	TAD	A/D 内部 RC 振荡器周期	3.0* 2.0*	6.0 4.0	9.0* 6.0*	μs	ADCS<1:0> = 11 (RC 模式) At VDD = 2.5V At VDD = 5.0V
131	TCNV	转换时间 (不包括采集时间) (1)	—	11	—	TAD	
132	TACQ	采集时间	(2) 5*	11.5 —	— —	μs	最小时间为放大器的稳定时间。如果“新的”输入电压相对于上次采样电压 (保存在 CHOLD 中) 的变化不超过 1 LSb (即 4.096V 时为 4.1 mV), 便可采用此时间。
134	TGO	Q4 至 A/D 时钟开始	—	Tosc/2 + Tcy	—	—	如果选择 A/D 时钟源作为 RC, 在 A/D 时钟启动前要加上一个 Tcy 时间, 用以执行 SLEEP 指令。

* 这些参数为特性值, 未经测试。

† 除非另外说明, 否则“典型值”一栏中的数据都是在 5.0V 和 25°C 的条件下给出的。

注 1: ADRES 寄存器可在下一个 Tcy 周期被读取。

2: 最小值的条件请参见表 9-1。

18.0 直流和交流特性图表

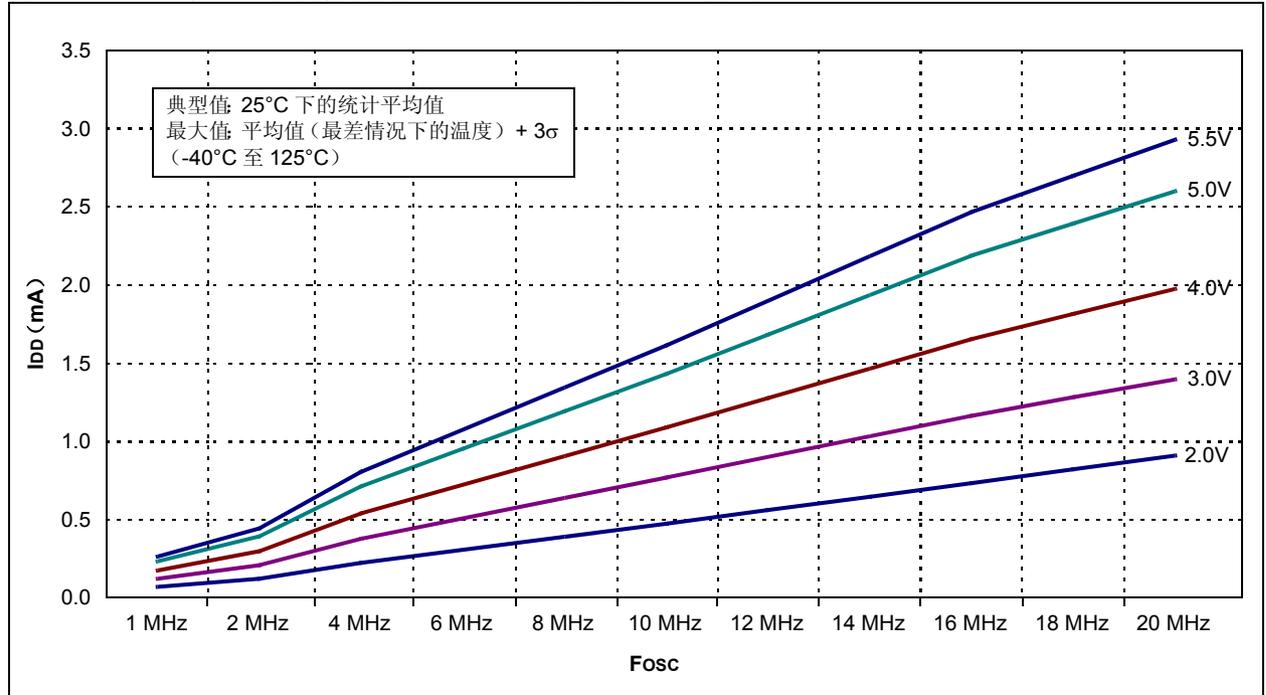
本节提供的图表仅供设计参考并且未经测试。

有些图表中的数据超出了规定的工作范围（例如超出了规定的 V_{DD} 范围）。这些图表仅供参考，器件只有工作在规定范围内才可确保正常工作。

注： 本注释以下所提供的图表均为基于有限数量样本的统计汇总，仅供参考。此处列出的特性未经测试，不作保证。有些图表中的数据超出了规定的工作范围（例如：超出了规定的电源范围），因此不在担保范围。

“典型值”表示 25°C 时的平均分布。“最大值”或“最小值”分别表示 (平均值 + 3σ) 和 (平均值 - 3σ)，其中 σ 为各温度范围内的标准公差。

图 18-1: 整个 V_{DD} 范围内的典型 I_{DD} — F_{osc} 曲线 (EC 模式)



PIC16F631/677/685/687/689/690

图 18-2: 不同 VDD 的最大 I_{DD}—Fosc 曲线 (EC 模式)

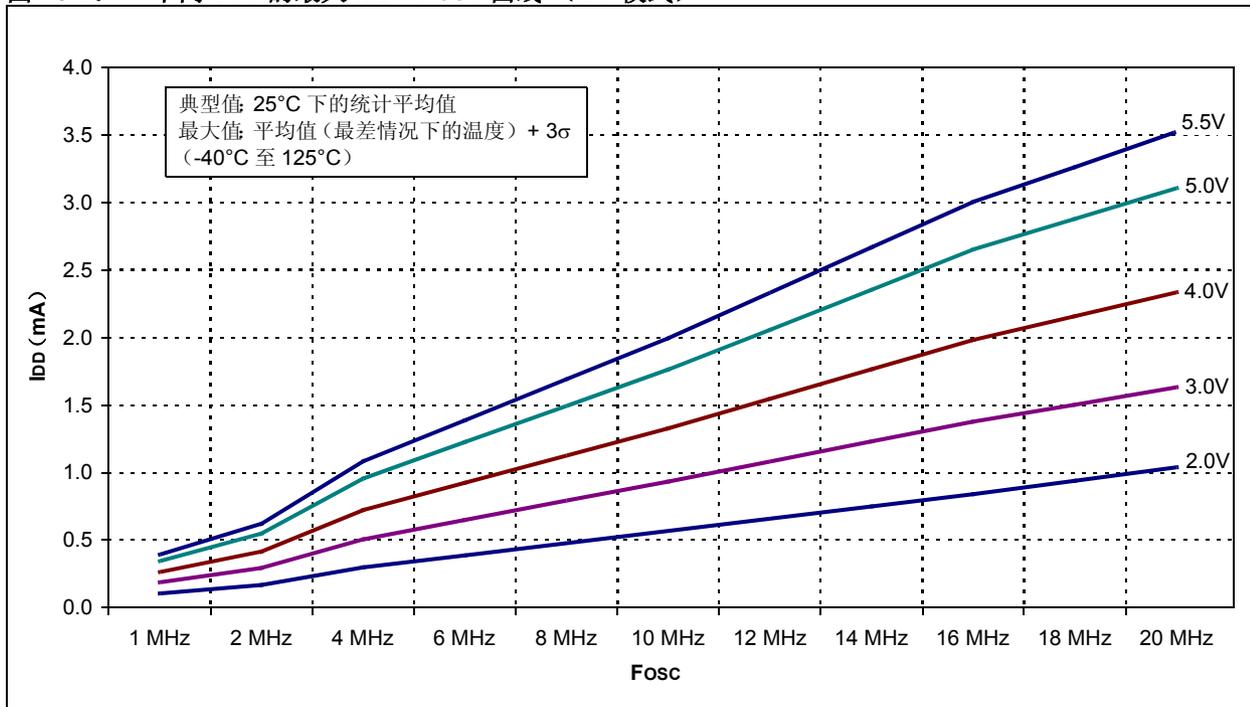
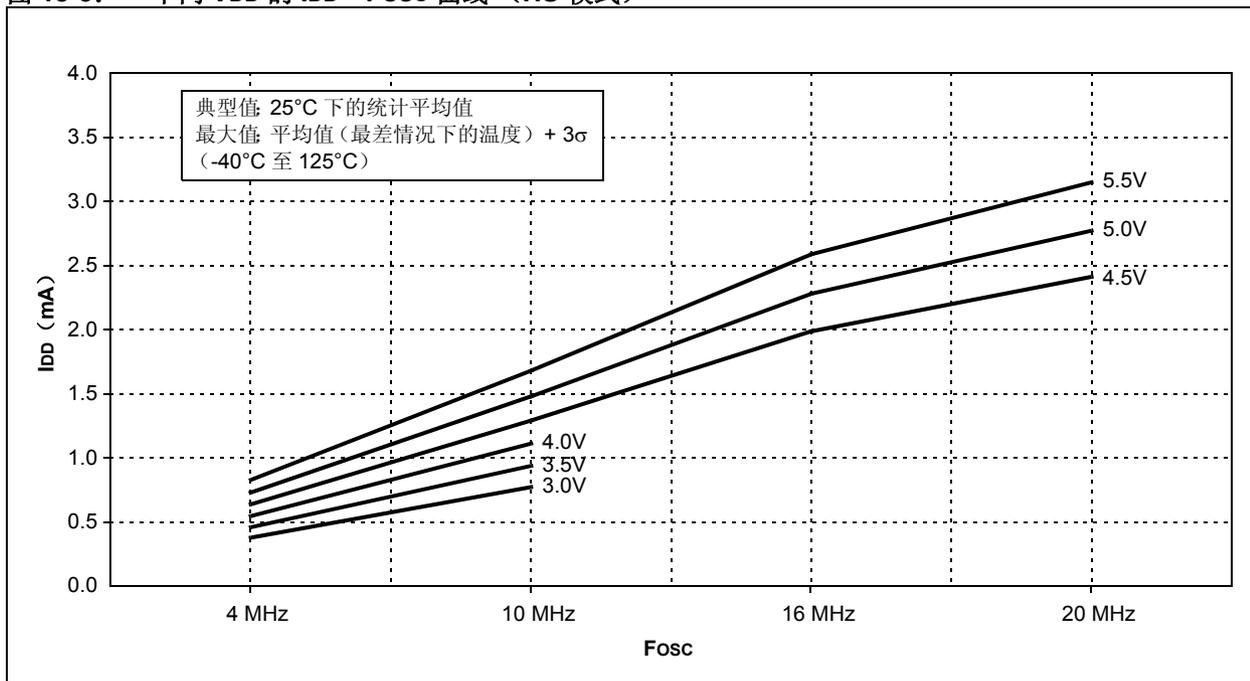


图 18-3: 不同 VDD 的 I_{DD}—Fosc 曲线 (HS 模式)



PIC16F631/677/685/687/689/690

图 18-4: 不同 VDD 的最大 IDD—Fosc 曲线 (HS 模式)

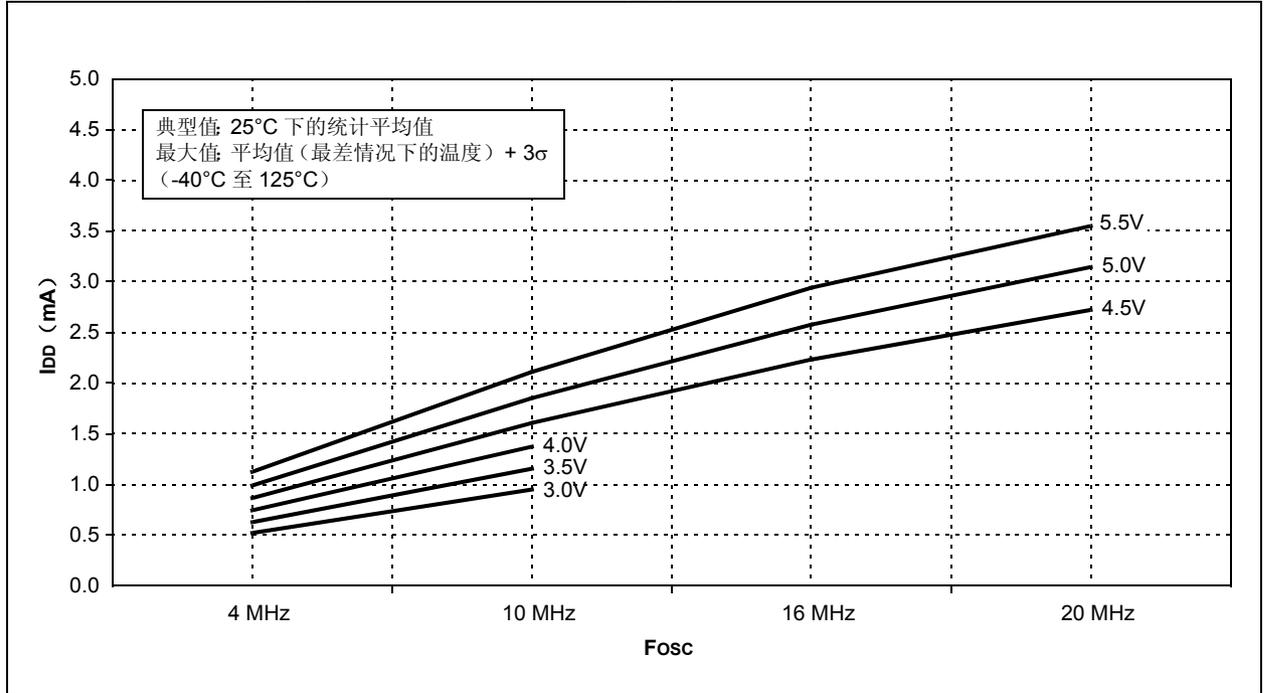
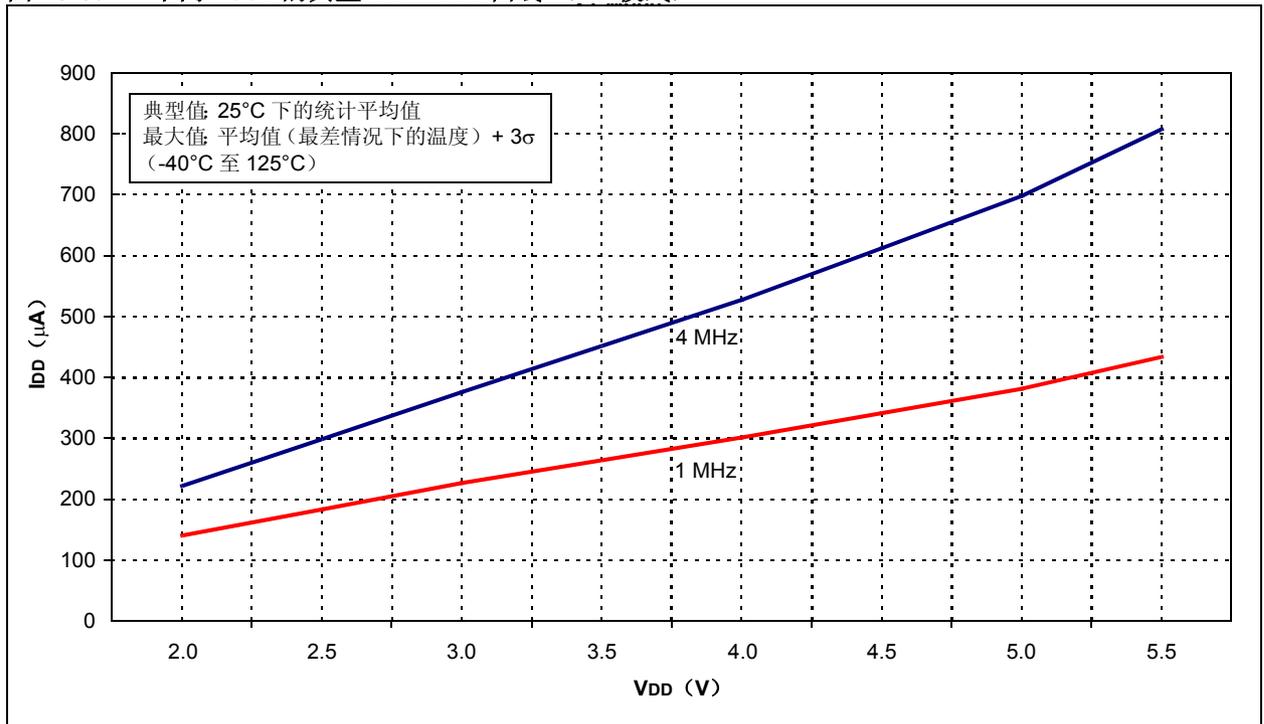


图 18-5: 不同 Fosc 的典型 IDD—VDD 曲线 (XT 模式)



PIC16F631/677/685/687/689/690

图 18-6: 不同 Fosc 的最大 IDD—VDD 曲线 (XT 模式)

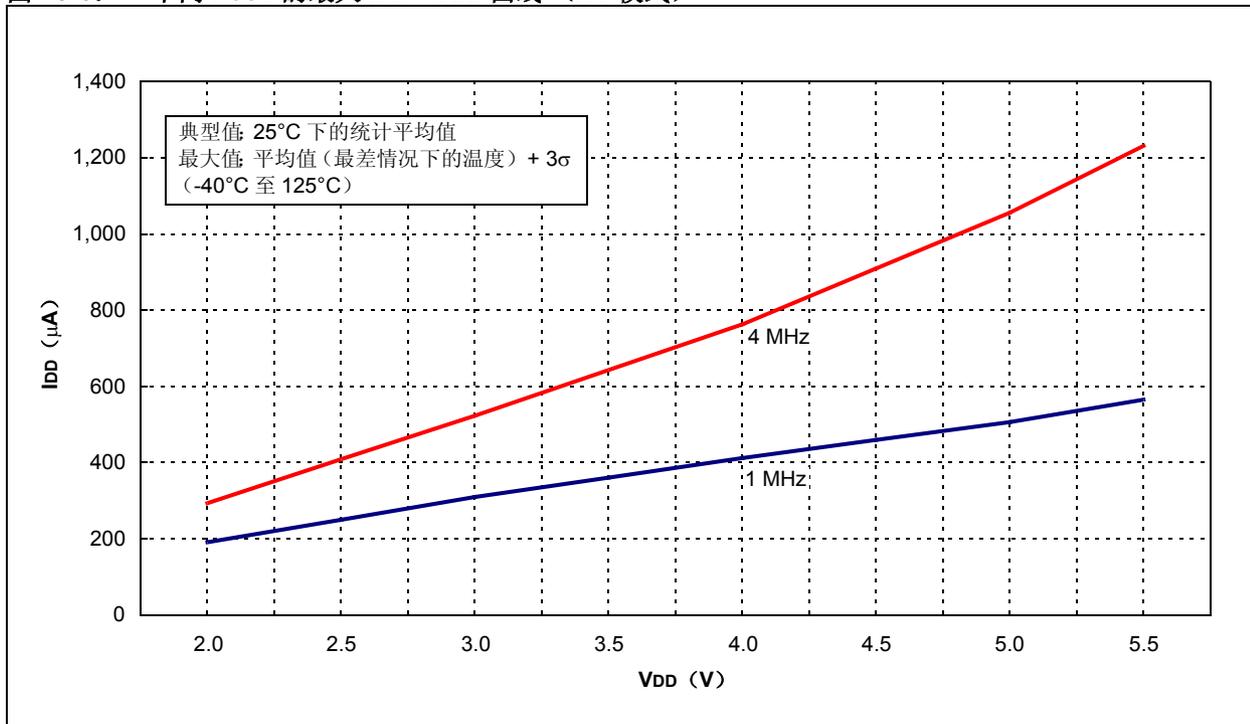
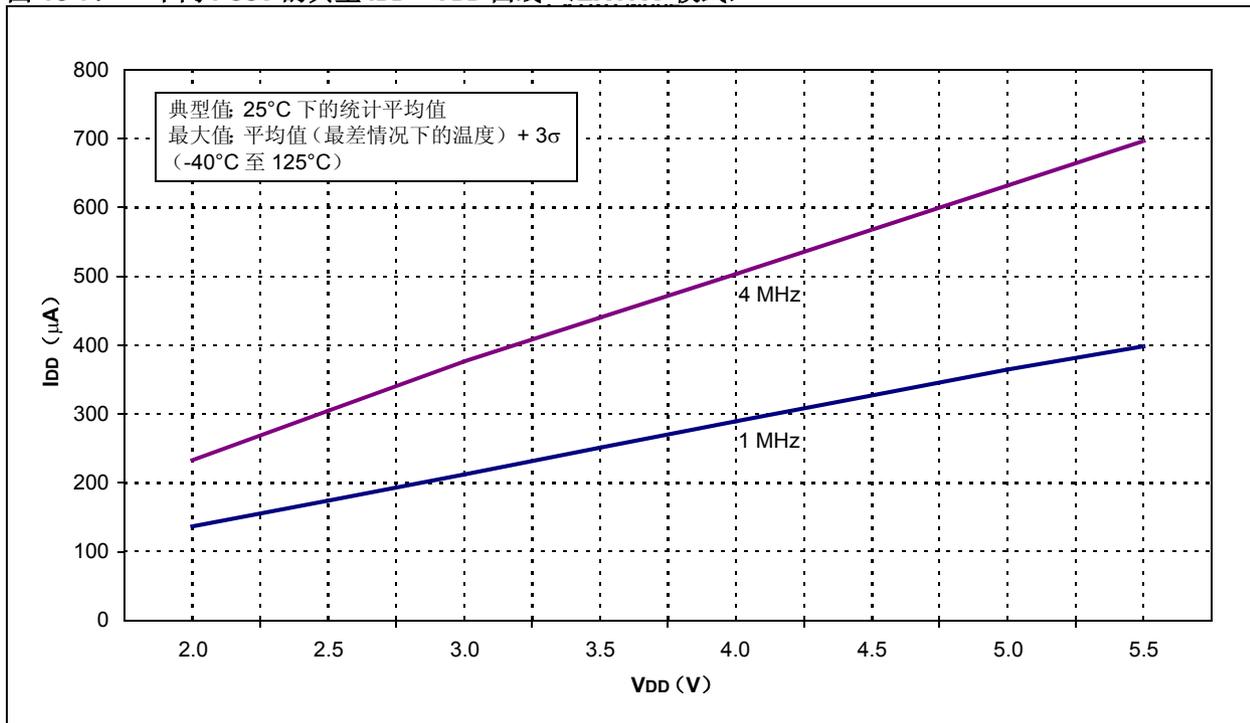


图 18-7: 不同 Fosc 的典型 IDD—VDD 曲线 (EXTRC 模式)



PIC16F631/677/685/687/689/690

图 18-8: 不同 Fosc 的最大 IDD—VDD 曲线 (EXTRC 模式)

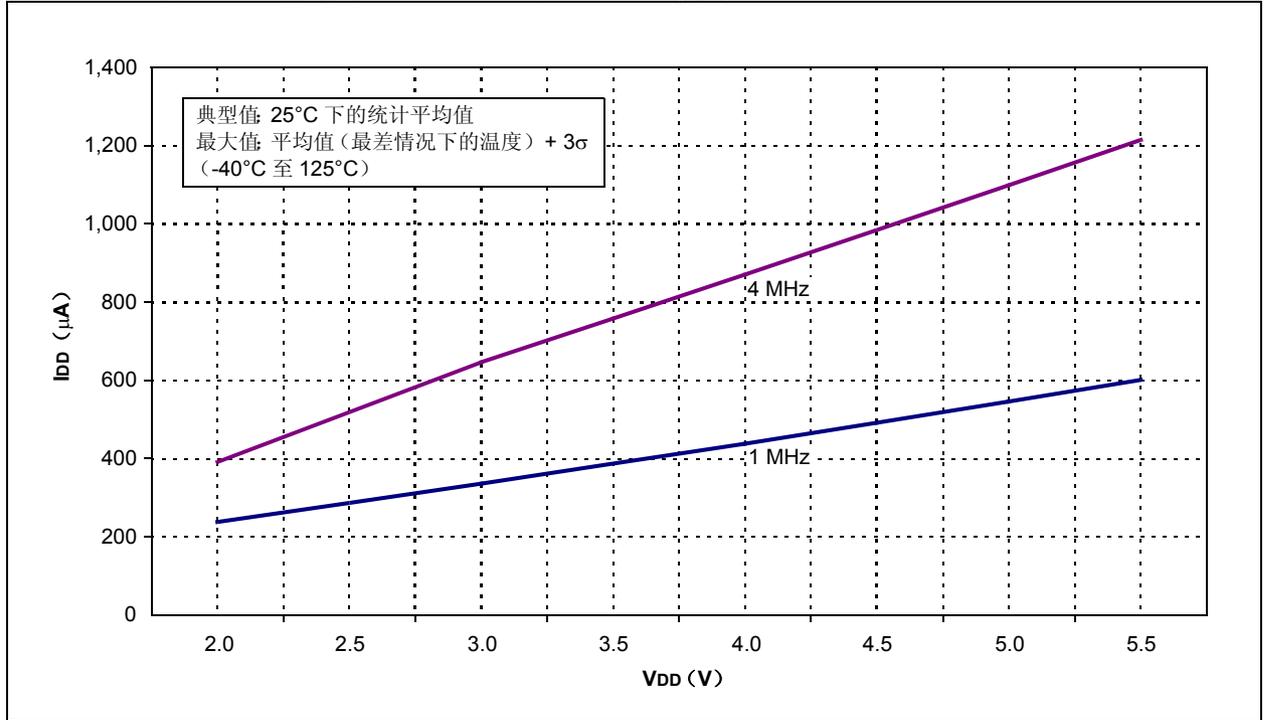
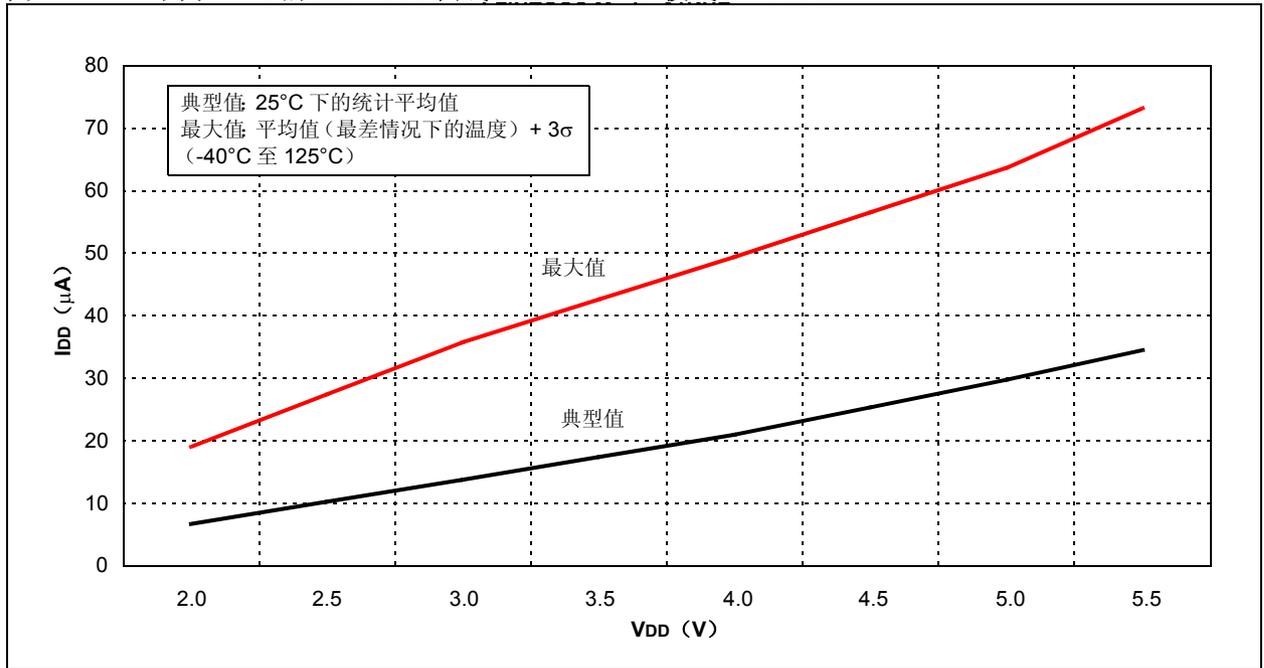


图 18-9: 不同 Fosc 的 IDD—VDD 曲线 (LFINTOSC 模式, 31 kHz)



PIC16F631/677/685/687/689/690

图 18-10: 不同 VDD 的典型 I_{DD}—Fosc 曲线 (HFINTOSC 模式)

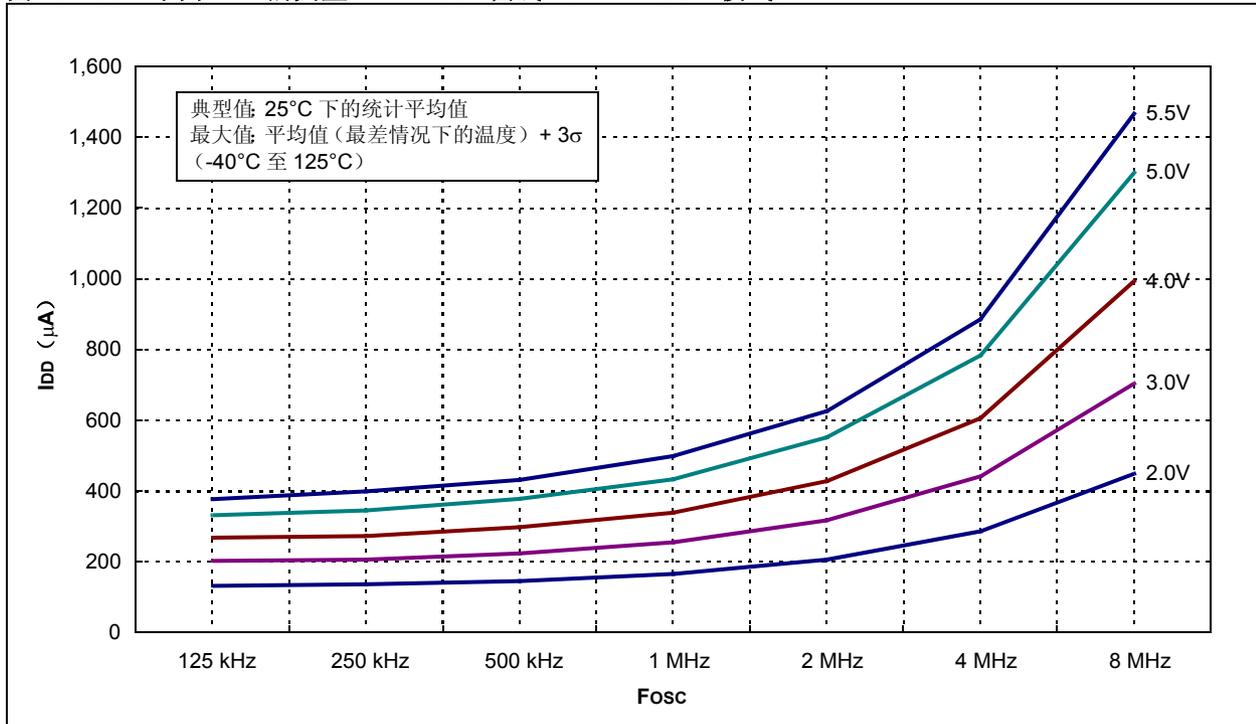


图 18-11: 不同 VDD 的最大 I_{DD}—Fosc 曲线 (HFINTOSC 模式)

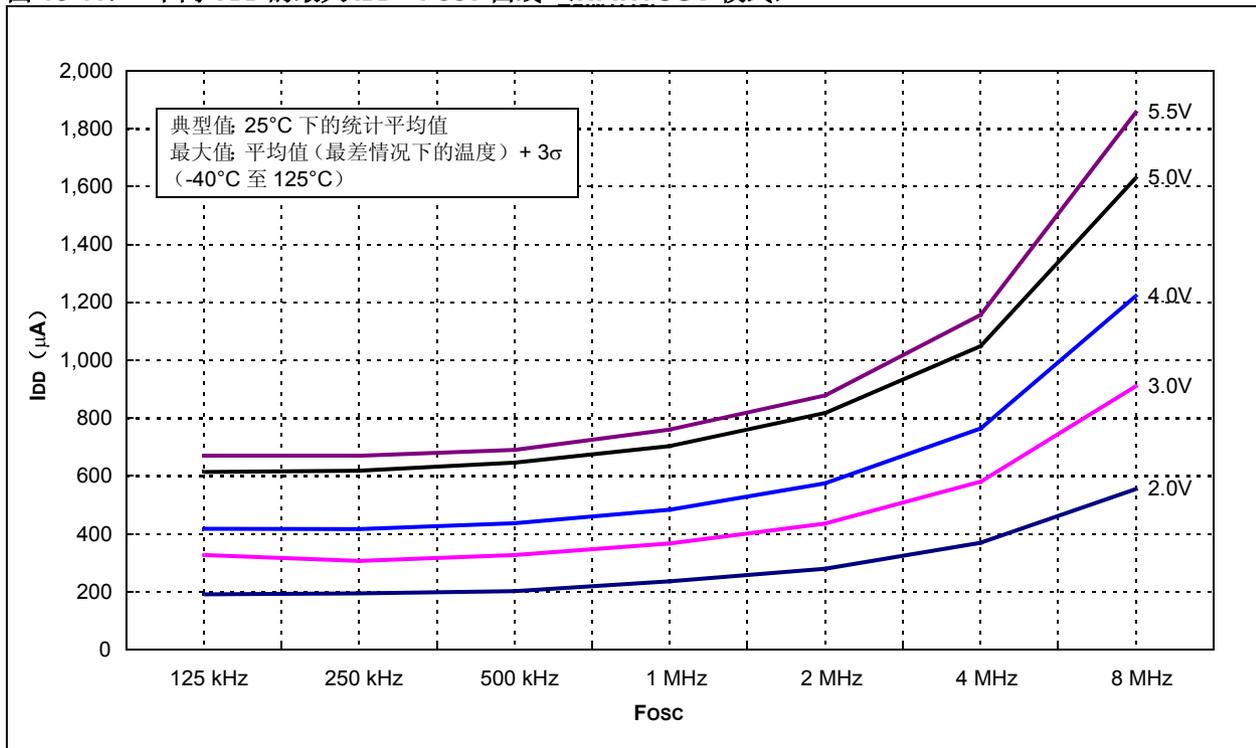


图 18-12: 典型 IPD—VDD 曲线 (休眠模式, 禁止所有外设)

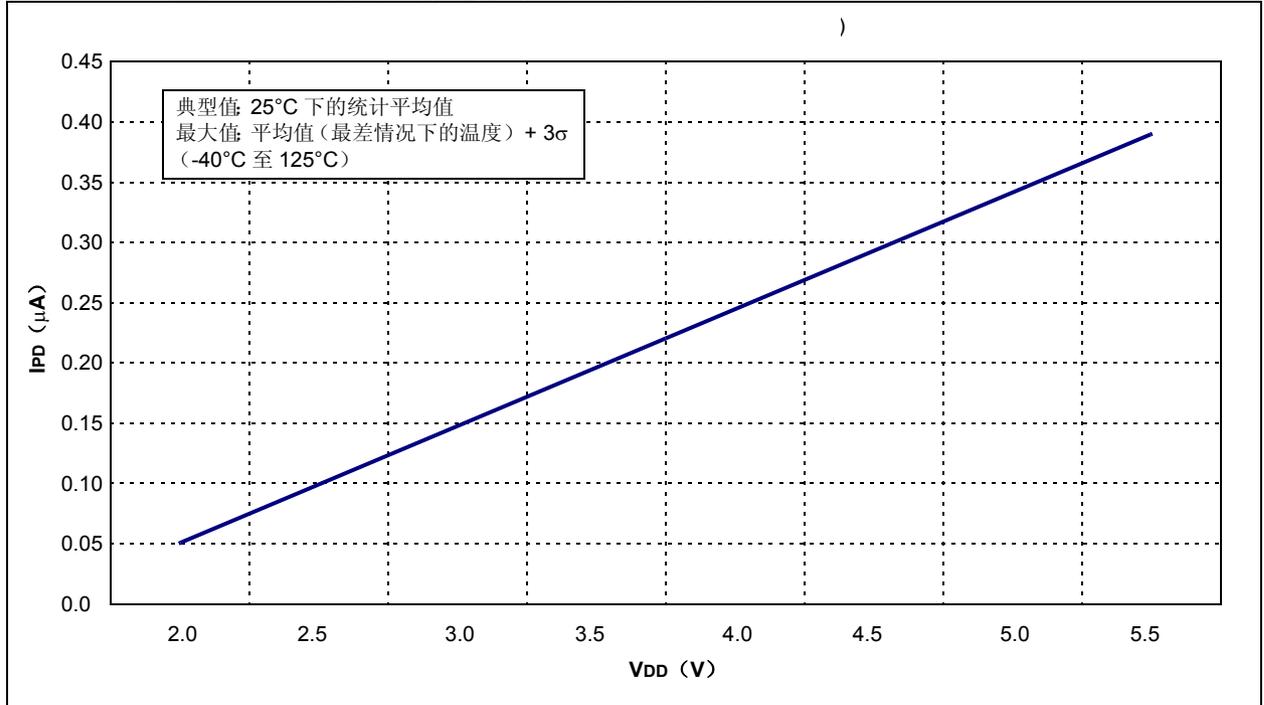
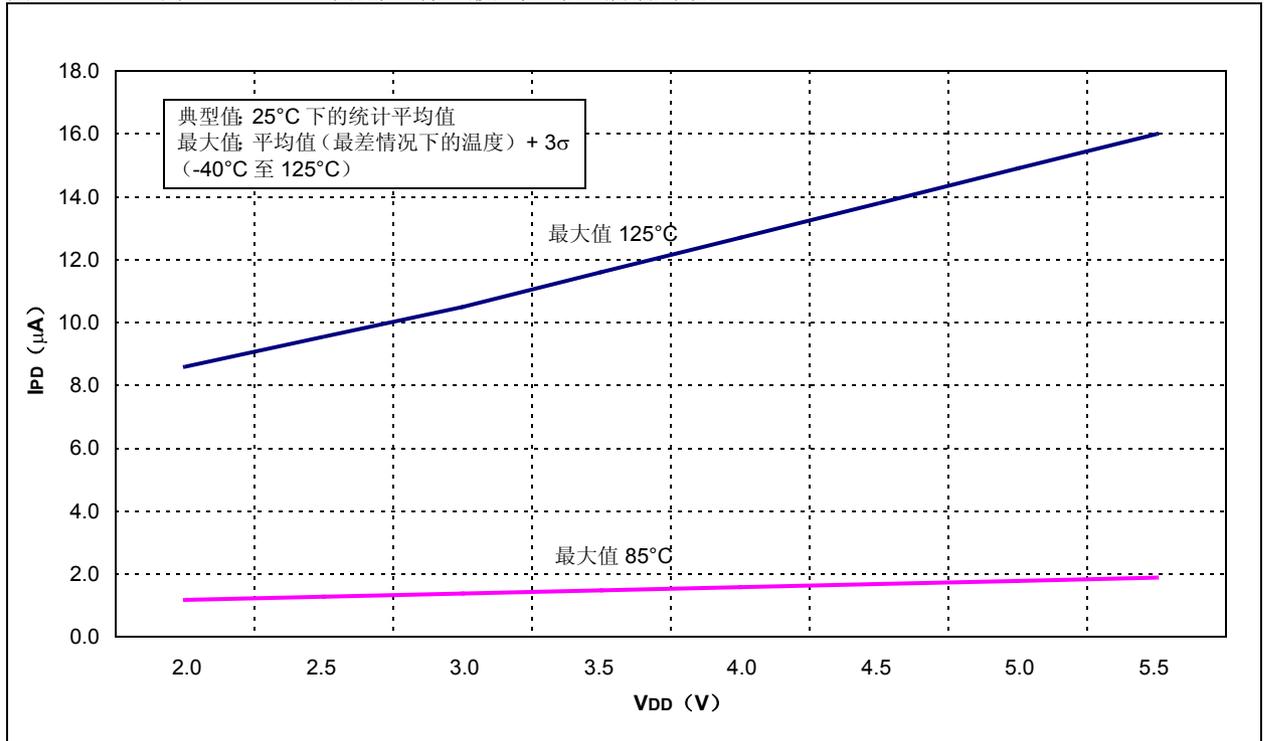


图 18-13: 最大 IPD—VDD 曲线 (休眠模式, 禁止所有外设)



PIC16F631/677/685/687/689/690

图 18-14: 比较器 IPD—VDD 曲线 (两个比较器均使能)

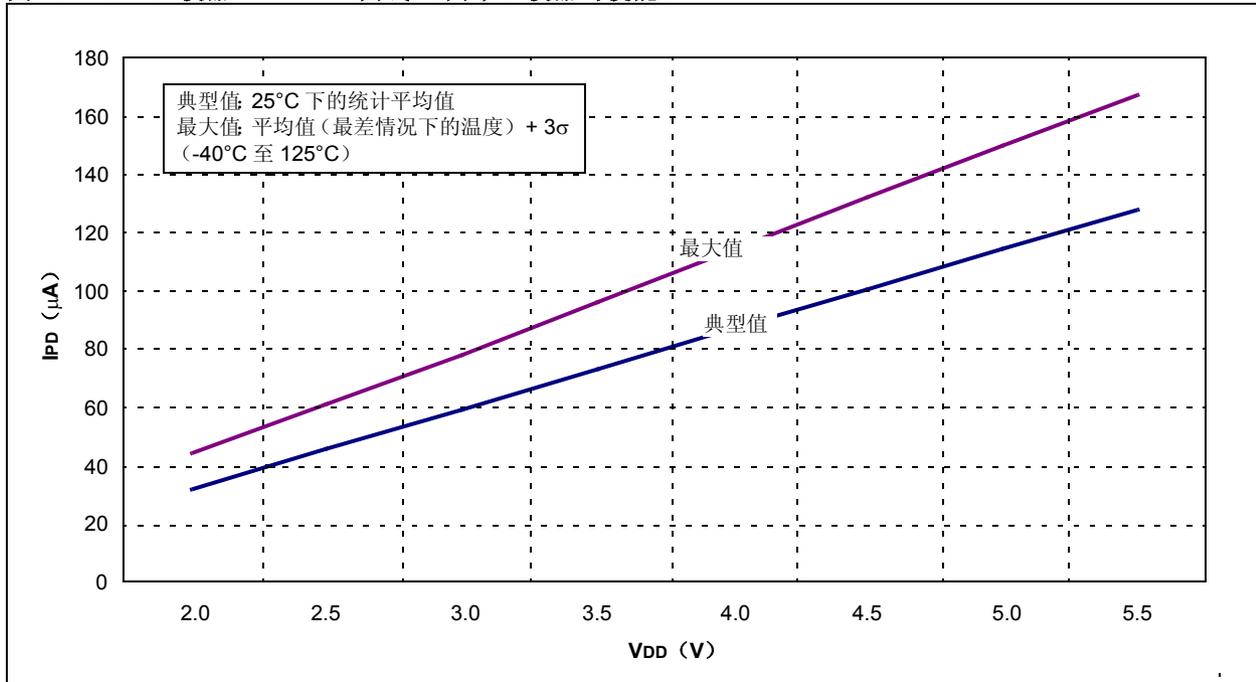


图 18-15: 不同温度的 BOR IPD—VDD 曲线

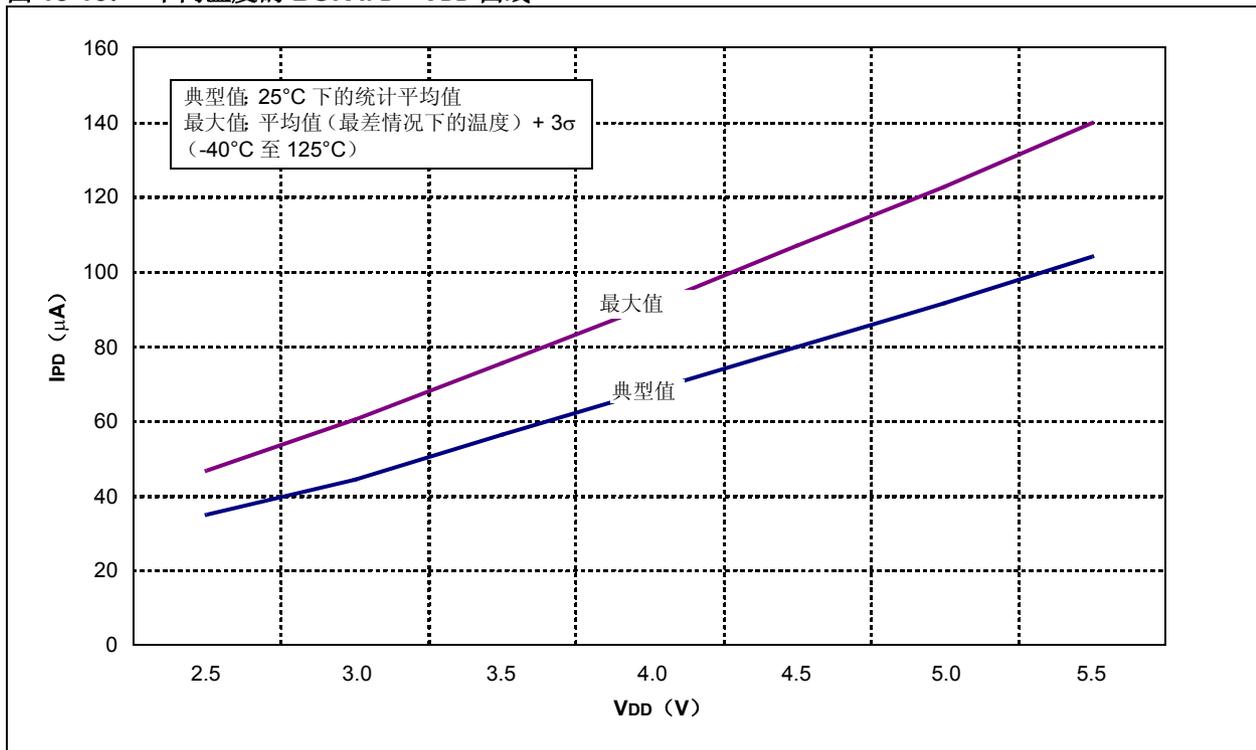


图 18-16: 不同温度的典型 WDT IPD—VDD 曲线

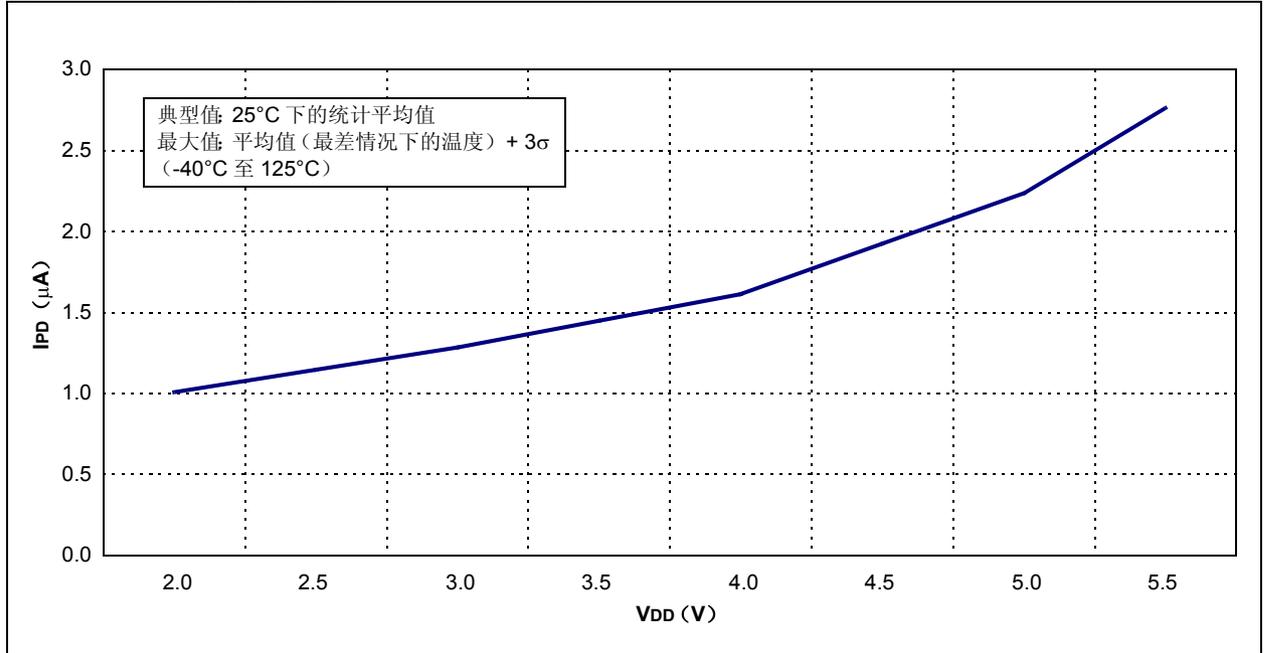
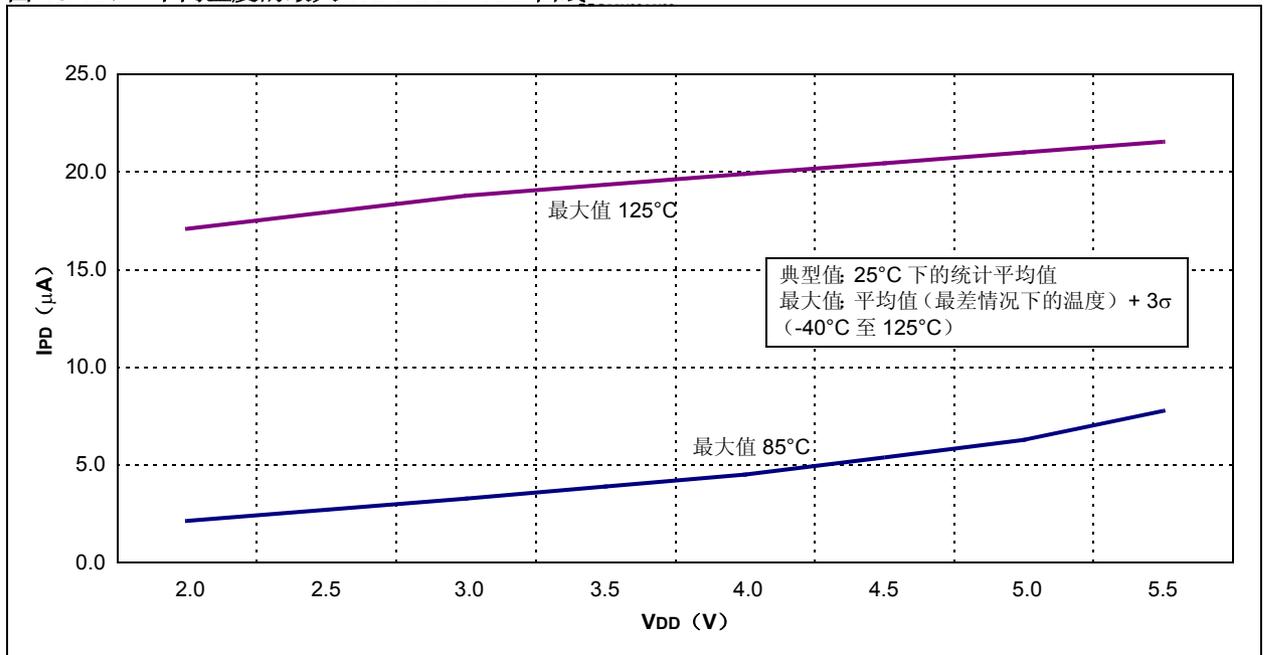


图 18-17: 不同温度的最大 WDT IPD—VDD 曲线



PIC16F631/677/685/687/689/690

图 18-18: 不同温度的 WDT 周期—VDD 曲线

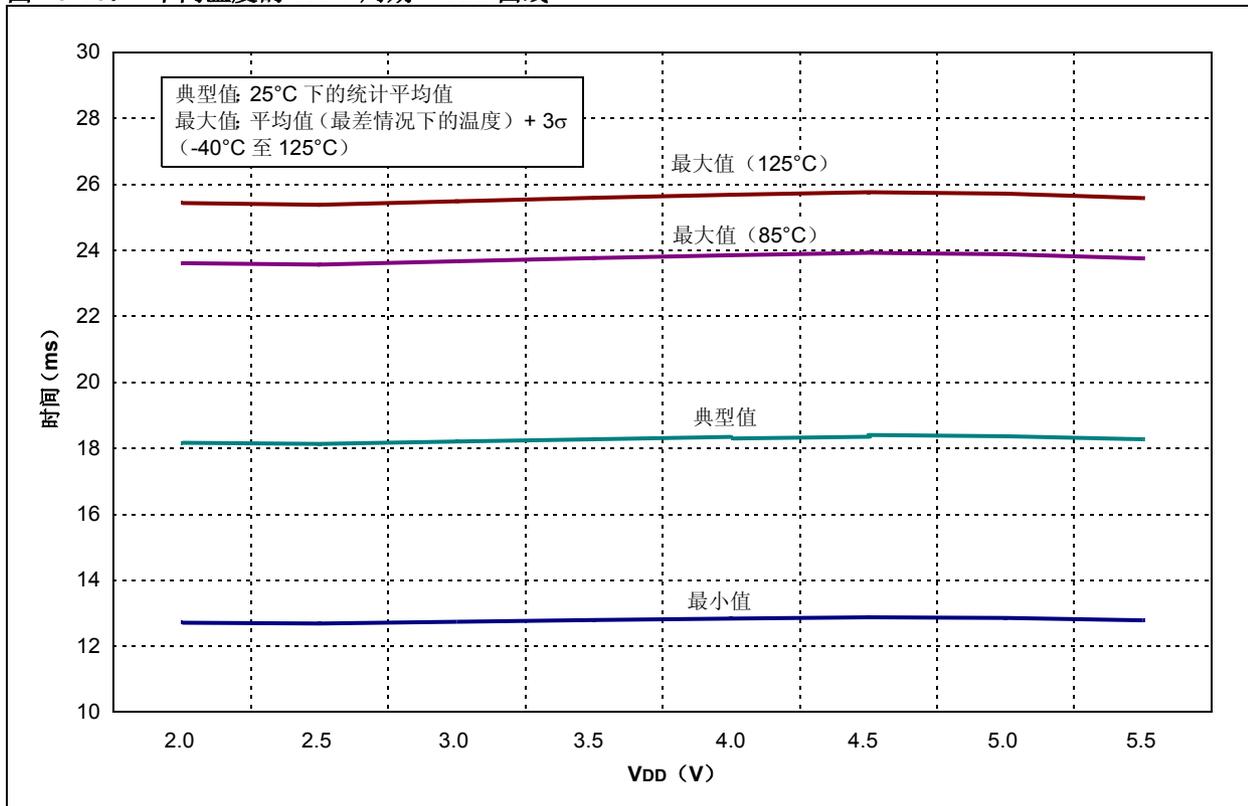
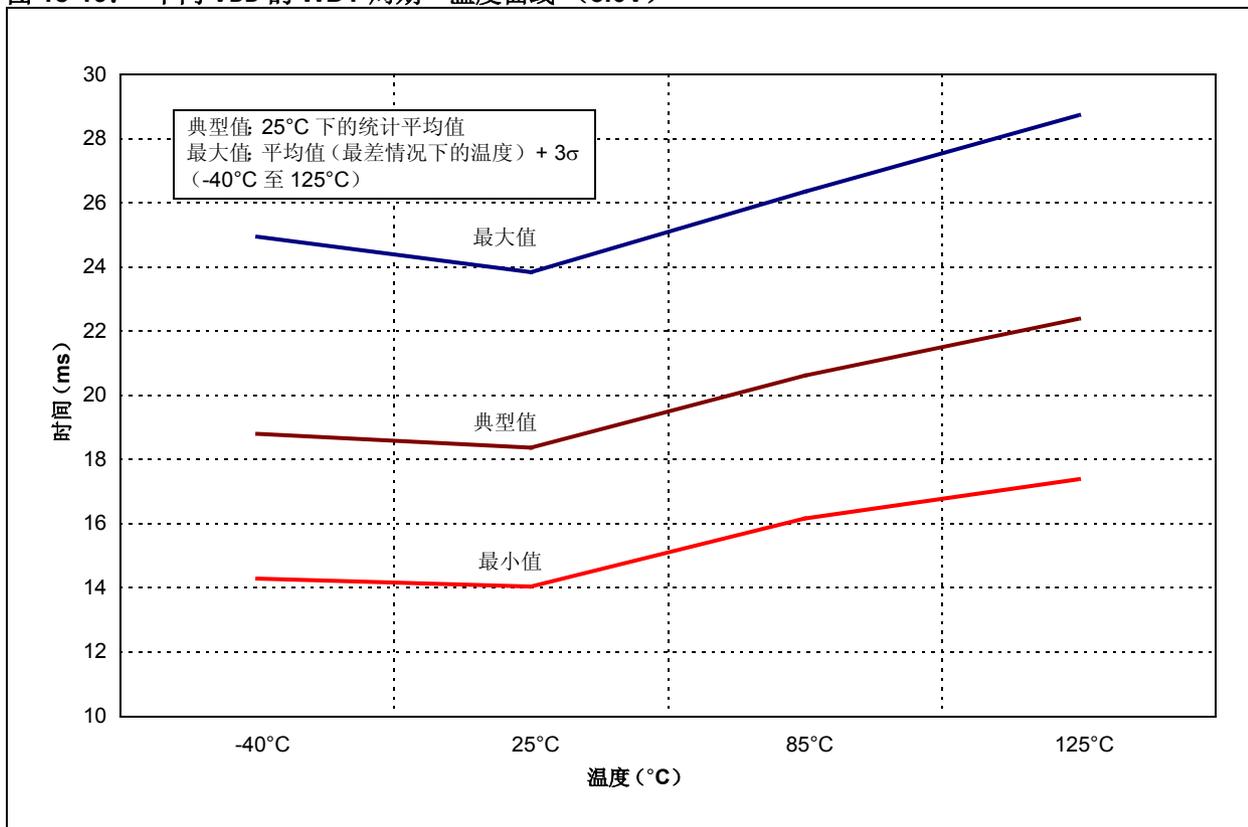


图 18-19: 不同 VDD 的 WDT 周期—温度曲线 (5.0V)



PIC16F631/677/685/687/689/690

图 18-20: 不同温度的 CVREF IPD—VDD (高电压范围)

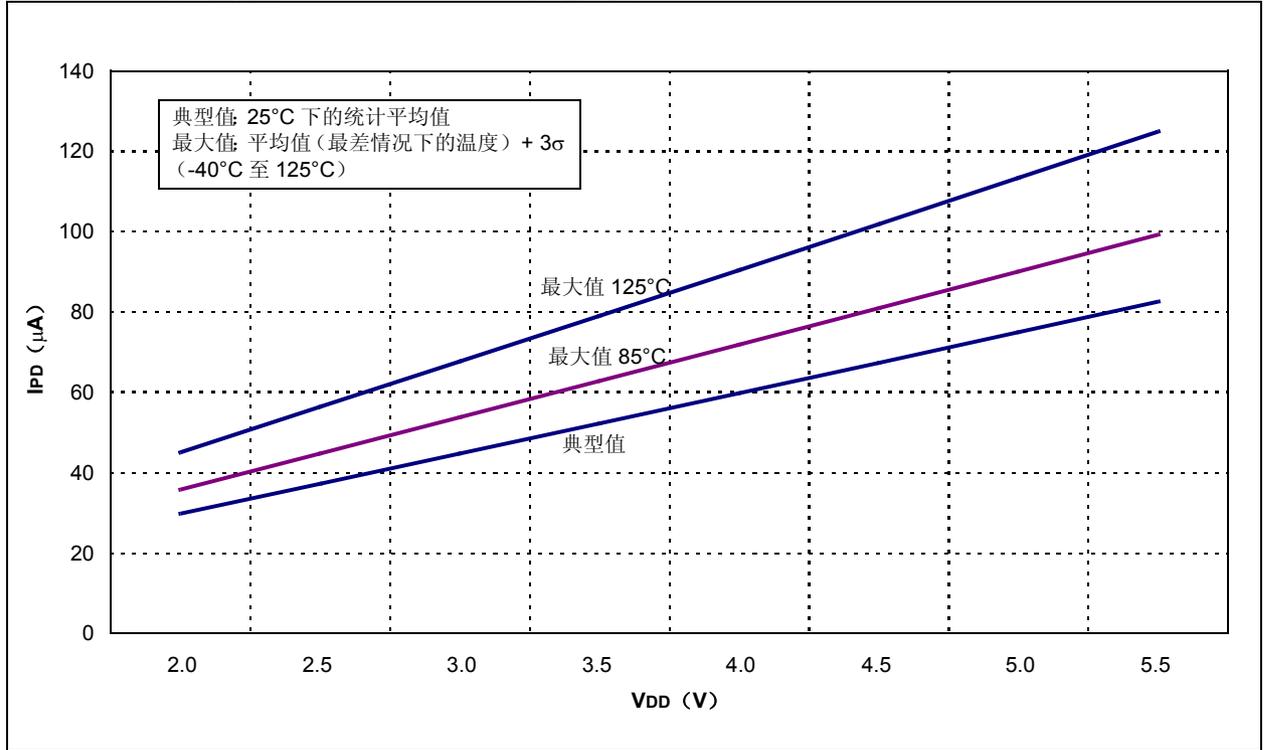
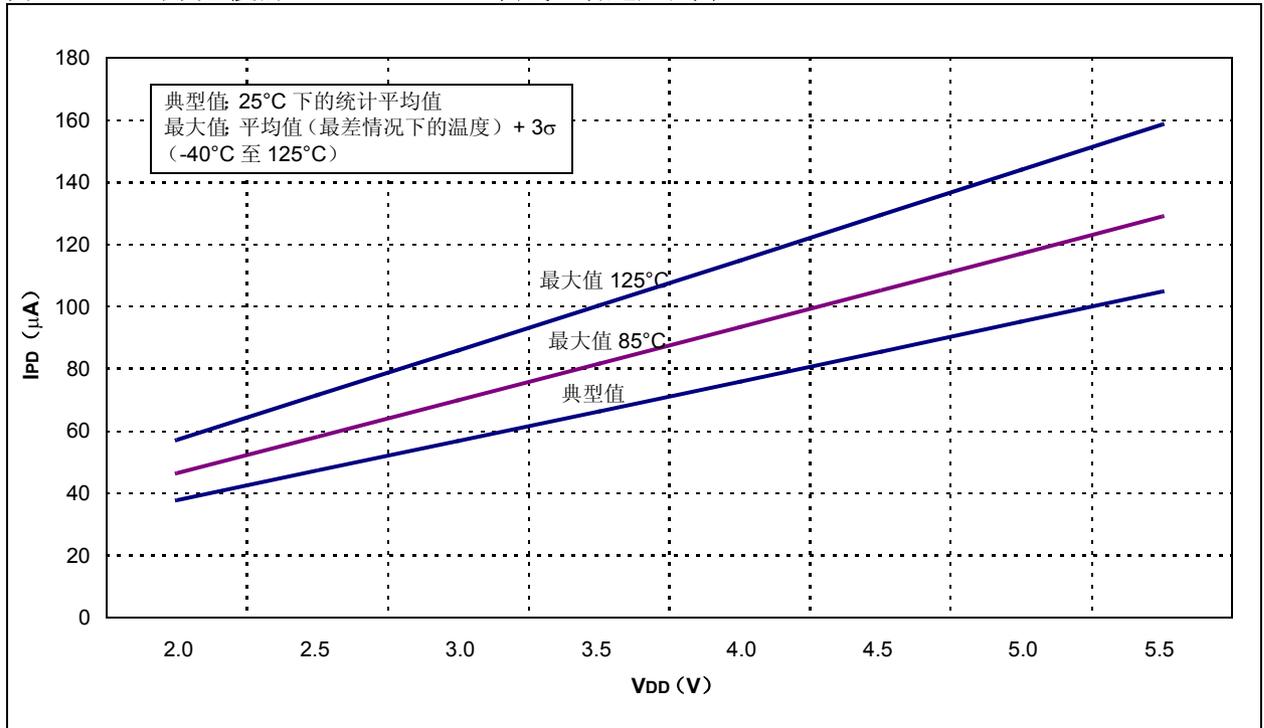


图 18-21: 不同温度的 CVREF IPD—VDD 曲线 (低电压范围)



PIC16F631/677/685/687/689/690

图 18-22: 不同温度的 VOL—IOL 曲线 (VDD = 3.0V)

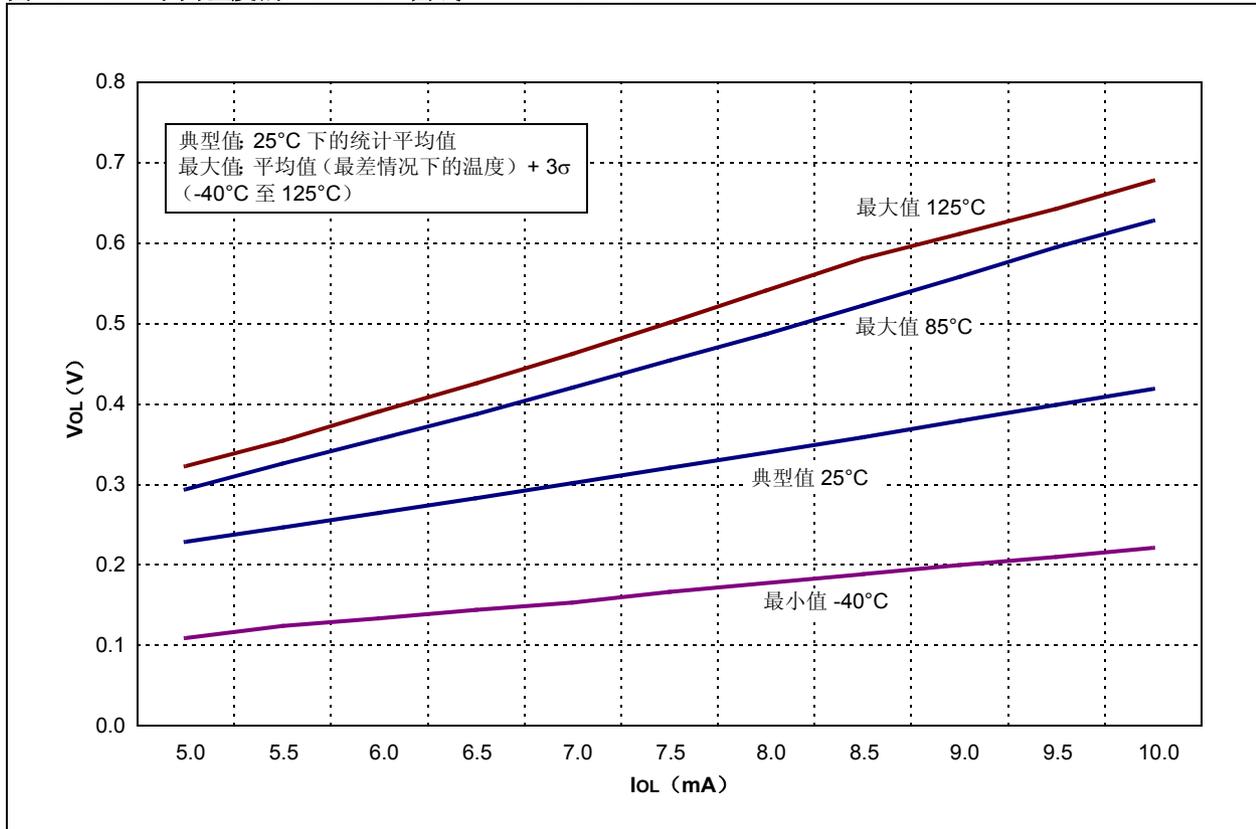
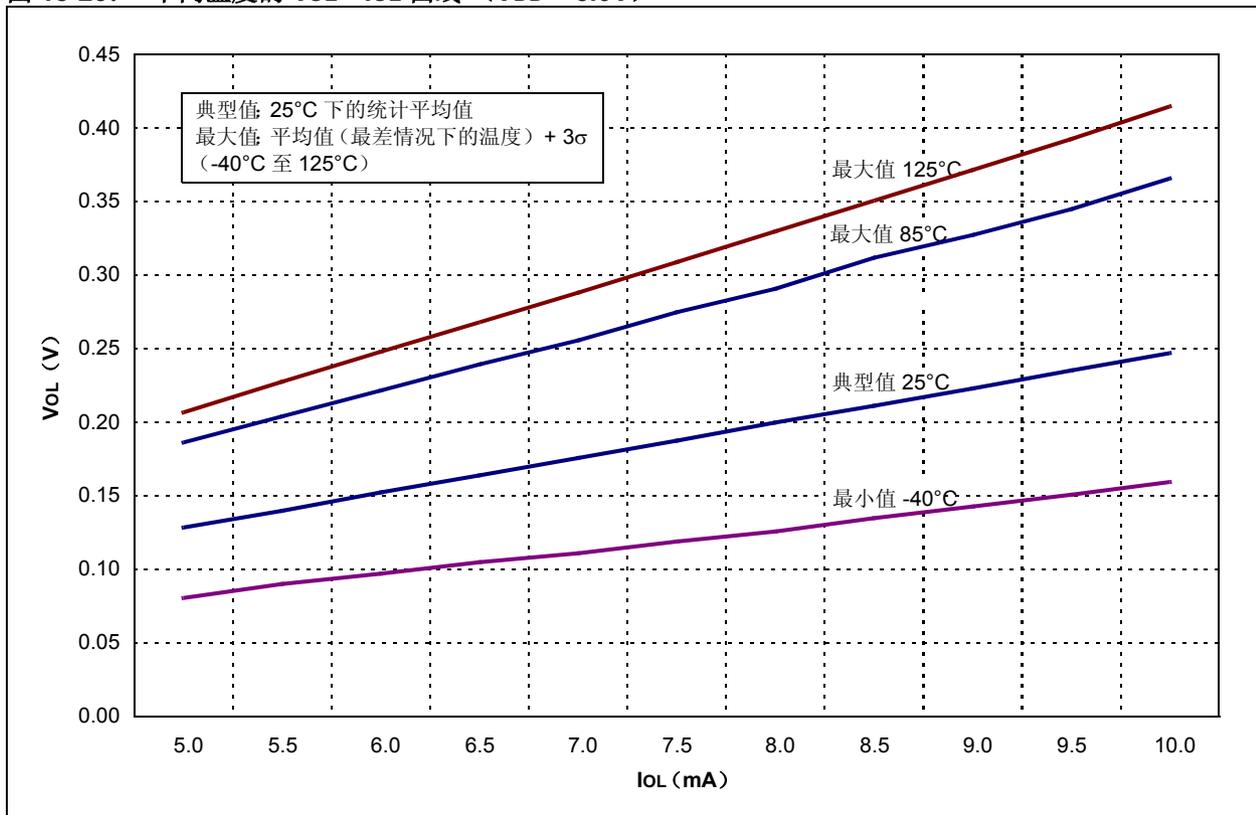


图 18-23: 不同温度的 VOL—IOL 曲线 (VDD = 5.0V)



PIC16F631/677/685/687/689/690

图 18-24: 不同温度的 V_{OH} — I_{OH} 曲线 ($V_{DD} = 3.0V$)

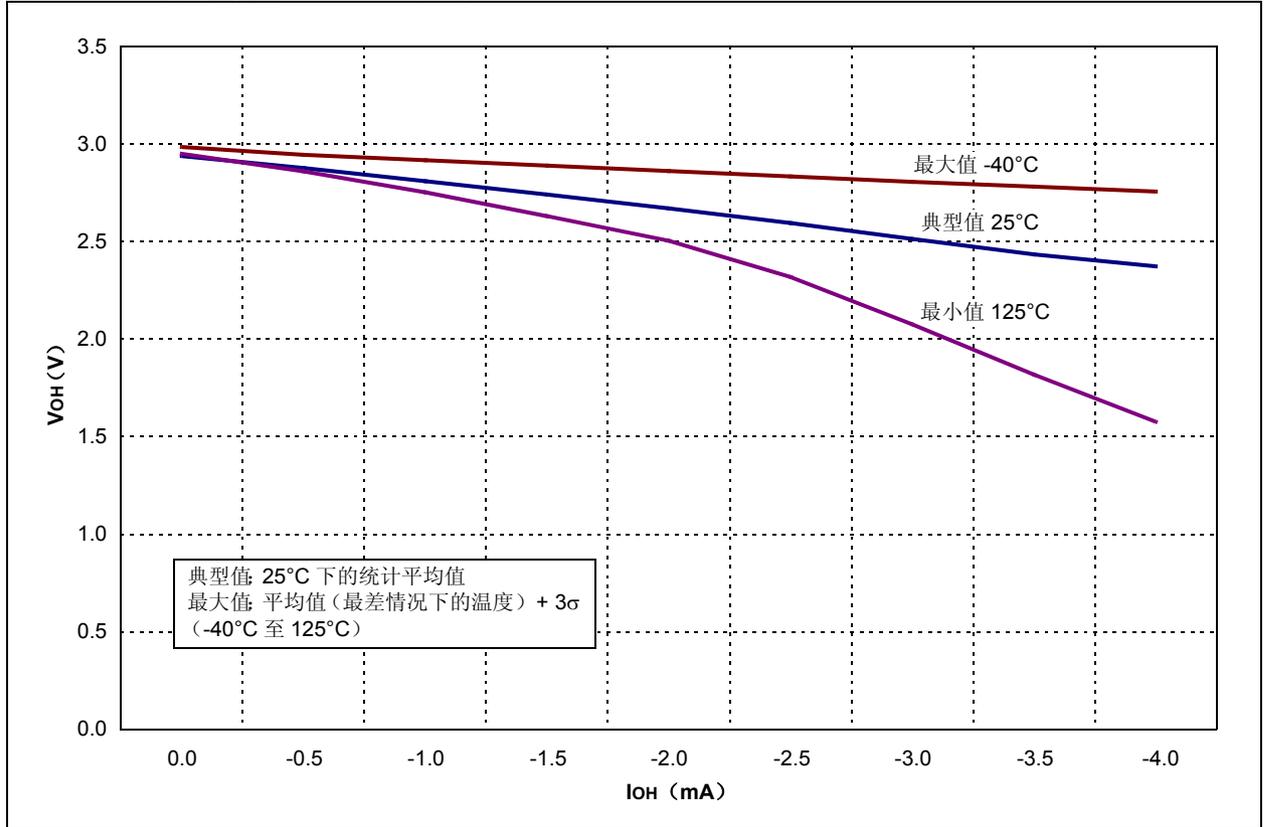
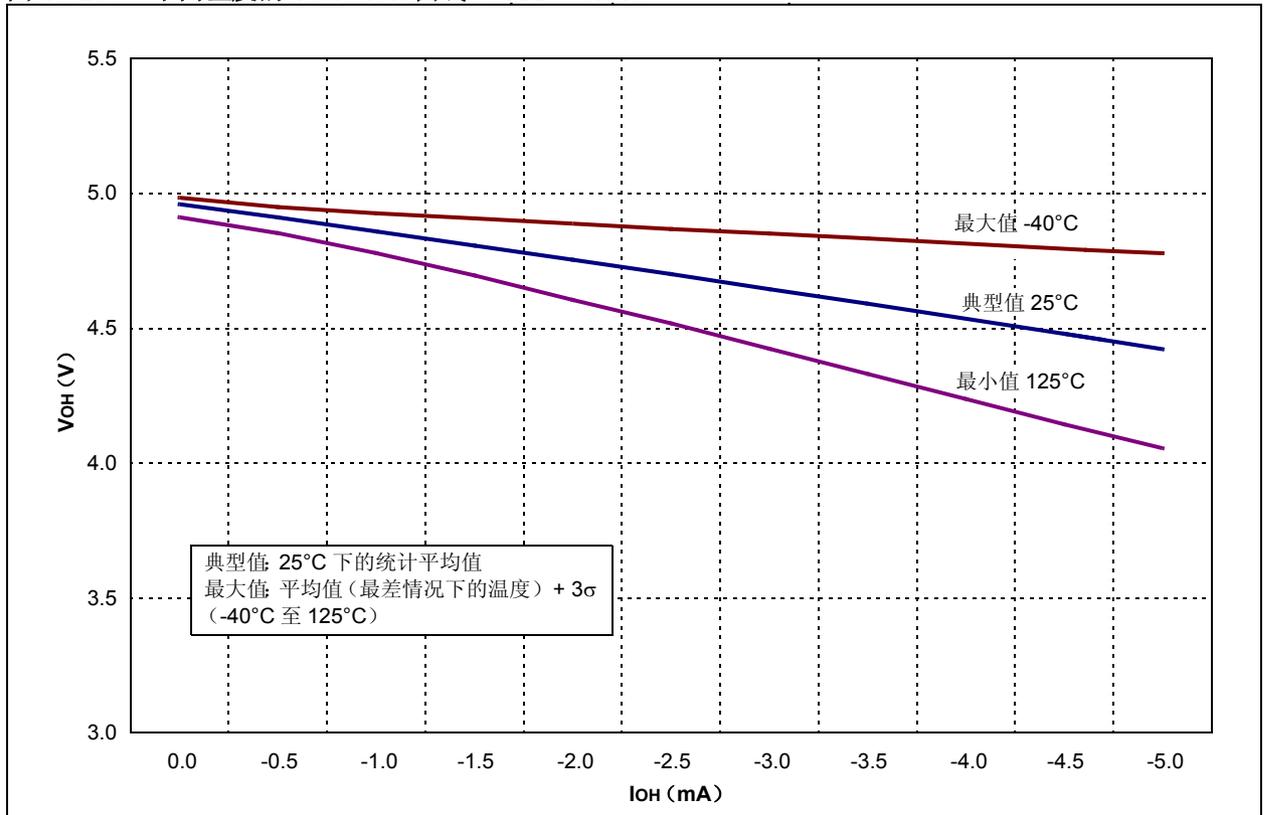


图 18-25: 不同温度的 V_{OH} — I_{OH} 曲线 ($V_{DD} = 5.0V$)



PIC16F631/677/685/687/689/690

图 18-26: 不同温度的 TTL 输入门限 $V_{IN}-V_{DD}$ 曲线

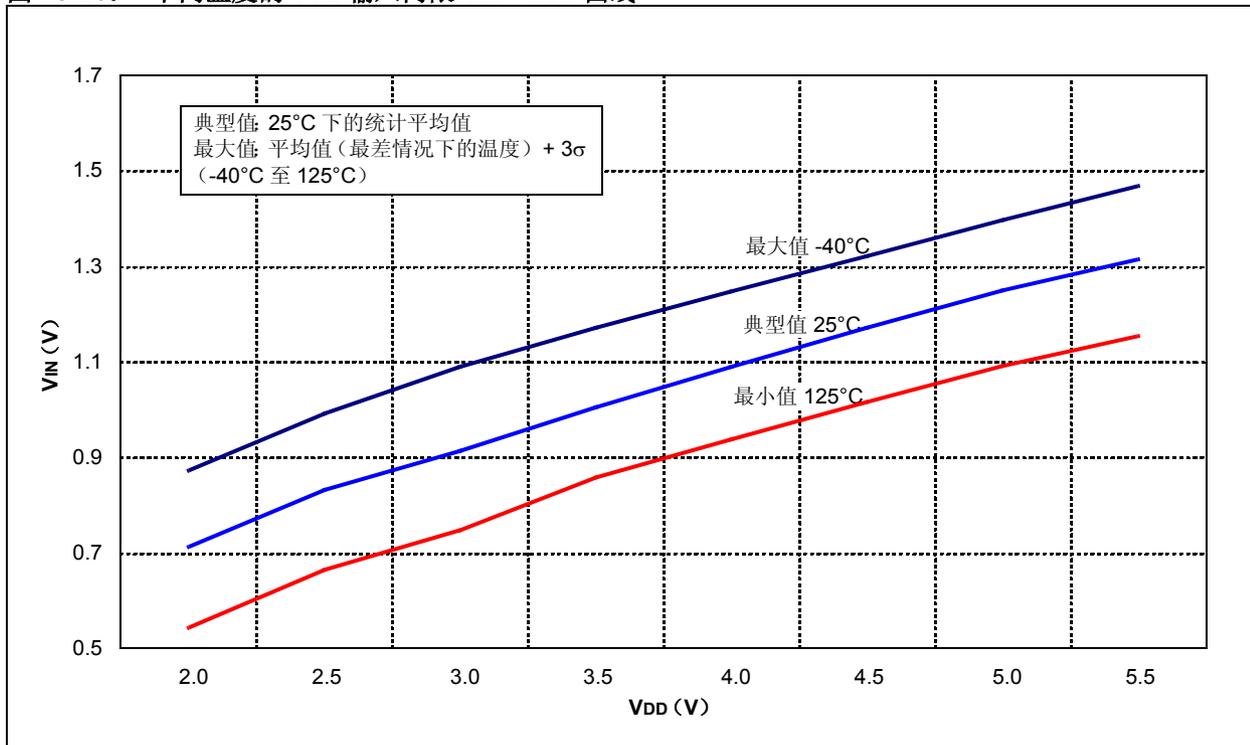
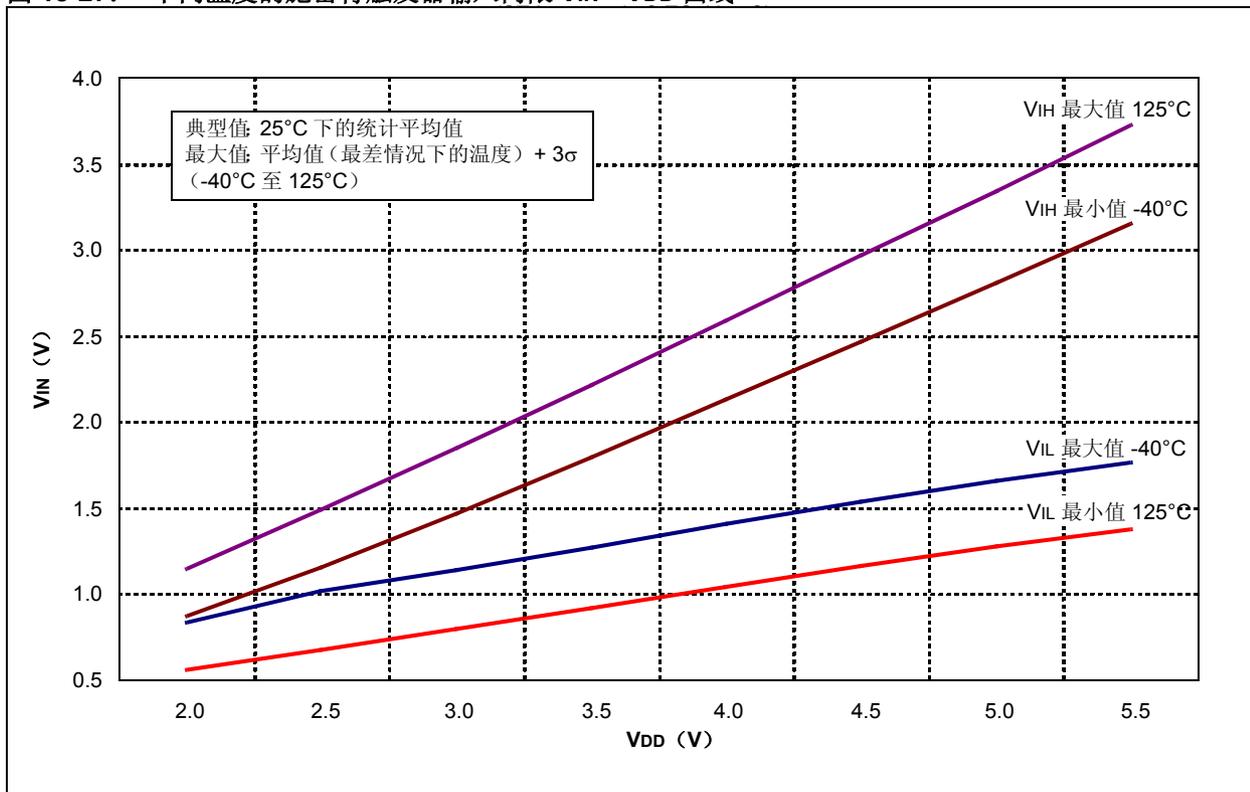


图 18-27: 不同温度的施密特触发器输入门限 $V_{IN}-V_{DD}$ 曲线



PIC16F631/677/685/687/689/690

图 18-28: 比较器响应时间曲线 (上升沿)

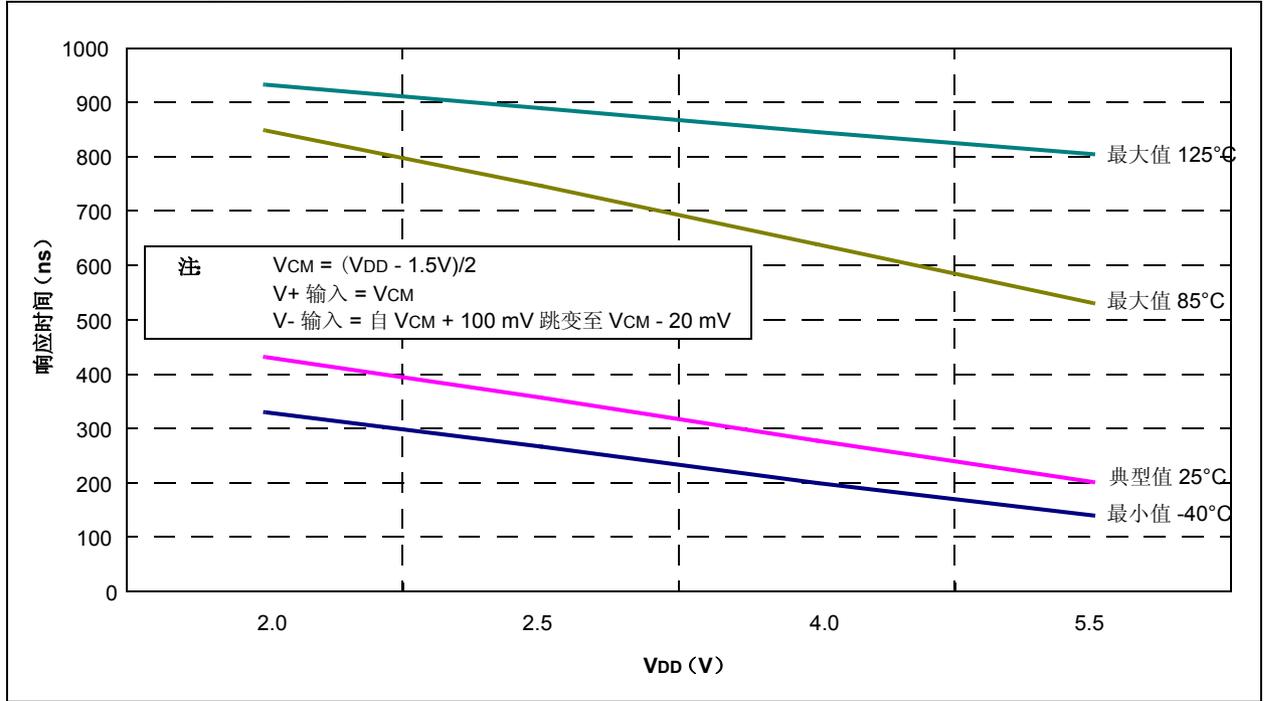
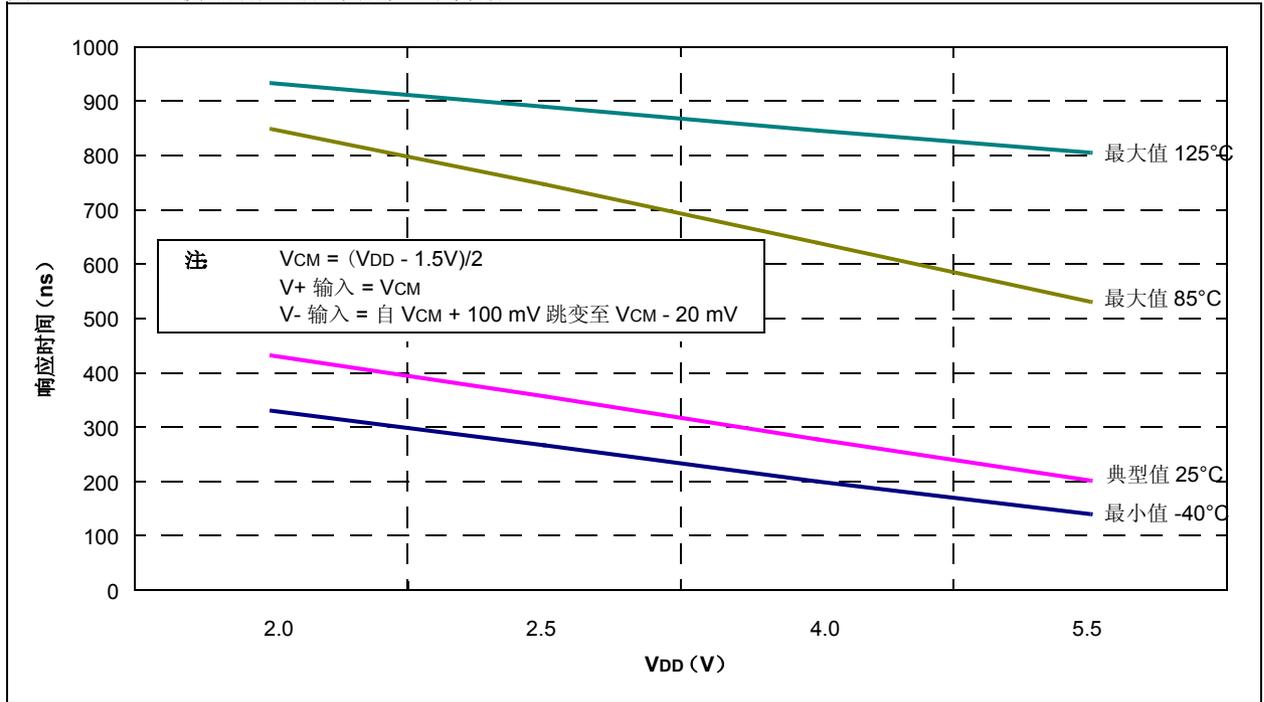


图 18-29: 比较器响应时间曲线 (下降沿)



PIC16F631/677/685/687/689/690

图 18-30: 不同温度的 LFINTOSC 频率—VDD 曲线 (31 kHz)

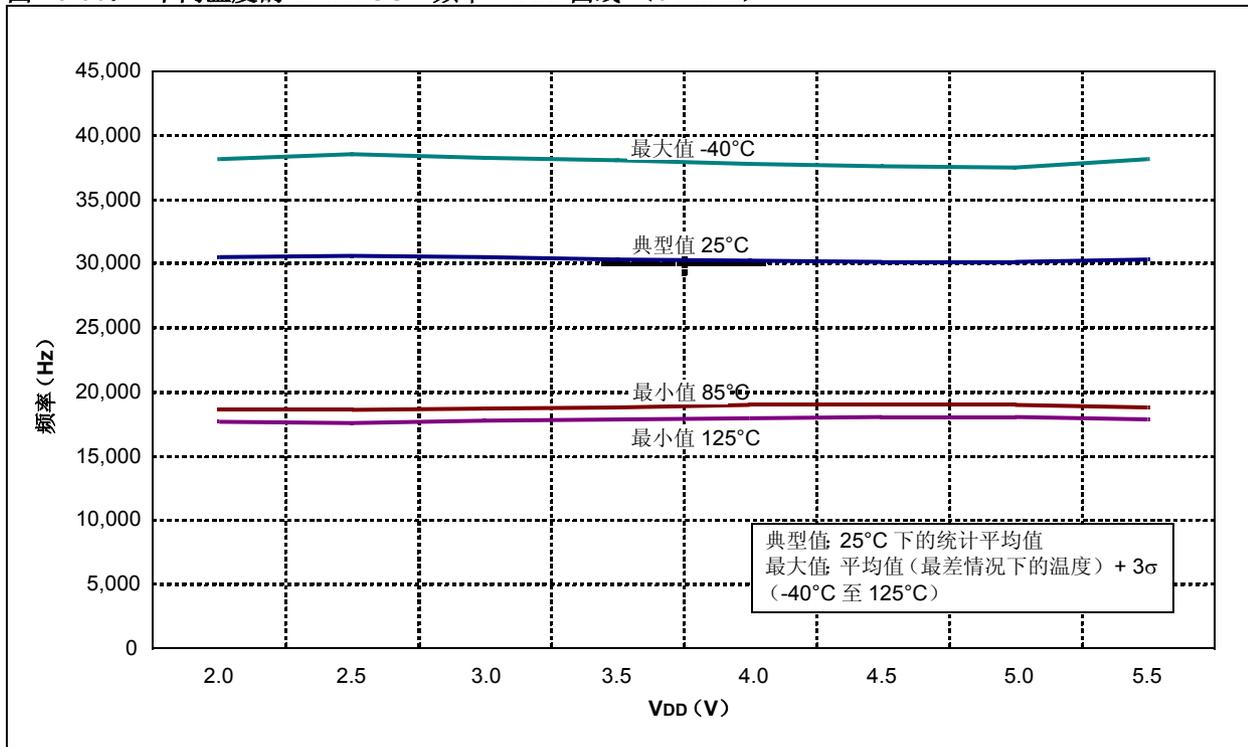
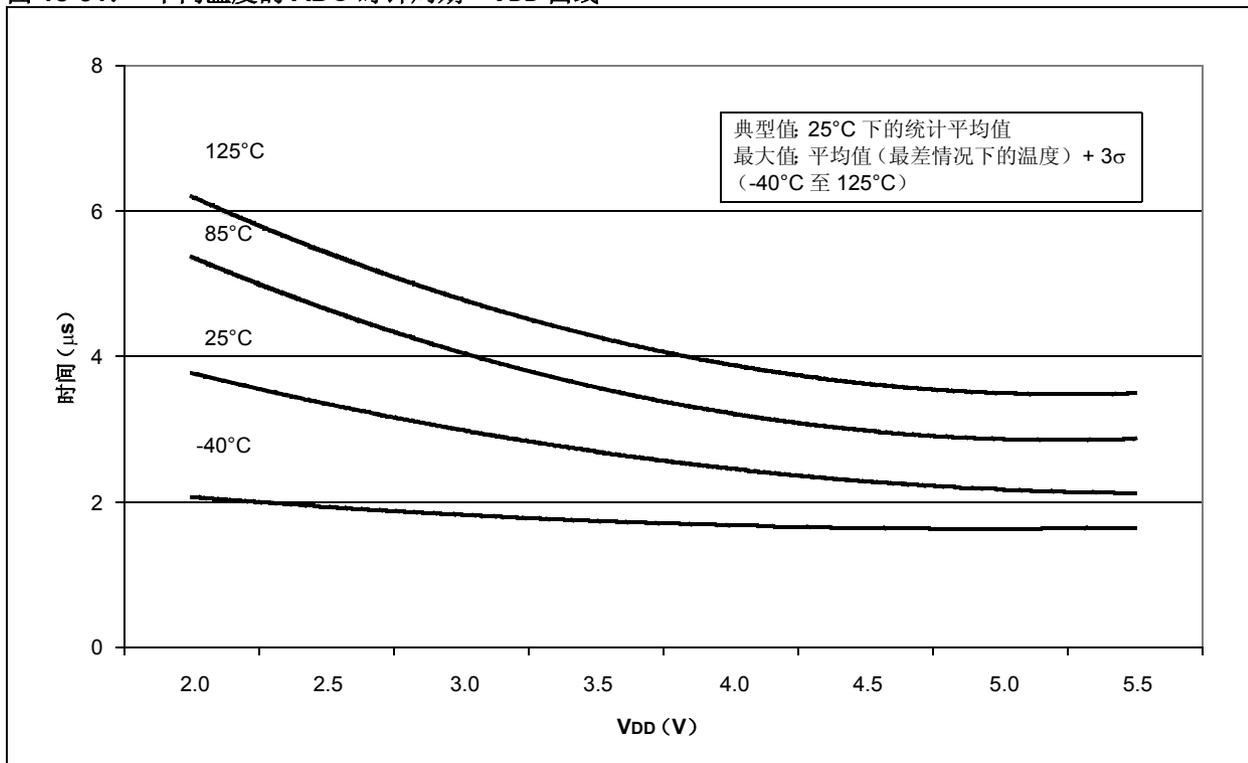


图 18-31: 不同温度的 ADC 时钟周期—VDD 曲线



PIC16F631/677/685/687/689/690

图 18-32: 不同温度的典型 HFINTOSC 起振时间—VDD 曲线

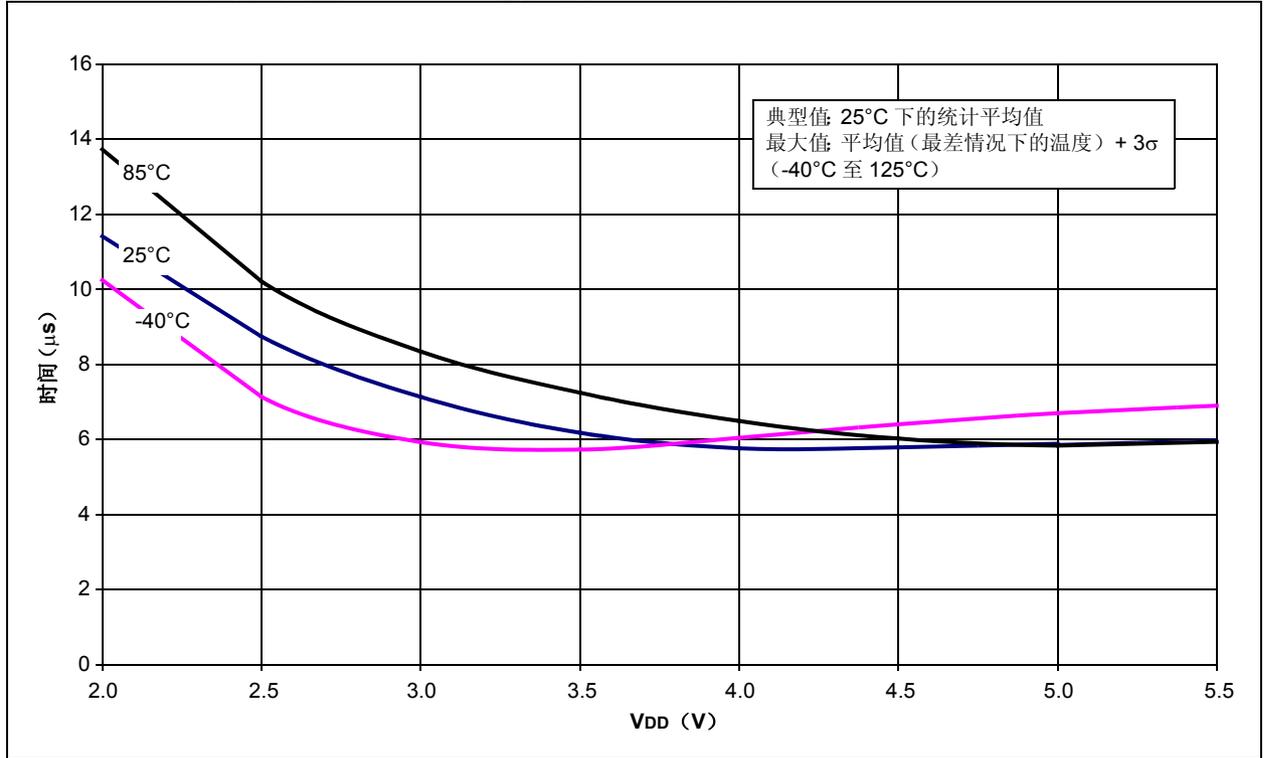
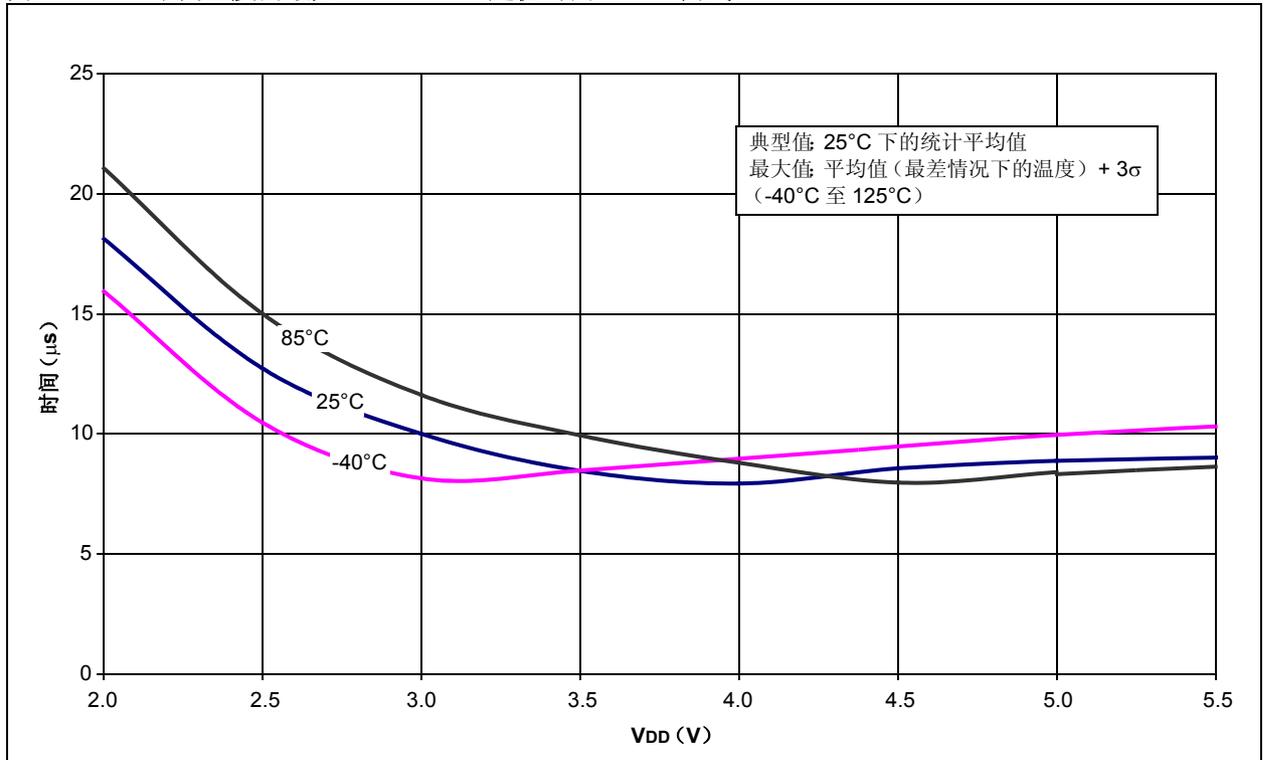


图 18-33: 不同温度的最大 HFINTOSC 起振时间—VDD 曲线



PIC16F631/677/685/687/689/690

图 18-34: 不同温度条件的最小 HFINTOSC 起振时间—VDD 曲线

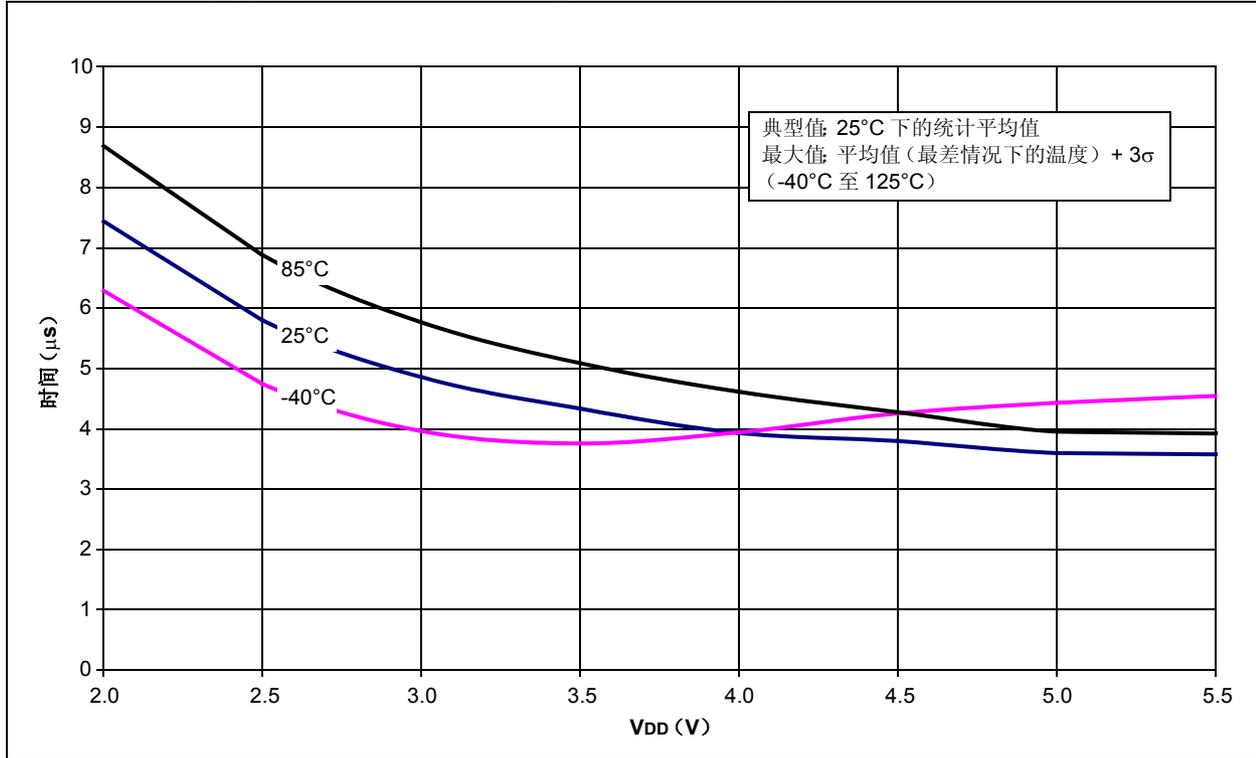


图 18-35: 典型 HFINTOSC 频率变化—VDD 关系曲线 (25°C)

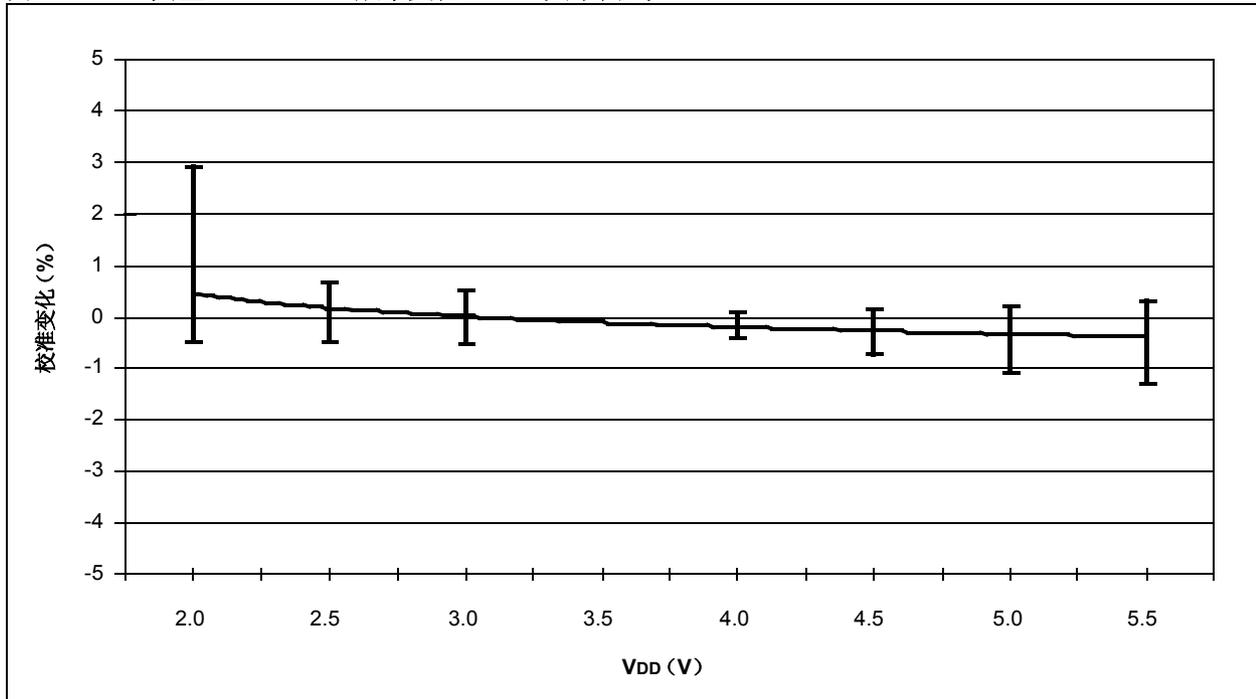


图 18-36: 典型 HFINTOSC 频率变化—VDD 关系曲线 (85°C)

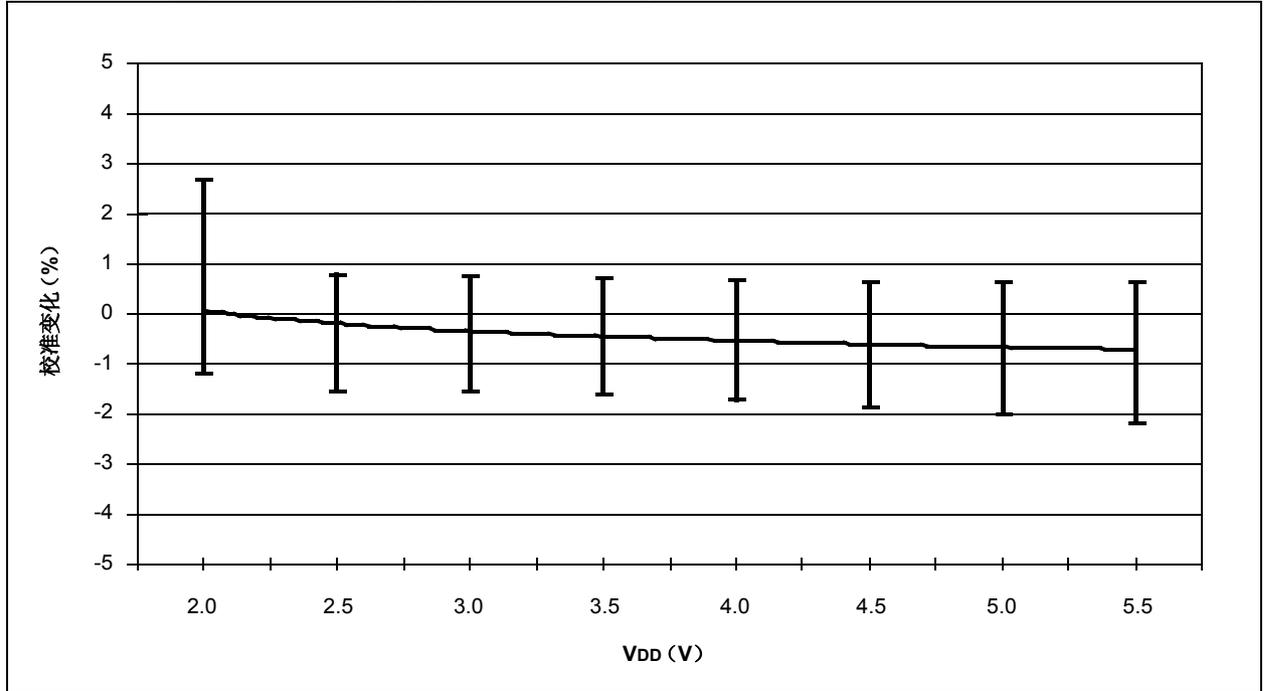
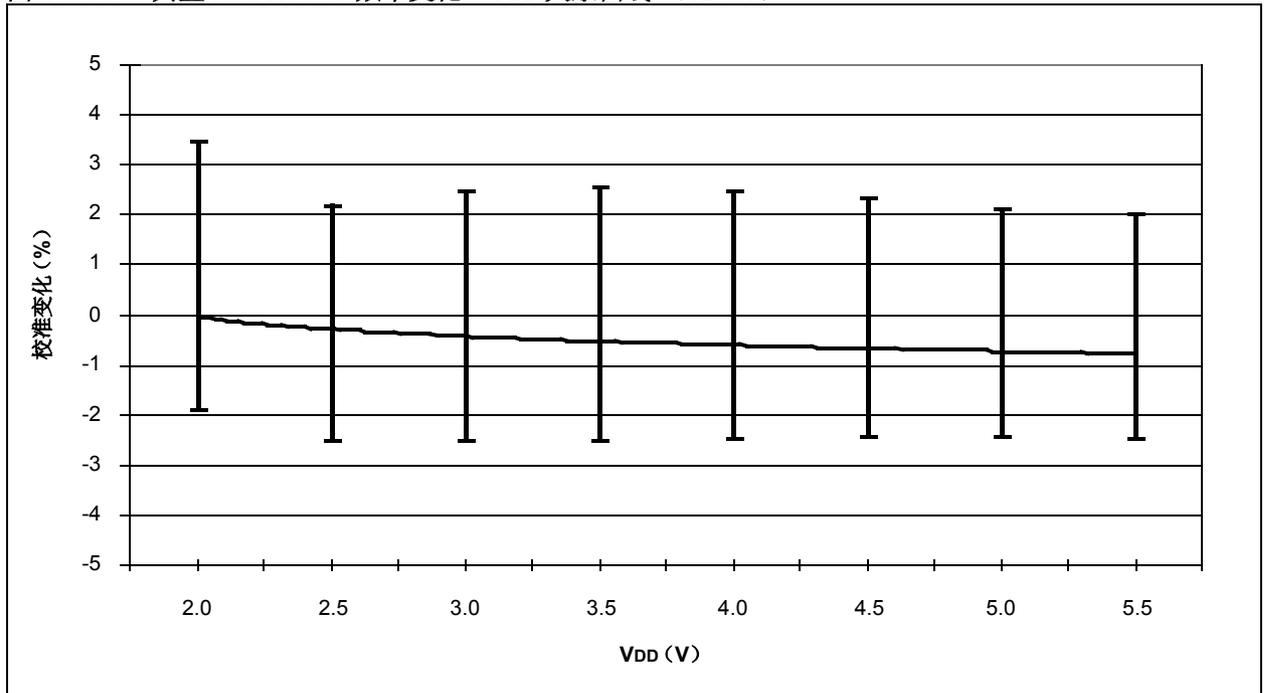
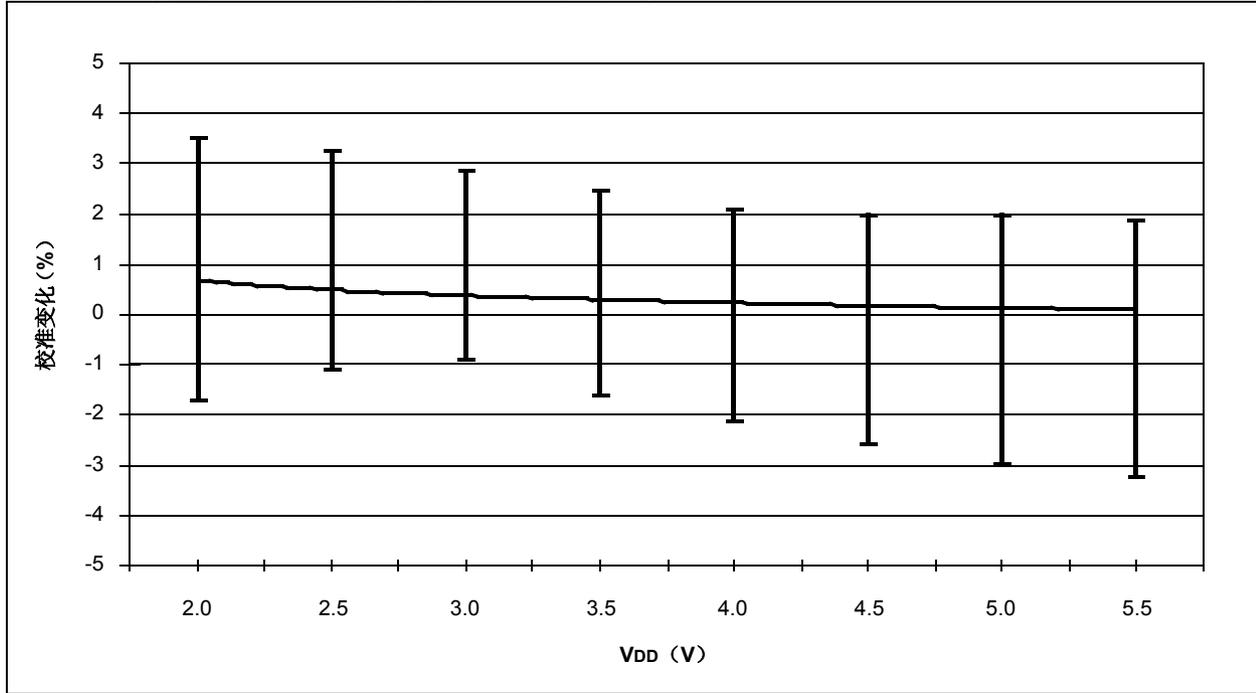


图 18-37: 典型 HFINTOSC 频率变化—VDD 关系曲线 (125°C)



PIC16F631/677/685/687/689/690

图 18-38: 典型 HFINTOSC 频率变化—VDD 关系曲线 (-40°C)



PIC16F631/677/685/687/689/690

19.0 封装信息

19.1 封装标识信息

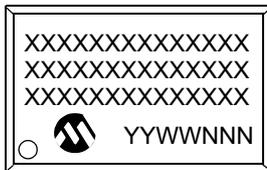
20 引脚 PDIP



示例



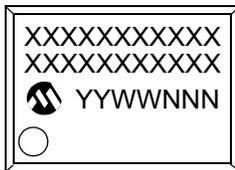
20 引脚 SOIC (.300")



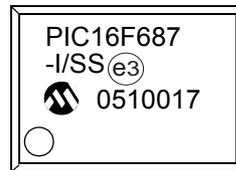
示例



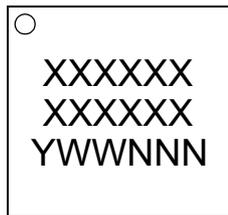
20 引脚 SSOP



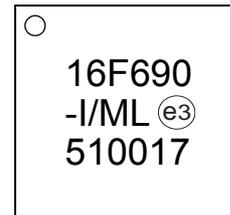
示例



20 引脚 QFN



示例



图注:

- XX...X 客户指定信息
- Y 年代码 (公历年份的最后一位)
- YY 年代码 (公历年份的最后两位)
- WW 星期代码 (1月1日的星期代码为“01”)
- NNN 字母数字的追踪代码
- (e3) 雾锡 (Matte Tin, Sn) 的无铅 JEDEC 标志。
- * 本封装为无铅封装。无铅 JEDEC 标志 (e3) 标志于此种封装的外包装上。

注: 如果 Microchip 部件编号不能在一行中完全标出, 它将换行继续标出。因此限制了用户指定信息的可用字符数。

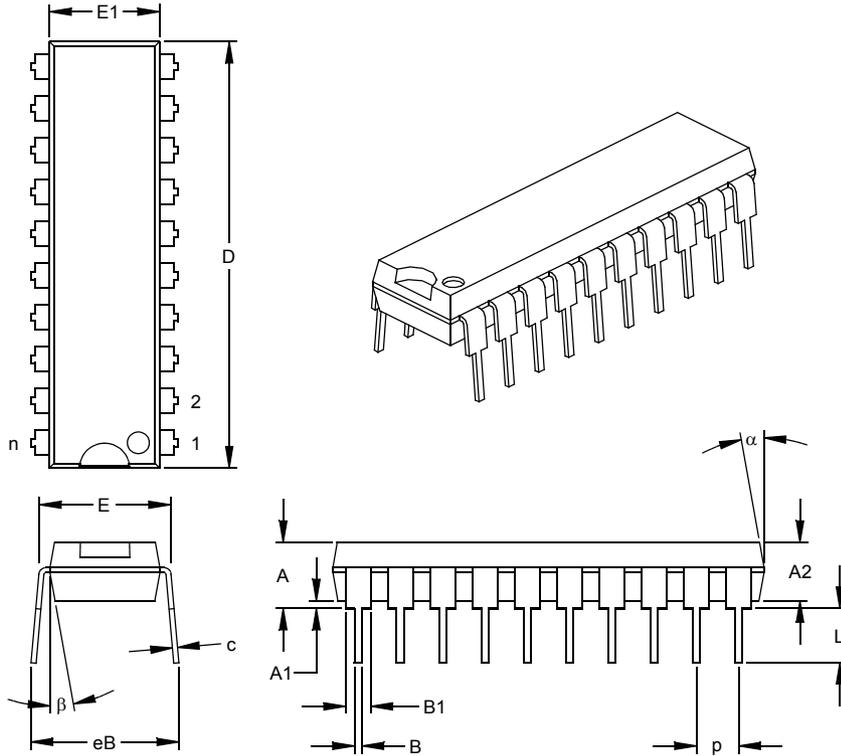
PIC16F631/677/685/687/689/690

19.2 详细封装

以下给出了封装的技术细节。

20 引脚塑封双列直插式 (P) —— 300 mil 主体 (PDIP)

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



尺寸范围	单位	英寸*			毫米		
		最小	正常	最大	最小	正常	最大
引脚数	n	20			20		
引脚间距	p		.100			2.54	
顶端到底座平面距离	A	.140	.155	.170	3.56	3.94	4.32
塑模封装厚度	A2	.115	.130	.145	2.92	3.30	3.68
基座到底座平面距离	A1	.015			0.38		
肩角与肩角之间的宽度	E	.295	.310	.325	7.49	7.87	8.26
塑模封装宽度	E1	.240	.250	.260	6.10	6.35	6.60
总长度	D	1.025	1.033	1.040	26.04	26.24	26.42
端头到底座平面距离	L	.120	.130	.140	3.05	3.30	3.56
引脚厚度	c	.008	.012	.015	0.20	0.29	0.38
引脚上部宽度	B1	.055	.060	.065	1.40	1.52	1.65
引脚下部宽度	B	.014	.018	.022	0.36	0.46	0.56
总的行间距 §	eB	.310	.370	.430	7.87	9.40	10.92
塑模顶部锥度	a	5	10	15	5	10	15
塑模底部锥度	b	5	10	15	5	10	15

* 控制参数

§ 重要特性

注

尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸 (0.254 毫米)。

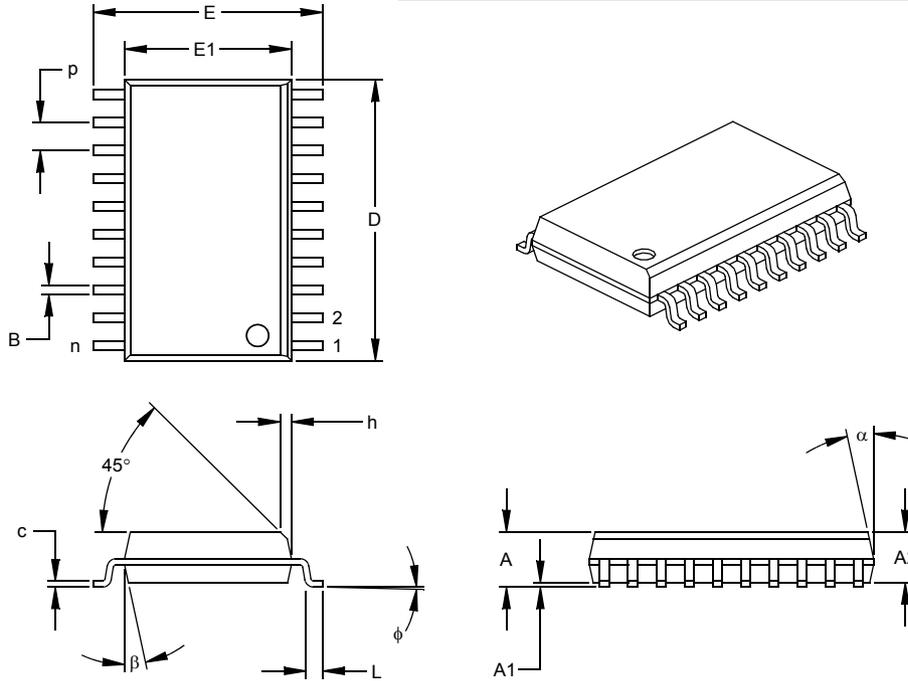
等同于 JEDEC 号: MS-001

图号 C04-019

PIC16F631/677/685/687/689/690

20 引脚塑封小外形 (SO) —— 宽条, 300 mil 主体 (SOIC)

注: 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



尺寸范围	单位	英寸*			毫米		
		最小	正常	最大	最小	正常	最大
引脚数	n	20			20		
引脚间距	p		.050			1.27	
总高度	A	.093	.099	.104	2.36	2.50	2.64
塑模封装厚度	A2	.088	.091	.094	2.24	2.31	2.39
悬空间隙 §	A1	.004	.008	.012	0.10	0.20	0.30
总宽度	E	.394	.407	.420	10.01	10.34	10.67
塑模封装宽度	E1	.291	.295	.299	7.39	7.49	7.59
总长度	D	.496	.504	.512	12.60	12.80	13.00
斜面距离	h	.010	.020	.029	0.25	0.50	0.74
底脚长度	L	.016	.033	.050	0.41	0.84	1.27
底脚倾斜角	f	0	4	8	0	4	8
引脚厚度	c	.009	.011	.013	0.23	0.28	0.33
引脚宽度	B	.014	.017	.020	0.36	0.42	0.51
塑模顶部锥度	a	0	12	15	0	12	15
塑模底部锥度	b	0	12	15	0	12	15

* 控制参数

§ 重要特性

注

尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸 (0.254 毫米)。

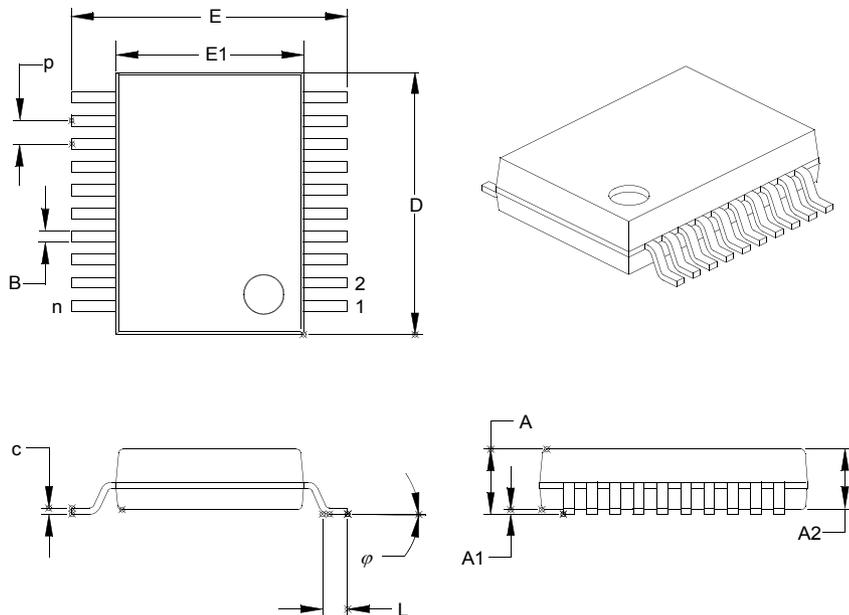
等同于 JEDEC 号: MS-013

图号 C04-094

PIC16F631/677/685/687/689/690

20 引脚塑封缩小型小外形 (SS) —— 209 mil 主体, 5.30 mm (SSOP)

注: 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



	单位 尺寸范围	英寸			毫米*		
		最小	正常	最大	最小	正常	最大
引脚数	n		20			20	
引脚间距	P		.026			0.65	
总高度	A	-	-	.079	-	-	2.00
塑模封装厚度	A2	.065	.069	.073	1.65	1.75	1.85
悬空间隙	A1	.002	-	-	0.05	-	-
总宽度	E	.291	.307	.323	7.40	7.80	8.20
塑模封装宽度	E1	.201	.207	.212	5.11	5.25	5.38
总长度	D	.272	.283	.295	6.90	7.20	7.50
底足长度	L	.022	.030	.037	0.55	0.75	0.95
底足厚度	c	.004	-	.010	0.09	-	0.25
底足倾角	ϕ	0°	4°	8°	0°	4°	8°
底足宽度	B	.009	-	.015	0.22	-	0.38

* 控制参数

注:

尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸 (0.254 毫米)。

等同于 JEDEC 号: MO-150

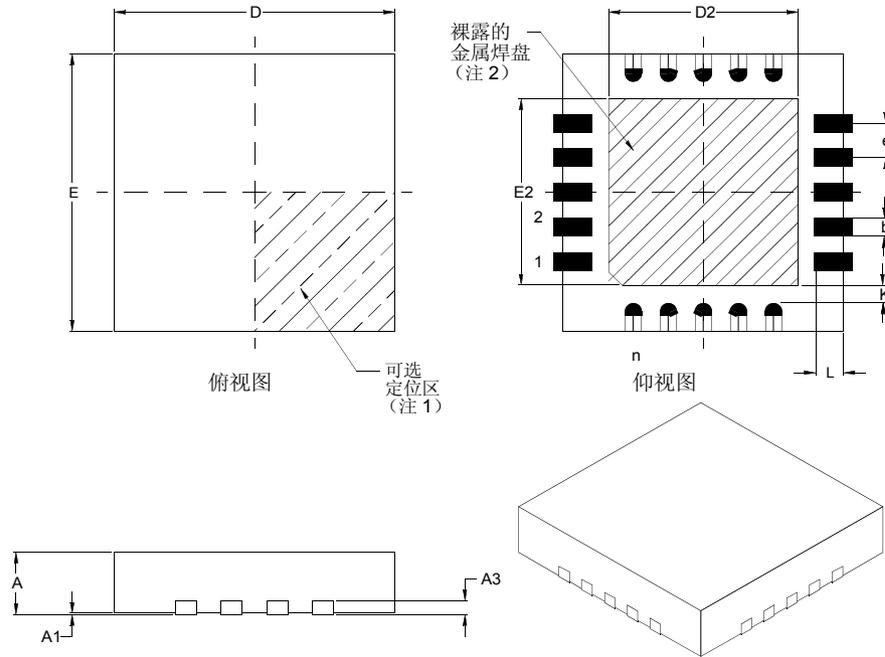
图号 C04-072

修订于 04-28-06

PIC16F631/677/685/687/689/690

20 引脚塑料四方形扁平无引脚封装 (ML) 4x4x0.9 mm 主体 (QFN) ——切割分离

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



单位	尺寸范围	英寸			毫米*		
		最小	正常	最大	最小	正常	最大
引脚数	n	20			20		
引脚间距	e	.020 BSC			0.50 BSC		
总高度	A	.031	.035	.039	0.80	0.90	1.00
悬空间隙	A1	.000	.001	.002	0.00	0.02	0.05
触点厚度	A3	.008 REF			0.20 REF		
总宽度	E	.157 BSC			4.00 BSC		
裸露的焊盘宽度	E2	.102	.106	.110	2.60	2.70	2.80
总高度	D	.157 BSC			4.00 BSC		
裸露的焊盘长度	D2	.102	.106	.110	2.60	2.70	2.80
触点宽度	b	.007	.010	.012	0.18	0.25	0.30
触点长度	L	.012	.016	.020	0.30	0.40	0.50
触点至裸露焊盘距离	K	.008	-	-	.020	-	-

* 控制参数

注

1. 引脚 1 的直观定位特性可以变化, 但必须位于阴影区域内。
2. 裸露焊盘根据管芯附着的踏板尺寸变化。

BSC: 基本尺寸。理论为精确值, 无公差。
请参见 ASME Y14.5M

REF: 基本尺寸。理论为精确值, 无公差, 仅供参考。
请参见 ASME Y14.5M

等同于 JEDEC 号: 未登记
图号 C04-126,

修订于 09-12-05

PIC16F631/677/685/687/689/690

注:

PIC16F631/677/685/687/689/690

附录 A： 数据手册版本历史

版本 A（2005 年 3 月）

这是新的数据手册。

版本 B（2006 年 5 月）

增加了 631/677 器件编号；在引脚图后面增加了引脚汇总；使用了固定章节。

版本 C（2006 年 7 月）

修改了第 4.2.1 节，ANSEL 和 ANSELH 寄存器；寄存器 4-3，ANSEL 模拟选择；增加了寄存器 4-4，ANSELH 模拟选择高位；第 11.3.2 节，将 CCP1<1:0> 修改为 DC1B<1:0>；第 11.3.7 节，第 4 项——将 CCP1 修改为 DC1B；图 11-5，将 CCP1 修改为 DC1B；表 11-4，将 P1M 修改为 P1M<1:0>；第 12.3.1 节，修改了第 3 段；修改了注 2；修改了表 12-6 的标题。

附录 B： 从其他 PIC® 器件移植

本节讨论从其他 PIC 器件移植到 PIC16F6XX 系列器件的某些问题。

B.1 PIC16F676 到 PIC16F685

表 B-1： 功能比较

功能	PIC16F676	PIC16F685
最大工作速度	20 MHz	20 MHz
最大程序存储器（字）	1024	4096
SRAM（字节）	64	128
A/D 精度	10 位	10 位
数据 EEPROM（字节）	128	256
定时器（8/16 位）	1/1	2/1
振荡器模式	8	8
欠压复位	Y	Y
内部上拉	RA0/1/2/4/5	RA0/1/2/4/5, MCLR
电平变化中断	RA0/1/2/3/4/5	RA0/1/2/3/4/5
比较器	1	2
ECCP+	N	Y
超低功耗唤醒	N	Y
扩展 WDT	N	Y
WDT/BOR 的软件控制选项	N	Y
INTOSC 频率	4 MHz	31 kHz-8 MHz
时钟切换	N	Y

注： 该器件设计为按照数据手册上的参数来工作。它已通过电气规范测试，该规范用于确定器件是否符合这些参数。由于存在器件生产工艺上的差异，其工作特性可能与其早期版本的产品有所不同。这些不同可能导致该器件与其早期版本在应用中的性能差异。

PIC16F631/677/685/687/689/690

注:

索引

A

A/D	
规范	252, 254
内部采样开关 (Rss) 阻抗	116
源阻抗	116
ACK 脉冲	184
ADC	
采集要求	116
工作	111
启动 A/D 转换	110
转换步骤	111
ADCON0 寄存器	113
ADCON1 寄存器	114
ADRESH 寄存器 (ADFM = 0)	115
ADRESH 寄存器 (ADFM = 1)	115
ADRESL 寄存器 (ADFM = 0)	115
ADRESL 寄存器 (ADFM = 1)	115
ANSELH 寄存器	61
ANSEL 寄存器	61

B

BF 位	176
比较器	
C2OUT 作为 T1 门控	85, 101
操作	93
同步 COUT 和 Timer1	101
比较器参考电压 (CVREF)	104
规范	245
变更通知客户服务	289
捕捉 / 比较 / PWM (CCP)	
比较模式	129
CCPx 引脚配置	129
Timer1 模式选择	129
PWM 模式	130
休眠模式下的工作	132
PWM 周期	131

C

C 编译器	
MPLAB C18	224
MPLAB C30	224
CCP1CON 寄存器	127
CKE 位	176
CKP 位	177
CM1CON0 寄存器	98
CM2CON0 寄存器	99
CM2CON1 寄存器	101
CONFIG 寄存器	195
CPU 功能	193
参考电压。请参见比较器参考电压 (CVREF)	
参考电压 (VR)	
规范	245
操作码字段说明	213
超低功耗唤醒	14, 20, 22, 60, 63
从动选择同步	181
从其他 PIC 器件移植	281
存储器构成	
数据	26

D

D/A 位	176
代码示例	
A/D 转换	112

超低功耗唤醒初始化	63
初始化 PORTA	59
初始化 PORTB	69
初始化 PORTC	76
间接寻址	44
将状态和 W 寄存器保存在 RAM 中	207
写校验	125
在捕捉预分频比间切换	128
装入 SSPBUF (SSPSR) 寄存器	178
掉电模式 (休眠)	210
定时器	
Timer2	
T2CON	92
Timer1	
T1CON	88
读—写—修改操作	213

E

ECCPAS 寄存器	141
EEADRH 寄存器	119
EEADR 寄存器	119, 120
EECON1 寄存器	119, 121
EECON2 寄存器	119
EEDATH 寄存器	120
EEDAT 寄存器	120
EEPROM 数据存储器	
防止误写	125
EUSART	149
波特率发生器 (BRG)	
高波特率选择 (BRGH 位)	161
自动波特率检测	165
同步主模式	
时序图	
同步发送	246
同步接收	246
要求	
同步发送	246
同步接收	246
异步从模式	
发送	173
异步模式	
波特率发生器 (BRG)	161
发送器	151
接收器	154
设置带地址检测的 9 位模式	156

F

封装	
PDIP 详情	276
复位	196

G

更新地址位, UA	176
故障保护时钟监控器	57
复位或从休眠中唤醒	57
故障保护操作	57
故障保护检测	57
故障保护条件清除	57
贯通电流	143

H

汇编器	
MPASM 汇编器	224

PIC16F631/677/685/687/689/690

I		
I²C 模式		
从模式		
SCL 和 SDA 引脚	184	
多主模式	191	
发送	189	
工作原理	184	
接收	186	
模式选择	184	
相关寄存器	192	
主模式	191	
ID 地址单元	211	
INTCON 寄存器	38	
INTOSC 规范	239	
J		
寄存器		
ADCON0 (ADC 控制 0)	113	
ADCON1 (ADC 控制 1)	114	
ADRESH (ADC 结果高位), ADFM = 0)	115	
ADRESH (ADC 结果高位), ADFM = 1)	115	
ADRESL (ADC 结果低位), ADFM = 0)	115	
ADRESL (ADC 结果低位), ADFM = 1)	115	
ANSELH (模拟选择高位)	61	
ANSEL (模拟选择)	61	
CCP1CON (增强型 CCP 操作)	127	
CM1CON0 (C1 控制)	98	
CM2CON0 (C2 控制)	99	
CM2CON1 (C2 控制)	101	
CONFIG (配置字)	195	
ECCPAS (增强型 CCP 自动关闭控制)	141	
EEADR (EEPROM 地址)	120	
EECON1 (EEPROM 控制 1)	121	
EEDATH (EEPROM 数据)	120	
EEDAT (EEPROM 数据)	120	
复位值	201	
复位值 (特殊寄存器)	203	
INTCON (中断控制)	38	
OPTION_REG (选项)	37, 83	
OSCTUNE (振荡器调节)	52	
PCON (电源控制寄存器)	43	
PCON (电源控制)	199	
PIE1 (外设中断允许 1)	39	
PORTA	59	
PORTB	69	
PORTC	76	
RCREG 寄存器	165	
SRCON (SR 锁存器控制)	103	
SSPCON (同步串行端口控制) 寄存器	177	
SSPMSK (SSP 屏蔽)	187	
SSPSTAT (同步串行端口状态) 寄存器	176	
T1CON	88	
T2CON	92	
TRISA (三态 PORTA)	59	
TRISB (三态 PORTB)	70	
TRISC (三态 PORTC)	76	
特殊功能寄存器	26	
特殊功能寄存器汇总		
Bank 0	32	
Bank 1	33	
Bank 2	34	
Bank 3	35	
WDTCON (看门狗定时器控制)	209	
WPUA (弱上拉 PORTA)	62	
WPUB (弱上拉 PORTB)	70	
VRCON (参考电压控制)	106	
间接寻址、INDF 和 FSR 寄存器	44	
交流特性		
工业级和扩展级	238	
接收溢出指示位 (SSPOV)	177	
绝对极限参数值	227	
K		
开发支持	223	
看门狗定时器 (WDT)		
规范	242	
相关寄存器	209	
勘误表	8	
客户通知服务	289	
客户支持	289	
框图		
比较器 C1	94	
捕捉模式工作原理	128	
故障保护时钟监控器 (FSCM)	57	
看门狗定时器 (WDT)	208	
PIC16F677	10	
PIC16F685	11	
PIC16F687/689	12	
PIC16F690	13	
片上复位电路	196	
RA0 引脚	64	
RA1 引脚	65	
RA2 引脚	65	
RA3 引脚	66	
RA4 引脚	66	
RA5 引脚	67	
RB4 引脚	71	
RB5 引脚	72	
RB6 引脚	73	
RB7 引脚	74	
RC0 和 RC1 引脚	77	
RC2 和 RC3 引脚	77	
RC4 引脚	78	
RC5 引脚	78	
RC6 引脚	79	
RC7 引脚	79	
SSP (I ² C 模式)	184	
SSP (SPI 模式)	175	
Timer2	91	
Timer1	84	
谐振器工作	50	
在线串行编程连接	212	
中断逻辑	205	
M		
MCLR	197	
内部	197	
Microchip 因特网网站	289	
MPLAB ASM30 汇编器、链接器和库管理器	224	
MPLAB ICD 2 在线调试器	225	
MPLAB ICE 2000 高性能通用在线仿真器	225	
MPLAB PM3 器件编程器	225	
MPLAB REAL ICE 在线仿真器系统	225	
MPLAB 集成开发环境软件	223	
MPLINK 目标链接器 /MPLIB 目标库管理器	224	
N		
内部采样开关 (R _{ss}) 阻抗	116	
内部集成电路 (I ² C)。请参见 I ² C 模式		

PIC16F631/677/685/687/689/690

内部振荡器模式	
INTOSC	
规范	239
O	
OPTION 寄存器	37, 83
OSCTUNE 寄存器	52
P	
PCL 和 PCLATH	44
堆栈	44
PCON 寄存器	43, 199
PICSTART 2 开发编程器	226
PICSTART Plus 开发编程器	226
PIE1 寄存器	39
PORTA	
规范	240
寄存器	59
RA0	64
RA1	65
RA2	65
RA3	66
RA4	66
RA5	67
相关寄存器	68
引脚的其他功能	60
超低功耗唤醒	60, 63
电平变化中断	60
弱上拉	60
引脚说明和引脚图	64
PORTA 寄存器	59
PORTB	
电平变化中断	69
寄存器	69
RB4	71
RB5	72
RB6	73
RB7	74
相关寄存器	75
引脚的其他功能	69
弱上拉	69
引脚说明和引脚图	71
PORTB 寄存器	69
PORTC	
规范	240
寄存器	76
P1A/P1B/P1C/P1D。请参见增强型捕捉 / 比较 / PWM (ECCP)	76
RC0	77
RC1	77
RC2	77
RC3	77
RC4 78	
RC5	78
RC6	79
RC7	79
相关寄存器	80
PORTC 寄存器	76
P (停止) 位	176
Q	
欠压复位 (BOR)	
规范	242
时序和特性	241
相关的寄存器	199
R	
R/W 位	176
熔丝。请参见配置位	
软件模拟器 (MPLAB SIM)	224
S	
SMP 位	176
SPBRG	161
SPBRGH	161
SPI 模式	175, 181
串行时钟 (SCK 引脚)	175
串行数据输出 (SDO 引脚)	175
串行数据输入 (SDI 引脚)	175
从动选择	175
从动选择同步	181
典型连接	179
复位的影响	183
SPI 时钟	180
使能 SPI I/O	179
相关寄存器	183
主控 / 从动连接 179	
主模式	180
总线模式兼容性	183
SRCON 寄存器	103
SSP	
概述	
SPI 主控 / 从动连接	179
SSP I ² C 工作原理	184
从模式	184
SSPCON 寄存器	177
SSPEN 位	177
SSPMSK 寄存器	187
SSPM 位	177
SSP 模块	
SPI 从模式	181
SPI 主模式	180
SSPBUF	180
SSPSR	180
时钟同步与 CKP 位	191
SSPOV 位 177	
SSPSTAT 寄存器	176
S (启动) 位	176
上电复位 (POR)	197
上电延时定时器 (PWRT)	197
规范	242
时序参数符号	237
时序图	
A/D 转换	253
从动同步	181
从中断唤醒	211
EUSART 同步发送 (主 / 从)	246
EUSART 同步接收 (主 / 从)	246
I ² C 从模式 (发送, 10 位地址)	190
I ² C 从模式, SEN = 0 (接收, 10 位地址)	188
I ² C 发送 (7 位地址)	189
I ² C 接收 (7 位地址)	186
INT 引脚中断	206
PWM 自动关闭	
使能自动重启	142
欠压复位情形	198
欠压复位 (BOR)	241
SPI 从模式 (CKE = 0)	248
SPI 从模式 (CKE = 1)	248
SPI 模式 (从模式, CKE = 0)	182
SPI 模式 (从模式, CKE = 1)	182

PIC16F631/677/685/687/689/690

SPI 模式 (主模式)	180	WWW 地址	289
SPI 主模式 (CKE = 0, SMP = 0)	247	WWW, 在线支持	8
SPI 主模式 (CKE = 1, SMP = 1)	247	X	
时钟同步	192	写冲突检测位 (WCOL)	177
双速启动	56	Y	
外部时钟	238	延时时序	199
延时时序		因特网址	289
情形 1	200	预分频器	
情形 2	200	切换预分频器	82
情形 3	200	Z	
增强型捕捉 / 比较 / PWM (ECCP)	244	在线串行编程 (ICSP)	211
使用中唤醒	210	增强型捕捉 / 比较 / PWM (ECCP)	
数据 / 地址位 (D/A)	176	捕捉模式	
数据存储寄存器	26	预分频器	128
数据 EEPROM 存储器		CCP1 引脚配置	128
代码保护	125	定时器资源	127
读	122	增强型 PWM 模式	
写	122	半桥应用	136
写校验	125	半桥应用示例	143
双速时钟启动模式	55	贯通电流	143
T		启动考虑事项	140
T1CON 寄存器	88	输出关系 (高电平有效和低电平有效) ...	134, 135
T2CON 寄存器	92	在全桥输出模式下改变方向	139
Timer0	81	振荡器	
规范	243	相关寄存器	89
T0CKI	82	振荡器参数	239
中断	83	振荡器起振定时器 (OST)	
Timer1	84	规范	242
规范	243	振荡器切换	
Timer1 门控		故障保护时钟监控器	57
同步 COUT 和 Timer1	101	双速时钟启动	55
选择门控源	85, 101	指令格式	213
TMR1H 寄存器	84	指令集	
TMR1L 寄存器	84	ADDLW	215
休眠模式下的工作	86	ADDWF	215
预分频器	85	ANDLW	215
TRISA		ANDWF	215
寄存器	59	BCF	215
TRISA 寄存器	59	BSF	215
TRISB		BTFSC	215
寄存器	69	BTFSS	216
TRISB 寄存器	70	CALL	216
TRISC		CLRf	216
寄存器	76	CLRw	216
TRISC 寄存器	76	CLRWDt	216
TXREG	151	COMF	216
TXSTA 寄存器		DECf	216
BRGH 位	161	DECFSZ	217
特殊功能寄存器	26	GOTO	217
同步串行端口模式选择位 (SSPM<3:0>)	177	汇总表 (指令集 bbbb)	214
同步串行端口使能位 (SSPEN)	177	INCF	217
同步串行口。请参见 SSP		INCFSZ	217
通用寄存器文件	26	IORLW	217
U		IORWF	217
UA	176	MOVF	218
V		MOVLW	218
VRCON 寄存器	106	MOVWF	218
W		NOP	218
WCOL 位	177	RETFIE	219
WDTCON 寄存器	209	RETLW	219
WPUA 寄存器	62	RETURN	219
WPUB 寄存器 70		RLF	220
		RRF	220

PIC16F631/677/685/687/689/690

SLEEP	220
SWAPF	221
SUBLW	220
SUBWF	221
XORLW	221
XORWF	221
直流特性	
工业级	230
工业级和扩展级	229
扩展级	232
中断	204
捕捉	128
电平变化中断	60, 69
PORTA/PORTB 电平变化中断	205
RA2/INT	204
TMR0	205
现场保护	207
相关寄存器	206

PIC16F631/677/685/687/689/690

注:

MICROCHIP 网站

Microchip 网站 (www.microchip.com) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的因特网浏览器即可访问。网站提供以下信息:

- **产品支持**——数据手册和勘误表、应用笔记和样本程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及存档软件
- **一般技术支持**——常见问题 (FAQ)、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时, 收到电子邮件通知。

欲注册, 请登录 Microchip 网站 www.microchip.com, 点击“变更通知客户 (Customer Change Notification)”服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助:

- 代理商或代表
- 当地销售办事处
- 应用工程师 (FAE)
- 技术支持

客户应联系其代理商、代表或应用工程师 (FAE) 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 <http://support.microchip.com> 获得网上技术支持。

PIC16F631/677/685/687/689/690

读者反馈表

我们努力为您提供最佳文档，以确保您能够成功使用 Microchip 产品。如果您对文档的组织、条理性、主题及其他有助于提高文档质量的方面有任何意见或建议，请填写本反馈表并传真给我公司 TRC 经理，传真号码为 86-21-5407-5066。请填写以下信息，并从下面各方面提出您对本文档的意见。

致： TRC 经理 总页数 _____
关于： 读者反馈
发自： 姓名 _____
公司 _____
地址 _____
国家 / 省份 / 城市 / 邮编 _____
电话 (_____) _____ 传真 (_____) _____

应用 (选填):

您希望收到回复吗? 是___ 否___

器件: PIC16F631/677/685/687/ 文献编号: DS41262C_CN

问题

1. 本文档中哪些部分最有特色?

2. 本文档是否满足了您的软硬件开发要求? 如何满足的?

3. 您认为本文档的组织结构便于理解吗? 如果不便于理解, 那么问题何在?

4. 您认为本文档应该添加哪些内容以改善其结构和主题?

5. 您认为本文档中可以删减哪些内容, 而又不会影响整体使用效果?

6. 本文档中是否存在错误或误导信息? 如果存在, 请指出是什么信息及其具体页数。

7. 您认为本文档还有哪些方面有待改进?

PIC16F631/677/685/687/689/690

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

PART NO.	X	/XX	XXX
器件	温度范围	封装	模板
器件:	PIC16F631 ⁽¹⁾ , PIC16F677 ⁽¹⁾ , PIC16F685 ⁽¹⁾ , PIC16F687 ⁽¹⁾ , PIC16F689 ⁽¹⁾ , PIC16F690 ⁽¹⁾ ; VDD 范围为 4.2V 至 5.5V		
温度范围:	I = -40°C 至 +85°C (工业级) E = -40°C 至 +125°C (扩展级)		
封装:	ML = QFN (正方扁平, 无引脚) P = PDIP SO = SOIC SS = SSOP		
模式:	QTP、SQTP、代码或特殊要求 (其他情况空白)		

示例:

- a) PIC16F685 - I/ML 301 = 工业温度级, QFN 封装, QTP 模板 #301。
- b) PIC16F689 - I/SO = 工业级温度, SOIC 封装。
- c) PIC16F690T - T/E/SS = 扩展级温度, SSOP 封装。

注 1: T = 卷带式, 仅限 SSOP、SOIC 和 QFN 封装。

全球销售及服务中心

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://support.microchip.com>
网址: www.microchip.com

亚特兰大 Atlanta
Duluth, GA

Tel: 678-957-9614
Fax: 678-957-1455

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

科科莫 Kokomo
Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣克拉拉 Santa Clara
Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

加拿大多伦多 Toronto
Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 福州
Tel: 86-591-8750-3506
Fax: 86-591-8750-3521

中国 - 香港特别行政区
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 顺德
Tel: 86-757-2839-5507
Fax: 86-757-2839-5571

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7250
Fax: 86-29-8833-7256

台湾地区 - 高雄
Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾地区 - 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-572-9526
Fax: 886-3-572-6459

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-4182-8400
Fax: 91-80-4182-8422

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Yokohama
Tel: 81-45-471-6166
Fax: 81-45-471-6122

韩国 Korea - Gumi
Tel: 82-54-473-4301
Fax: 82-54-473-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Penang
Tel: 60-4-646-8870
Fax: 60-4-646-5086

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham
Tel: 44-118-921-5869
Fax: 44-118-921-5820