



AN-6756_JA

FAN6756の低待機電力フライバック電源への応用

1. 概要

電子機器の待機時消費電力が環境に与える影響を懸念し、低待機電力への要求が高まっています。フェアチャイルドのFAN6756は、少ない外部部品数で、待機時および無負荷時の消費電力を大幅に減少させる革新的なmWSaver™ テクノロジーを採用した新世代のグリーンモードPWMコントローラです。mWSaver™ テクノロジーの一部として新たに開発されたAX-CAP™ 技術は優れた検出機能と内蔵放電回路により、X-キャパシタのブリーダ抵抗を必要とせず、EMI フィルタにおける消費電力の削減を可能にします。 無負荷、或いは極め

て軽い負荷の場合、デバイスはスタンバイモードで動作し、スイッチング周波数を低く抑え、さらにICへの供給電圧を最小にして、大幅にスイッチング損失を低減します。スタンバイモードでの極めて低い動作電流と合わせて、PWMコントローラ自身の消費電力も非常に低く抑えられています。

このアプリケーションノートはFAN6756を例に取り、フライバック方式の電源設計の手順をステップごとに説明していきます。また、トランスの設計、および外部部品の選定方法についても説明します。

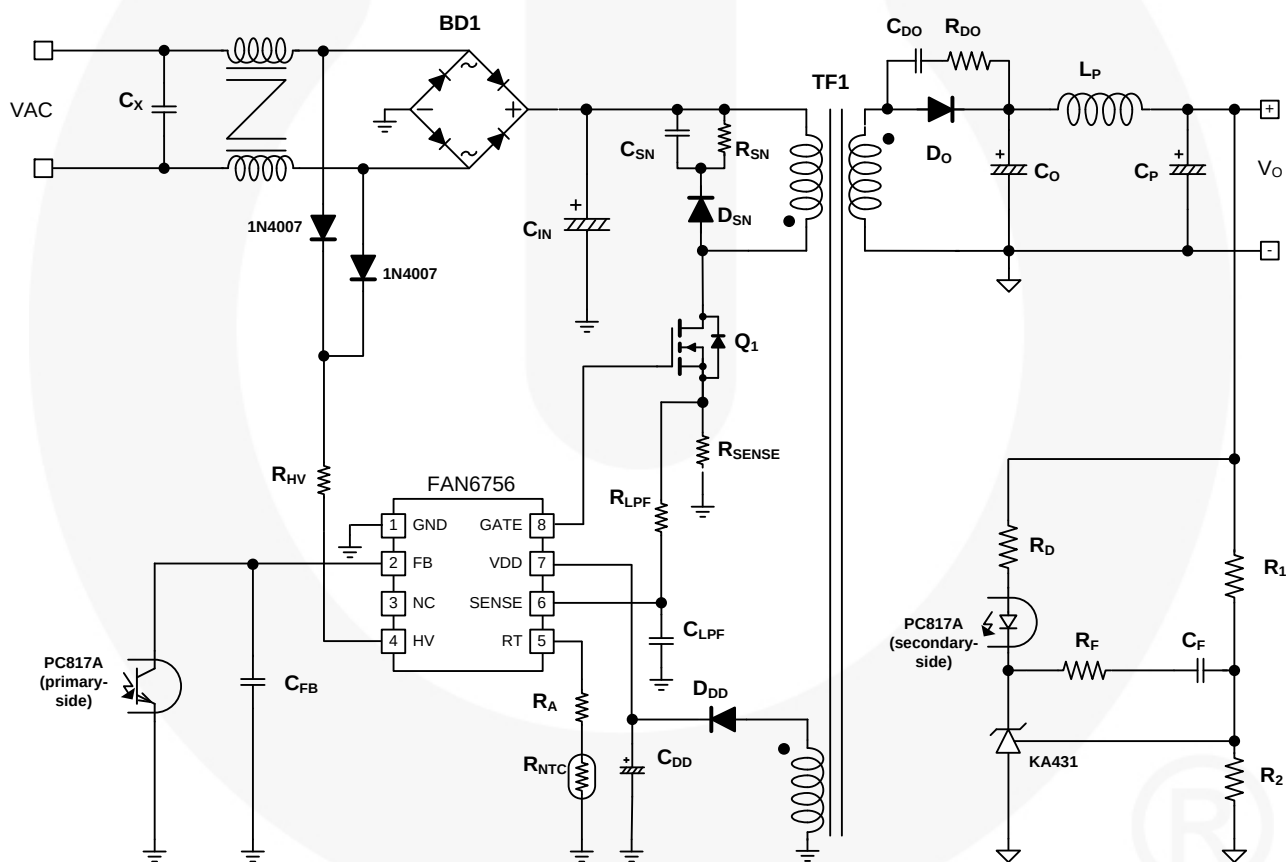


図 1. 標準アプリケーション

2. 設計手順

ここでは、**Error! Reference source not found.**の回路図を参照しながら設計手順を説明します。出力65W / 19Vのオフラインスイッチモードパワーサプライ(SMPS)を設計例として選択しました。より詳しいフライバックトランスの設計方法に関しては、AN-4140 – Transformer Design Consideration for Offline Flyback Converters Using Fairchild Power Switch (FPS™)を参照してください。

Step 1 - 定格入力電力 (P_{IN})の概算

パラメータの定義：

- 公称出力電力: P_O^{NOM}
- 最大負荷時の推定効率: η

設計ヒント：

- 参照するデータが無い場合、低電圧出力アプリケーションに対しては $\eta = 0.7 \sim 0.75$ 、高電圧出力アプリケーションでは $\eta = 0.8 \sim 0.85$ を使用します。

設計例：

- $P_O^{NOM} = 65\text{W}$ (19V / 3.42A)
- $\eta = 0.85$

$$P_{IN} = \frac{P_O^{NOM}}{\eta} = \frac{65}{0.85} = 76.5 \text{ (W)}$$

Step 2 - 入力コンデンサ (C_{IN})、及び入力電圧範囲 (V_{IN}^{MIN} , V_{IN}^{MAX}) を決める

パラメータの定義：

- ライン電圧範囲: V_{LINE}^{MIN} and V_{LINE}^{MAX}
- ライン周波数: f_L
- 図2で定義されるライン電圧のリプルファクタ: D_{CH}

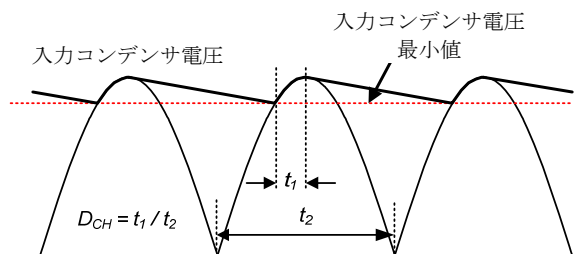


図 2. 入力コンデンサ電圧波形

設計ヒント：

- 入力コンデンサの値はユニバーサル入力電圧範囲(85~265 V_{RMS})ではピーク入力電力1ワット当たり1.5~2μF、ヨーロッパ入力電圧範囲(195~265 V_{RMS})ではピーク入力電力1ワット当たり0.7~0.8μFが標準的に使用されます。
- D_{CH} は使用する入力コンデンサの値に依存します。標準的には0.2を使用します。

設計例：

- $V_{LINE}^{MIN} = 90 \text{ V}_{RMS}$, $V_{LINE}^{MAX} = 264 \text{ V}_{RMS}$
- $f_L = 60\text{Hz}$
- $D_{CH} = 0.2$
- $C_{IN} = 120\mu\text{F}$

$$V_{IN}^{MIN} = \sqrt{2 \cdot (V_{LINE}^{MIN})^2 - \frac{P_{IN} \cdot (1 - D_{CH})}{C_{IN} \cdot f_L}}$$

$$= \sqrt{2 \cdot (90)^2 - \frac{76.5 \cdot (1 - 0.2)}{120 \times 10^{-6} \cdot 60}} = 88\text{V}$$

$$V_{IN}^{MAX} = \sqrt{2} \cdot V_{LINE}^{MAX} = \sqrt{2} \cdot 264 = 373\text{V}$$

Step 3 - 最大デューティ比 (D_{MAX}) と MOSFET 電圧称値 (V_{DS}^{NOM}) を決める

パラメータの定義：

- 出力から一次側に反射する電圧 (図3参照) : V_{RO}

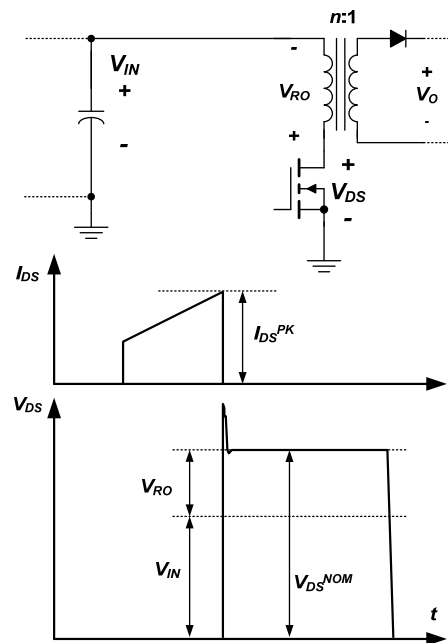


図 3. MOSFET V_{DS} 標準値波形

設計ヒント：

- V_{RO} は、MOSFET及び出力側ダイオードに加わる電圧ストレス値のトレードオフにより決まります。
- 通常、ユニバーサル入力電圧範囲のアプリケーションでは650V MOSFET が使用されます。 V_{IN}^{MAX} が373Vであることから、 V_{DS}^{NOM} をMOSFET 定格電圧の68~72%である440~470Vになるように選ぶと、 V_{RO} は70~100V となります。
- V_{DS} の電圧スパイクは、トランスの漏れインダクタンスに比例するため、漏れインダクタンスを小さくすることによりスパイクを低減することが出来ます。

設計例：

$$V_{RO} = 95V$$

$$D_{MAX} = \frac{V_{RO}}{V_{RO} + V_{IN}^{MIN}} = \frac{95}{95 + 88} = 0.52$$

$$V_{DS}^{NOM} = V_{IN}^{MAX} + V_{RO} = 373 + 95 = 468 (V)$$

Step 4 - トランス一次側インダクタンス(L_M)を決める

パラメータの定義：

- 一次側スイッチング電流のリプルファクタ (図 4 参照): K_{RF}
- 最大負荷時のスイッチング周波数: f_S^{MAX}

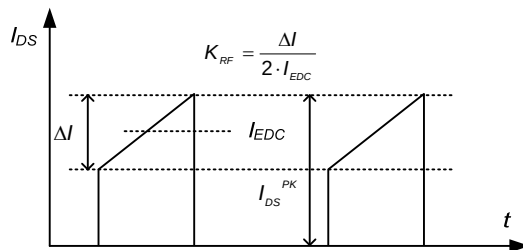


図 4. MOSFET 標準電流波形

設計ヒント：

- リプルファクタ K_{RF} の値はトランスサイズおよび MOSFET 実効値電流に強く関連しています。
- K_{RF} を小さくすることで、実効電流値を低くし導通損失を小さくすることが可能ですが、トランスサイズは大きくなります。
- 実際には、ユニバーサル入力範囲では、 $K_{RF} = 0.3 \sim 0.6$ 、ヨーロッパ入力範囲では、 $K_{RF} = 0.4 \sim 0.8$ にするのが一般的です。

設計例：

$$K_{RF} = 0.41$$

$$f_S^{MAX} = 65kHz$$

$$L_M = \frac{(V_{IN}^{MIN} \cdot D_{MAX})^2}{2 \cdot P_{IN} \cdot f_S^{MAX} \cdot K_{RF}} = \frac{(88 \cdot 0.52)^2}{2 \cdot 76.5 \cdot 65 \times 10^3 \cdot 0.41} = 513 (\mu H)$$

Step 5 - MOSFET 実効値電流 (I_{DS}^{RMS}) の算出

パラメータの定義：

- MOSFET 平均電流: I_{EDC}
- MOSFET 電流のリプル: ΔI (図 4 参照)

設計例：

$$I_{EDC} = \frac{P_{IN}}{V_{IN}^{MIN} \cdot D_{MAX}} = \frac{76.5}{88 \cdot 0.52} = 1.67 (A)$$

$$\Delta I = \frac{V_{IN}^{MIN} \cdot D_{MAX}}{L_M \cdot f_S^{MAX}} = \frac{88 \cdot 0.52}{513 \times 10^{-6} \cdot 65 \times 10^3} = 1.372 (A)$$

$$I_{DS}^{RMS} = \sqrt{\left[3 \cdot (I_{EDC})^2 + \left(\frac{\Delta I}{2} \right)^2 \right] \cdot \frac{D_{MAX}}{3}} = \sqrt{\left[3 \cdot (1.67)^2 + (0.686)^2 \right] \cdot \frac{0.52}{3}} = 1.24 (A)$$

Step 6 - センス抵抗値 (R_{SENSE}) を導く

R_{SENSE} の値は電流制限レベル V_{LIMIT} との関係で決まるので、 R_{SENSE} を決めるには V_{LIMIT} の特性を知ることが必要です。図 5 に示すように、 V_{LIMIT} は AC ラインのピーク電圧 V_{LINE}^{PK} を検出することにより決定されます。ライン電圧は R_{HV} と IC 内部にある抵抗 R_{LS} で分圧されてサンプリングされ、 V_{LIMIT} は次式により与えられます。

$$V_{LIMIT} = \frac{V_{LIMIT-H} - V_{LIMIT-L}}{2} \cdot \frac{R_{LS}}{R_{HV}} \cdot V_{LINE}^{PK} + \frac{3 \cdot V_{LIMIT-L} - V_{LIMIT-H}}{2} \quad (1)$$

$V_{LIMIT-H}$ 及び $V_{LIMIT-L}$ は、 V_{LIMIT}^{PK} がそれぞれ 366V 及び 122V の時の電流制限レベルの値です。

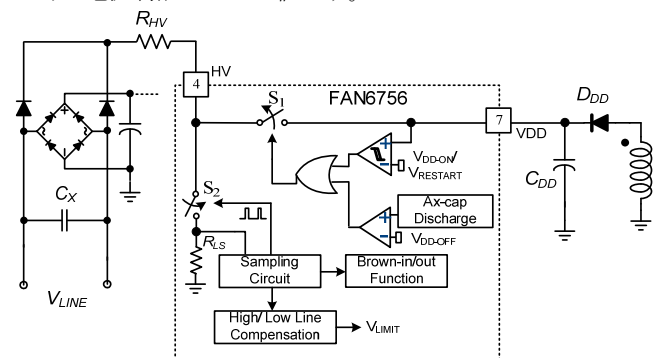


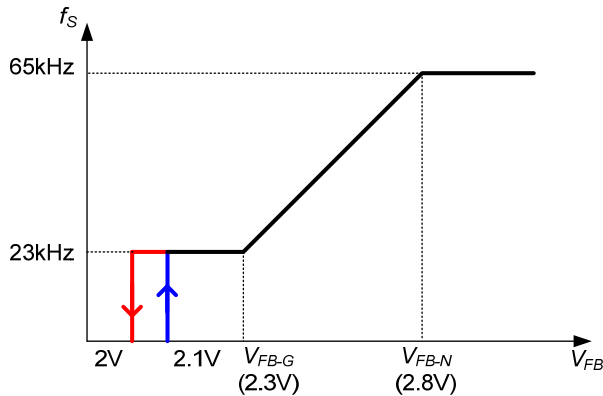
図 5. HVピン 機能ブロック図

パラメータの定義：

- ライン入力電圧のピーク値: V_{LINE}^{PK}
- V_{LINE}^{PK} が 366V の時の電流制限レベル: $V_{LIMIT-H}$
- V_{LINE}^{PK} が 122V の時の電流制限レベル: $V_{LIMIT-L}$
- HV ピンに接続される外部抵抗値: R_{HV}
- 内部サンプリング抵抗: R_{LS}
- スイッチング周波数: f_S
- MOSFET ピーク電流: I_{DS}^{PK}
- 過負荷保護(OPP)動作時の MOSFET ピーク電流: I_{DS-OPP}^{PK}
- 過負荷保護(OPP)動作時の出力電力: P_{O-OPP}

設計ヒント:

- R_{SENSE} はパルス毎の電流制限しきい値を基に決定されます。
- P_O^{OPP} は、公称負荷電力の115-135%に設定します。まず最小入力ライン電圧と R_{HV} 抵抗200k Ω を用いて過負荷保護レベルのチェックを行い、その後、全ライン電圧範囲にわたってチェックをします。最後に R_{SENSE} を微調整し、 P_O^{NOM} に対し P_O^{OPP} が 115-135% になるようにします。
- 図6にFAN6756のスイッチング周波数の変調特性を示します。システムが周波数下降領域 (V_{FB-N} から V_{FB-G} にかけて)にある場合、スイッチング周波数がフィードバック電圧 V_{FB} とともに変化する為、ピーク電流値の算出は複雑になります。したがって、出力電力が P_O^{OPP} に近い場合は、 V_{FB} が V_{FB-N} より大きいことを確認して下さい。また、 V_{FB} が V_{FB-N} より大きい場合、スイッチング周波数はハイライン/ロー・ライン共に同じなので、ハイ/ロー・ライン補正はより正確に行われます。

図 6. V_{FB} vs. PWMスイッチング周波数

設計例:

- $V_{LIMIT-H} = 0.39V$
- $V_{LIMIT-L} = 0.46V$
- $R_{LS} = 1.6k\Omega$
- $R_{HV} = 200k\Omega$
- $V_{LINE}^{PK} = 127V$
- $P_O^{OPP} = 74.8W$

R_{SENSE} は次式により求めることができます。

$$R_{SENSE} = \frac{V_{LIMIT}}{I_{DS-OPP}^{PK}} \quad (2)$$

入力ライン電圧には V_{LINE}^{MIN} のピーク値を用いて、式1より:

$$V_{LIMIT} = \frac{0.39 - 0.46}{2} \cdot \frac{1.6 \times 10^3}{200 \times 10^3} \cdot 127 + \frac{3 \cdot 0.46 - 0.39}{2} = 0.46(V)$$

CCMモードの場合:

$$I_{DS}^{PK} = \frac{P_{IN} \cdot (V_{IN} + V_{RO})}{V_{IN} \cdot V_{RO}} + \frac{V_{IN} \cdot V_{RO}}{2 \cdot L_M \cdot f_s \cdot (V_{IN} + V_{RO})} \quad (3)$$

DCMモードの場合:

$$I_{DS}^{PK} = \sqrt{\frac{2 \cdot P_{IN}}{f_s \cdot L_M}} \quad (4)$$

入力電圧が最小の時、公称出力条件に対しコンバータがCCM あるいは DCM で動作しているかは次式で決まります:

$$\text{CCM: } \sqrt{2 \cdot P_{IN} \cdot L_M \cdot f_s} \cdot \frac{V_{IN}^{MIN} + V_{RO}}{V_{IN}^{MIN} \cdot V_{RO}} > 1$$

$$\text{DCM: } \sqrt{2 \cdot P_{IN} \cdot L_M \cdot f_s} \cdot \frac{V_{IN}^{MIN} + V_{RO}}{V_{IN}^{MIN} \cdot V_{RO}} < 1$$

過負荷保護(OPP)状態はCCMモードで動作している場合に発生するよう電源設計を行うことが推奨されます。従って、

$$P_{IN} = \frac{P_O^{OPP}}{\eta}, \text{ 及び } f_s = f_s^{MAX} \text{ を式(3) に代入して}$$

$$I_{DS-OPP}^{PK} = \frac{74.8}{0.85 \cdot 0.52 \cdot 88} + \frac{0.52 \cdot 88}{2 \cdot 513 \times 10^{-6} \cdot 65 \times 10^3} = 2.61(A)$$

$$R_{SENSE} = \frac{V_{LIMIT}}{I_{DS-OPP}^{PK}} = \frac{0.46}{2.61} = 0.176(\Omega)$$

Step 7 – 一次側最小巻数 (N_P^{MIN})を決める

パラメータの定義:

- L_M の最大磁束密度: B_{SAT}
- L_M の有効断面積: A_e

設計ヒント:

- 巻き数を少なくすることで、巻線による導通損失を小さくすることが可能ですが、コアが飽和しやすくなります。従って、コアの飽和と導通損失とのトレードオフにより、巻き数を決めることになります。

設計例:

- $B_{SAT} = 0.33 \text{ Tesla}$
- $A_e = 98 \text{ mm}^2$

$$P_{IN} = \frac{P_O^{NOM}}{\eta} \text{ を式(3)に代入し、}$$

$$I_{DS}^{PK} = 2.36 \text{ A}$$

$$N_P^{MIN} = \frac{L_M \cdot I_{DS}^{PK}}{B_{SAT} \cdot A_e} \times 10^6 = \frac{513 \times 10^{-6} \cdot 2.36}{0.33 \cdot 98} \times 10^6 = 37.4 (\text{ターン})$$

N_P は整数なので、38 ターンとします。

Step 8 - トランス二次側の巻線数(N_S) 及び 補助巻線数(N_A)を決める

パラメータの定義:

- N_S に対する N_P の巻線比: n
- 出力側ダイオード順方向電圧: V_F
- V_{DD} 供給用ダイオード順方向電圧: V_{FA}
- V_{DD} 電圧公称値: V_{DD-OP}

設計ヒント:

- 最終的に、 N_P が N_P^{MIN} の値以上になるように N_P 及び N_S の整数値を決定します。
- 動作可能な V_{DD-OP} の値は11-22V、標準的には16Vに設定します。

設計例:

- $V_F = 1V$
- $V_{FA} = 1V$
- $V_{DD-OP} = 16V$

$$n = \frac{N_P}{N_S} = \frac{V_{RO}}{V_O + V_F} = \frac{95}{19 + 1} = 4.75$$

$$N_S = \frac{N_P}{n} = \frac{38}{4.75} = 8 \text{ (turns)}$$

$$N_A = \frac{V_{DD-OP} + V_{FA}}{V_O + V_F} \cdot N_S = \frac{16 + 1}{19 + 1} \cdot 8 = 6.8 \text{ (turns)}$$

N_A は整数なので、7ターンに設定します。この時 V_{DD-OP} は16.5Vになりますが、十分に動作電圧範囲内です。

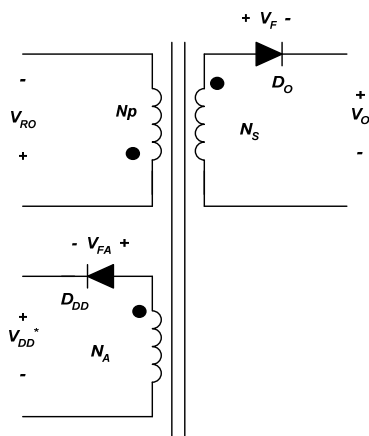


図 7. 簡素化したトランス回路図

Step 9 - 実効値電流を基にそれぞれの巻線の径を決める

パラメータの定義:

- トランス二次側実効値電流: I_{SEC}^{RMS}

設計ヒント:

- 巻線が長い場合(>1m)、一般的に電流密度の値を6~10A/mm²とします。

- 巻数が少なく、線長が短い場合には、電流密度を8~14A/mm²の範囲にします。
- 一次/二次間のカップリングを確実にし、漏れインダクタンスを小さくする為、すべてのレイヤーは巻線で埋まるようにして下さい。

設計例:

$$I_{SEC}^{RMS} = n \cdot I_{DS}^{RMS} \cdot \sqrt{\frac{1 - D_{MAX}}{D_{MAX}}} \\ = 4.75 \cdot 1.24 \cdot \sqrt{\frac{1 - 0.52}{0.52}} = 5.66 \text{ (A)}$$

ここで D_{MAX} および I_{DS}^{RMS} は、それぞれ Step 3、及び Step 5 で求めた値です。

最終的に一次巻線および二次巻線の線径を、それぞれ、0.5mm (6.3A/mm²)、0.9mm (8.9A/mm²) に設定します。

Step 10 - 出力ダイオードの選択

パラメータの定義:

- 計算により求められた出力整流ダイオードの最大繰り返し逆電圧: V_{DO}
- 選択された出力ダイオードの最大繰り返し逆電圧規格値: V_{RRM}
- 選択された出力ダイオードの最大順方向電流の規格値: I_F

設計ヒント:

- 出力ダイオードを選択する際は、 V_{RRM} と I_F の規格値に注意して下さい。 V_{RRM} は V_{DO} に比べ1.3倍以上、また、 I_F は I_{SEC}^{RMS} に対し1.5倍以上であることが必要です。

設計例:

$$V_{DO} = V_O + \frac{V_{IN}^{MAX}}{n} = 19 + \frac{373}{4.75} = 98 \text{ (V)}$$

$$V_{RRM} > 1.3 \times V_{DO} = 127 \text{ (V)}$$

$$I_F > 1.5 \times I_{SEC}^{RMS} = 8.5 \text{ (A)}$$

最終的に、150V-20Aのダイオードを選択します。

Step 11 - フィードバック回路の設計

FAN6756 は図 8. に示すように、電流モードの制御回路を採用しています。一般的にオプトカプラ (例: H11A817A) と、シャントレギュレータ (例: KA431) でフィードバック回路を形成します。フィードバック電圧をセンス電流の情報と比較することで、スイッチングのデューティ比を制御します。フィードバック回路の設計は、周波数特性の解析と深く関連しており、これまで多くのフェアチャイルド・アプリケーションノートに記載されています。スタンバイモードへの移行、或いは復帰する際のパワーレベルは、フィードバック電圧に依存しますので、このセクションではループ特性がどのようにスタンバイモードと関わっているかを説明します。

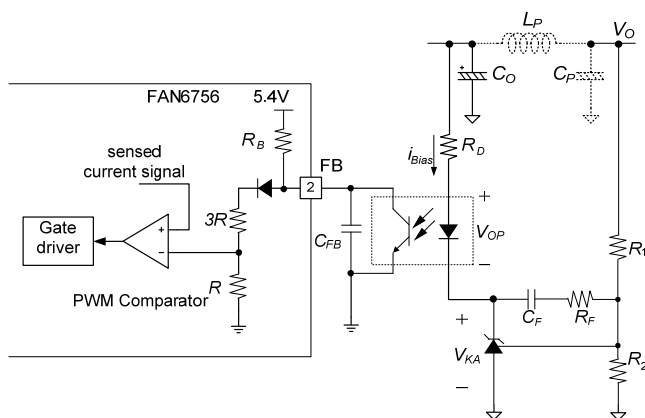


図 8. フィードバック位相補償回路

無負荷、或いは負荷が非常に軽い場合、FAN6756は更に電力消費を抑える為、スタンバイモードに移行します。それは図9に示すように、バーストモードにおいて、バーストスイッチングの後、10秒以上スイッチングしない期間が3回連続することが条件となります。 無負荷であってもバーストスイッチング周波数が高い場合のように、FAN6756がスタンバイモードに入らない時は、 C_{FB} 或いは R_D を増加させ制御周波数帯域を低下させることで、バースト周波数を低くして下さい。

ダイナミックに負荷が変化している状況でスタンバイモードに移行するのを避けるため900msのタイマーが設定されています。この期間に連続して104回以上のスイッチング動作が行われた場合、FAN6756 はスタンバイモードには入りません。

例えば無負荷のような状態で、バーストモードのスイッチングが無い期間に V_{FB} が0.75Vを超えることで予期せずスタンバイモードから復帰してしまうような場合、一次側のオプトカプラのソース電流を増加させて下さい。その為の一つの方法は高い電流伝達比(CTR)のオプトカプラを使用することです。その他、最小カソード電流値が極めて低いシャントレギュレータの使用は避けるか、または、出力からシャントレギュレータのカソード側に接続されている抵抗を取り除くか、抵抗値を増加させて下さい。

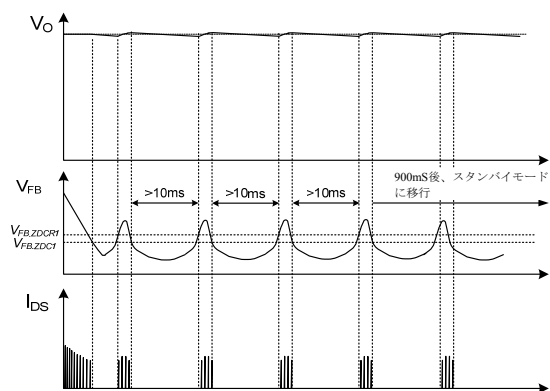


図 9. スタンバイモード移行時のタイミング

Step 12 – スナバ回路の設計

MOSFETがオフした時、トランスの漏れインダクタンス(L_k)とMOSFETの出力容量(C_{oss})で共振することにより、高い電圧のスパイクがドレイン - ソース間に発生します。MOSFETを、アバランシェ降伏から保護するためスナバ回路が必要になります。従来のRCDスナバ回路を図10に示します。スナバ回路設計のより詳細な情報はAN-4147 — “Design Guidelines for RCD Snubber of Flyback Converters”を参照して下さい。

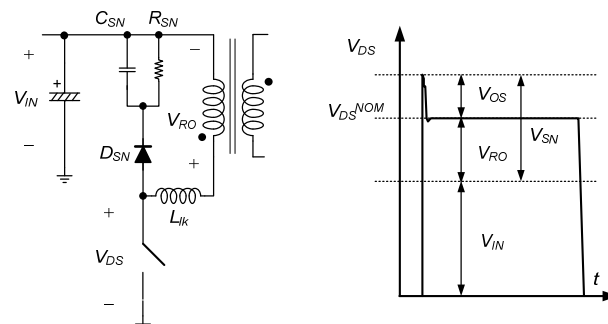


図 10. 標準的なRCD スナバ回路と V_{DS} 波形

RCD スナバ回路により、漏れインダクタンスに蓄えられるエネルギーは R_{SN} を通して吸収、消費されます。消費電力は次式で求められます。

$$P_{SN} = \frac{1}{2} \cdot f_S \cdot L_{lk} \cdot (I_{DS}^{PK})^2 \cdot \frac{V_{SN}}{V_{OS}} \quad (5)$$

パワー損失を低減する為に効果的な方法は、漏れインダクタンスを小さくすることです。適正な形状のトランスを使用し、パワーレールのレイアウト・パターンを最小にします。また、低スタンバイ電力にする他の方法は、図 11 のように R_{SN} と C_{SN} の代わりに過渡電圧サプレッサ (TVS)、 ZD_{SN} を使用することです。RCD スナバ回路では、スナバ電圧はドレイン電流と共に変化しますが、TVS はドレイン電流の値に関わらずスナバ電圧を一定に保ちます。従って、TVS は RCD スナバ回路に比べ軽負荷時にパワー損失が小さくなります。

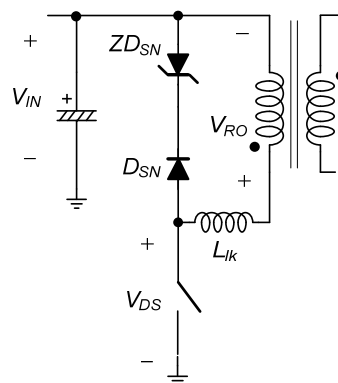


図 11. TVS スナバ回路

パラメータの定義：

- ZD_{SN} の耐圧: V_{BR}

設計ヒント:

- ユニバーサル入力電圧用フライバック電源の場合、一般的に650V MOSFET を使用します。
- V_{DS} の最大値は通常、MOSFET 定格の80~85% 以下に設定します。

設計例:

$$V_{BR} = 0.8 \cdot 650 - V_{IN}^{MAX} = 520 - 373 = 147 \text{ (V)}$$

従って、150V または200V TVS を選択します。

Step 13 - HV抵抗 (R_{HV})、及び V_{DD} ホールドアップ・コンデンサ (C_{DD})の値を決定

図 5 に示すように、HV ピンはスタートアップ、ブラウンイン/アウト、ハイ/ロー・ライン制御、AX-CAP™ ディスチャージ等の機能に関わっています。 R_{HV} の値を決める際、ブラウンイン/アウトのレベル、及びハイ/ロー・ライン補正制御を考慮する必要があります。

ブラウン・イン/アウト

HV ピンは外部抵抗(R_{HV})と、スイッチを介した内部抵抗(R_{LS})により抵抗分割をしてACライン電圧をモニタします。内部のピーク電圧検出回路によりそのピーク電圧値をDCレベルとしてホールドします。ブラウンイン、ブラウンアウトしきい値は、次式で決まります。

$$V_{BROWN-IN} = \frac{R_{HV}}{200 \times 10^3} \cdot \frac{V_{AC-ON}}{\sqrt{2}} \text{ (RMS)} \quad (6)$$

$$V_{BROWN-OUT} = \frac{R_{HV}}{200 \times 10^3} \cdot \frac{V_{AC-OFF}}{\sqrt{2}} \text{ (RMS)} \quad (7)$$

ここで、 V_{AC-ON} 及び V_{AC-OFF} は、それぞれ 110V と 100V です。通常ブラウンインレベルは約 80V_{AC} に設定するので、 R_{HV} は 200k Ω を推奨します。ブラウンアウトレベルは式 7 より求められ、70V_{AC} になります。ブラウンイン/アウトレベルと、 R_{HV} の関係を 図 12 に示します。

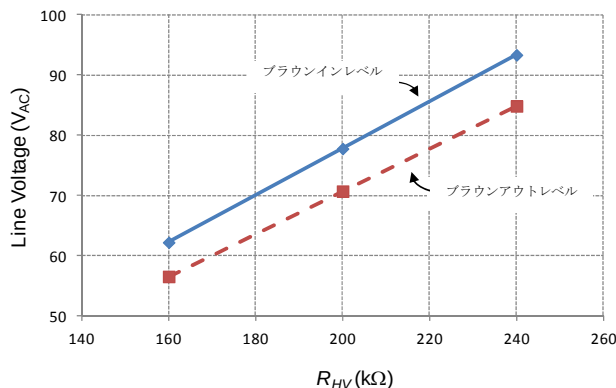


図 12. ブラウンイン/アウトレベルと R_{HV}

ブラウンイン/アウトレベルは R_{HV} によって調整可能ですが、リニアなライン電圧補正を得る為、その値を 150k Ω から 250k Ω の間にすることを推奨します。また、 R_{HV} を小さくし過ぎると正確なサンプリングができなくなり、 R_{HV} が大きいと、スタートアップ時間、及び X-キャパシタの放電時間が長くなります。また、スタンバイモード時にはブラウンアウト機能は動作しません。

ハイライン/ローライン補正回路

R_{HV} の値は式 1 に示すようにピーク電流制限を設定する V_{LIMIT} にも影響します。従って、 R_{HV} の値を決める場合ブラウンイン/アウトと過負荷保護 (OPP) レベル双方を考慮に入れる必要があります。 R_{HV} を変化させた時、 V_{LIMIT} の値がシフトする様子を 図 13 に示します。 V_{LIMIT} を決めると、Step 6 に述べたように R_{SENSE} は OPP レベルの値を基に計算できます。

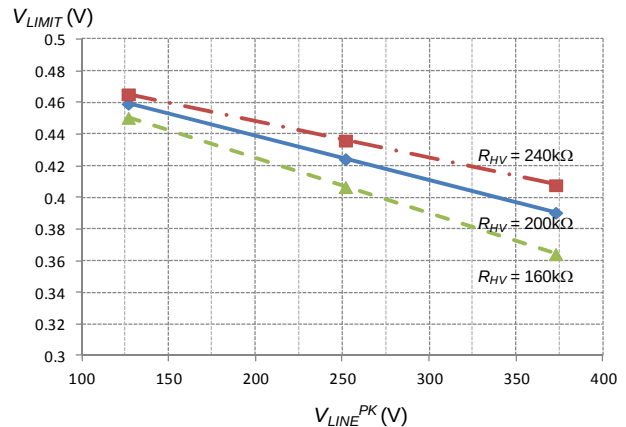


図 13. V_{LIMIT} とライン電圧の関係

スタートアップ

図 14 に示すように電源回路に AC ライン電圧が加わると、内部の電流源によりスタートアップ抵抗 R_{HV} を通してホールドアップ・コンデンサ C_{DD} が充電されます。 V_{DD} 電位がしきい値 V_{DD-ON} に達すると PWM コントローラが動作を開始し、電流源はスイッチにより遮断され、トランスの補助巻き線により電流が供給されます。

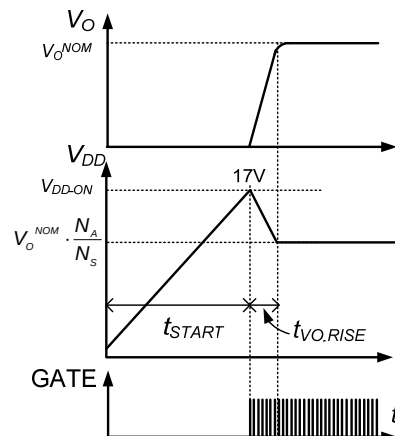


図 14. 標準スタートアップ波形

パラメータの定義:

- V_{DD} ホールドアップ・コンデンサ: C_{DD} .
- HV端子を通して C_{DD} が V_{DD-ON} まで充電されるのに必要な時間: t_{START} .
- 出力立ち上がり時間: $t_{VO,RISE}$.

設計ヒント:

- スタートアップ時 V_{DD} が6.5V 以下にならないように、 C_{DD} はできるだけ大きい値にして下さい。 V_{DD} が6.5V以下になると、図15に示すようにFAN6756はUVLO 回路によりゲートドライブ出力をオフさせます。
- 図16に示すようにバーストモード周波数は V_{DD} 値により制御されるので、 C_{DD} の値が大きいと、バースト周波数は低下します。バースト周波数が低いことによる長所はスタンバイモードでの電力損失が低減することです。しかし、低いバースト周波数では、スタンバイモード時、出力に現れるリップルが大きくなります。
- t_{START} で表されるスタートアップ時間の標準的な値は2~3秒です。スタートアップ時間の規格を満足するように C_{DD} を選んでください。

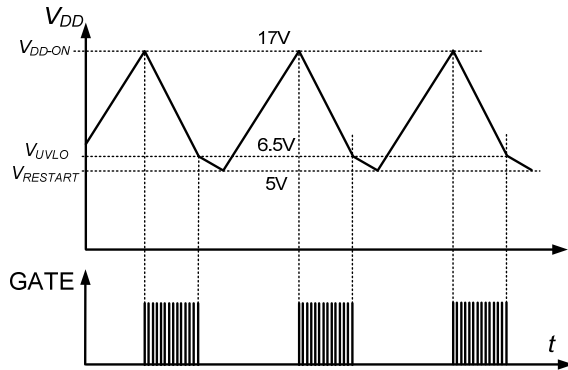


図 15. ノーマル時 V_{DD} UVLO

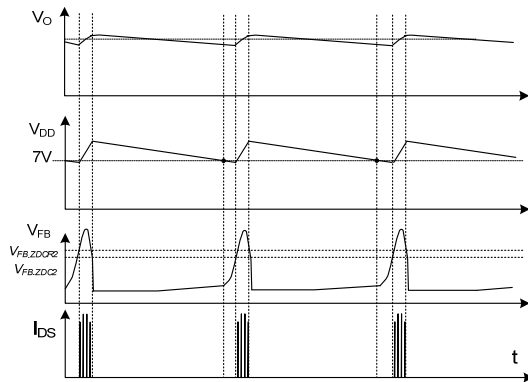


図 16. ディープバースト動作

設計例:

$$C_{DD} < \left[\frac{R_{HV}}{t_{START}} \cdot \ln \frac{V_{LINE}^{MIN} \cdot 2\sqrt{2}/\pi}{V_{LINE}^{MIN} \cdot 2\sqrt{2}/\pi - V_{DD-ON}} \right]^{-1}$$

$$= \left(\frac{200 \times 10^3}{3} \cdot \ln \frac{90 \cdot 2\sqrt{2}/\pi}{90 \cdot 2\sqrt{2}/\pi - 17} \right)^{-1} = 64 \times 10^{-6} \text{ (F)}$$

スタートアップ時間のマージンを考慮し、 C_{DD} の値は 47 μF とします。

X-キャパシタ 放電時間の見積り

FAN6756はライン電圧を検出し、AX-CAP™ 放電回路を駆動するタイミングを決定します。図17にX-キャパシタの放電タイミングを示します。軽負荷時にはサンプリング損失低減の為HVサンプリング回路はその動作を t_{S-REST} の間停止します。 t_{S-REST} の最大値は約160msであり、電源コンセントを抜いてからX-キャパシタ電位が V_{LINE}^{PK} の37%になるまでの最大放電時間は次式により求められます:

$$t_{DIS}^{TOTAL} = t_{S-REST}^{MAX} + t_{D-HV-DIS} + t_{VDD-DIS} + t_{XCAP-DIS} \quad (8)$$

ここで、 t_{S-REST}^{MAX} は t_{S-REST} の最大値、 $t_{D-HV-DIS}$ はAX-CAP™ 放電回路を起動する時のデバウンス時間で約40msです。 $t_{VDD-DIS}$ は C_{DD} の放電時間、 $t_{XCAP-DIS}$ はX-キャパシタの放電時間です。

C_{DD} はIC内部の1mA電流源により放電され、放電時間 $t_{VDD-DIS}$ は次式で計算できます:

$$t_{VDD-DIS} = \frac{C_{DD} \cdot \left(\frac{N_A}{N_S} \cdot V_O - V_{DD-OFF} \right)}{1 \times 10^{-3}} \quad (9)$$

ここで、 V_{DD-OFF} は約11Vです。 V_{DD} が V_{DD-OFF} まで低下すると、HVは C_{DD} の充電を開始します。電源プラグは抜かれている状態なので、X-キャパシタに残っているエネルギーは放電されます。放電時間 $t_{XCAP-DIS}$ は次式で計算できます:

$$t_{XCAP-DIS} \approx -R_{HV} \cdot C_X \cdot \ln \left(\frac{V_{IN} \times 37\%}{V_{IN} - V_{DD-OFF}} \right) \quad (10)$$

パラメータを式9及び式10に代入して $t_{VDD-DIS}$ と $t_{XCAP-DIS}$ を求めます:

$$t_{VDD-DIS} = \frac{47 \times 10^{-6} \cdot \left(\frac{7}{8} \cdot 19 - 11 \right)}{1 \times 10^{-3}} = 264 \times 10^{-3} \text{ (Sec.)}$$

$$t_{XCAP-DIS} \approx -200 \times 10^3 \cdot 0.33 \times 10^{-6} \cdot \ln \left(\frac{373 \times 37\%}{373 - 11} \right)$$

$$= 64 \times 10^{-3} \text{ (Sec.)}$$

従って、最大入力電圧、及び t_{S-REST} の最大値を考慮に入れ、 t_{DIS}^{TOTAL} は528msになります。また、X-キャパシタの値は放電時間のマージンを考慮して0.5 μF を超えないようにして下さい。

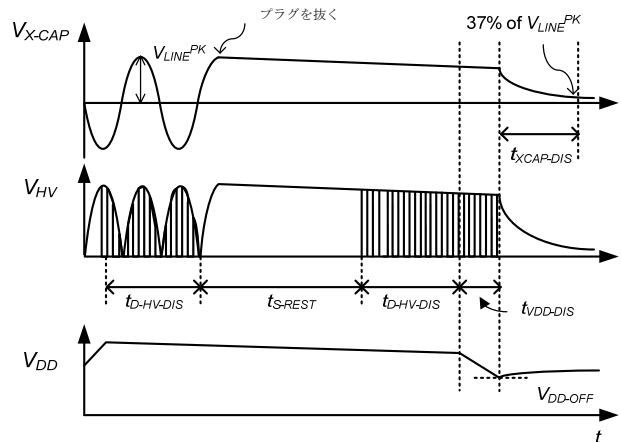


図 17. AX-CAP™ 放電回路タイミングダイアグラム

Step 14 – その他のコンポーネント

過熱保護(OTP)用 RTピン シリーズ抵抗(R_A , R_{NTC})

RT端子により過熱保護(OTP)の設定を調整することが可能です。また、この端子は外部からのトリガ入力用の端子にもなります。過熱保護アプリケーションでは、通常、NTCサーミスタ R_{NTC} を外部抵抗 R_A とシリーズにして図18.に示すようにRTピン - グランド間に接続します。内部電流源 I_{RT} (100 μ A)によりRTに発生する電圧は、次式で求められます:

$$V_{RT} = I_{RT} \cdot (R_{NTC} + R_A) \quad (11)$$

V_{RT} は内部で5Vにクランプされます。周囲温度が高くなった場合、 R_{NTC} は減少し、 V_{RT} は低下します。 V_{RT} の値が、 t_{D-OTP1} (14.5ms)を超える期間 V_{RTTH1} (1.035V)を下回った場合、OTPがトリガされ、FAN6756はラッチモードの保護状態になります。OTPはスタンバイモード時には、動作しませんのでご注意ください。

また、ラッチモード保護回路はトランジスタ、或いは、オプトカプラによりRTピンの電位を下げることでトリガすることが可能です。 V_{RT} の値が V_{RTTH2} (0.7V)を t_{D-OTP2} (185 μ s)の期間下回ると、FAN6756のラッチモード保護回路がトリガされます。

OTPを使用しない場合は、ノイズによる影響を防ぐため100k Ω の抵抗をRTピン - グランド間に接続することを推奨します。フィルタ用コンデンサ C_{RT} をこれらの抵抗と並列にRTピンに接続する場合は、RTピン電位が0.7Vに上昇するまでの時間が185 μ sを超えないようご注意ください。そうでない場合、スタートアップが正常に終了する前に、ラッチ保護回路が動作する可能性があります。

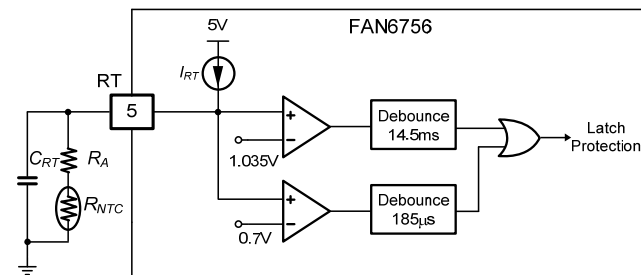


図 18. 過熱保護回路

設計例:

100k Ω NTCサーミスタのデータシートによると、100 $^{\circ}$ Cでの抵抗値はおおよそ4.3k Ω です。式11により:

$$\begin{aligned} R_A &= \frac{V_{RT}}{I_{RT}} - R_{NTC} \\ &= \frac{1.035}{100 \times 10^{-6}} - 4.3 \times 10^3 = 6.1 \times 10^3 \text{ (}\Omega\text{)} \end{aligned}$$

C_{RT} の最大値は次式により求められます:

$$V_{RT}(t) \Big|_{t=185\mu} = 5 \cdot (1 - e^{-\frac{185\mu}{C_{RT} \cdot 100k}}) > 0.7$$

即ち、

$$C_{RT} < 12 \times 10^{-9} \text{ (F)}$$

ノイズフィルタ用 C_{RT} は1nFに決定します。

SENSEピン用RCフィルタ

MOSFETスイッチ時におけるターンオン・スパイクは内蔵のブランキング回路により t_{LEB} (280ns)の間blankされますが、

図19に示すようにノイズ除去のため R_{LPF} と C_{LPF} で構成されるローパスフィルタを挿入することを推奨します。電流センス波形に影響を与えずにターンオン、ターンオフノイズを除去することが肝心であり、ここでは R_{LPF} と C_{LPF} はそれぞれ、100 Ω 、470pFに決定します。

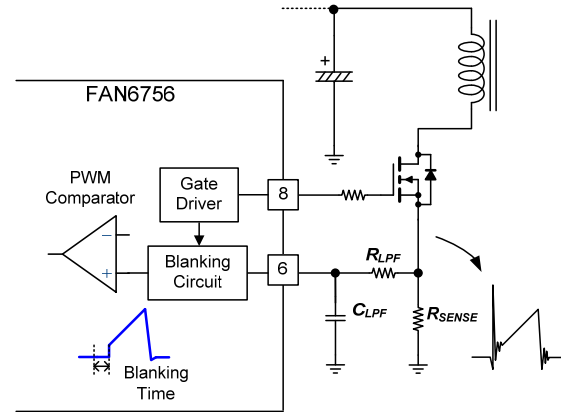


図 19. 電流センス回路と波形

トラブル・シューティング

エラー・トリガを防ぐセンス端子短絡保護回路

FAN6756は有限電源(LPS)評価試験に対する保護回路を備えています。電流センス抵抗の短絡から電源回路を保護するため、FAN6756は電流センス電圧が低下した場合、比較的デューティ比が大きい場合でも、シャットダウンします。図20に示すように、電流センス電圧は、ゲートがオンしてから $t_{ON-SSCP}$ (4.55 μ s)後にサンプルされます。もしサンプル電圧(V_{S-CS})が、連続して11スイッチングサイクル(170 μ s)の間 V_{SSCP} より低い場合、FAN6756は直ちにシャットダウンされます。 V_{SSCP} はライン電圧に対しニアに変化し、 V_{LINE}^{PK} が122Vの場合、 V_{SSCP} は標準値で50mV(V_{SSCP-L})、また、 V_{LINE}^{PK} が366Vの場合、 V_{SSCP} の標準値は100mV(V_{SSCP-H})です。

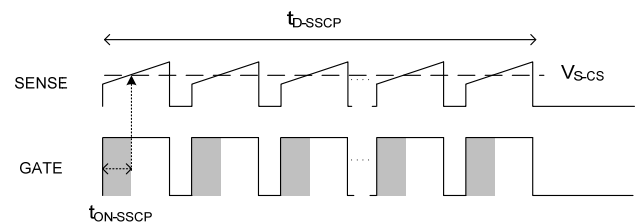


図 20. センス端子短絡検出波形

短絡保護への誤トリガリングを防ぐため、短絡状態の場合を除いて、センス端子電圧 V_{SENSE} は $t_{ON-SSCP}$ 時に、 V_{S-CS} 以下にならないようにして下さい。最小入力電圧を考慮して、 $t_{ON-SSCP}$ 時のセンス端子電圧は次式で与えられます:

$$V_{SENSE} \Big|_{t_{ON}=t_{ON-SSCP}} = I_{DS}^{PK} \cdot R_{CS} > V_{S-CS} \quad (12)$$

ここで、 $t_{ON-SSCP}$ にはローライン入力に対応し最小値 $4\mu s$ を使用します。 I_{DS}^{PK} はシステムの動作条件により、CCM またはDCM の場合に対して、それぞれ、式 3 及び 式4から求めることができます。 V_{S-CS} は、ローライン入力条件におけるSSCPレベルの最大値で、データシートにあるように $70mV$ です。システムがDCMで動作しているとして、式12を確認します：

$$V_{SENSE} = \frac{88 \cdot 4 \times 10^{-6} \cdot 0.176}{513 \times 10^{-6}} = 120 \times 10^{-3} > 70 \times 10^{-3}$$

低入力条件に関しては、スタートアップ、パワーオフ、ブラウンイン/アウト、または、ACサイクル・ドロップテスト等、様々な場合について注意を払う必要があります。 V_{SENSE} が V_{S-CS} より低い場合：

- 入力コンデンサの容量を大きくします。大容量の入力コンデンサはDC バス電圧のリップルを低減し実質的に V_{IN}^{MIN} の増加につながります。
- 一次側のインダクタンスを減らします。但し、過負荷保護(OPP)状態に対して R_{SENSE} を減少させることになるので、それほど効果は期待できません。

ハイレイン、ローラインとOPP

CCM モードで動作中に過負荷保護(OPP)状態になった場合、出力電流は次式で表されます：

$$I_O^{OPP} = \frac{\eta}{V_O} \cdot \left(\frac{V_{LIMIT} \cdot V_{IN} \cdot D}{R_{SENSE}} - \frac{V_{IN}^2 \cdot D^2}{2 \cdot L_M \cdot f_S} \right) \quad (13)$$

ここで、 V_{LIMIT} は式 1 から求められ、 D はPWM デューティ比で次式で与えられます：

$$D = \frac{V_{RO}}{V_{IN} + V_{RO}} \quad (14)$$

公称出力電力に対する過負荷の比率と、式 13 から得られるライン電圧との関係は図 21 のようになり、過負荷状態でのパワーレベルを知ることができます。

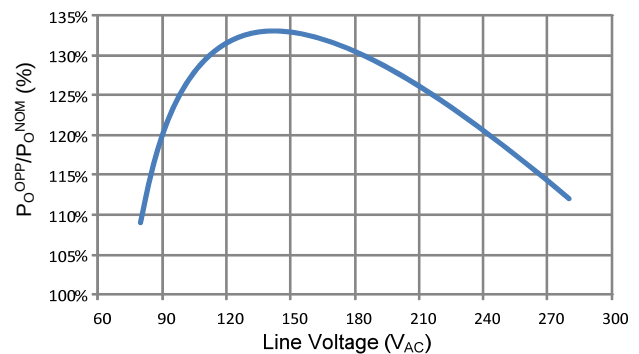


図 21. 過負荷状態の比率とライン電圧との関係

3. 回路図

これまでの設計例を要約します。主要なシステム上の規格、および主要な設計パラメータを、それぞれ、表 1、表 2 に示します。最終的な回路図を図 22 に示します。

表 1. システム規格

入力	
入力電圧範囲	90-264V _{AC}
ライン周波数範囲	47-63Hz
出力	
出力電圧 (V_O)	19V
公称出力 (P_O^{NOM})	65W

表 2. トランス設計パラメータ

一次側巻線数 (N_P)	38
二次側巻線数 (N_S)	8
補助巻線数 (N_A)	7
一次側インダクタンス (L_M)	513 μ H
スイッチング周波数 (f_S)	65kHz

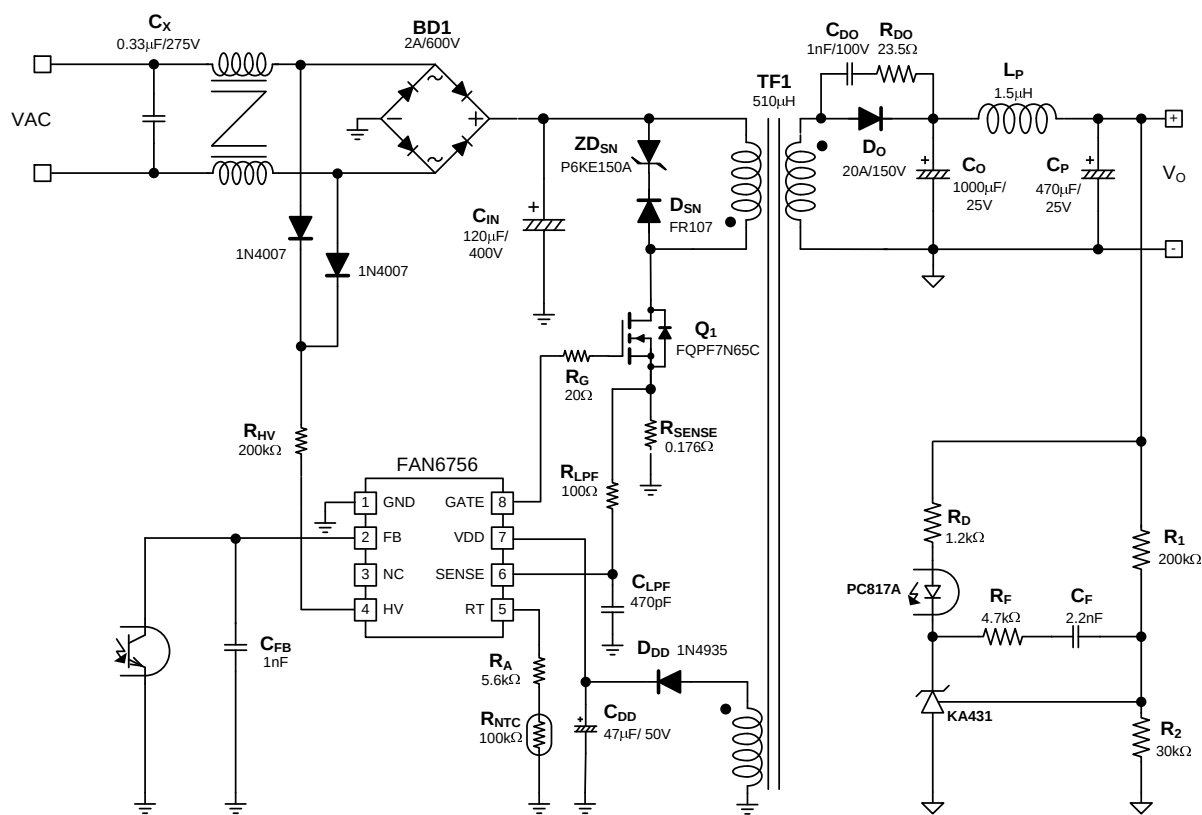


図 22. 設計例の最終回路図

実験ノート

電源回路の調整作業、はんだ付けを行う場合は、前もって、一次側のバルクコンデンサの電荷を外部抵抗を通して放電して下さい。はんだ作業中に PWM IC が、外部からの高電圧により破壊する恐れがあります。

デバイスは ESD 放電による影響を受けやすいので、製造上での歩留まり向上の為、製造ラインは以下に示す規格に準じた ESD 保護の対策をされることを推奨します。
ANSI ESD S1.1、ESD S1.4、ESD S7.1、ESD STM 12.1、EOS/ESD S6.1。

4. プリント基板(PCB)レイアウト

高い dv/dt 或いは di/dt で変化する電圧、電流を扱う SMPS 設計において、PCB のレイアウトデザインは大変重要になります。優れた PCB レイアウトは 余分な EMI を低減し、サージ或いは ESD から電源回路を保護します。図 23 にグラウンド・パターンのレイアウト方法を示します。

ガイドライン：

- より優れた EMI 耐性を確保し、ライン周波数のリップル成分を抑制する為、ブリッジ整流回路の出力は最初に C_{IN} に直結して接続し、次にスイッチング回路に接続します。
- 高周波パワーループは $C_{IN} - TF1 - Q_1 - R_{SENSE} - C_{IN}$ で形成されます。このループで囲まれる面積は出来るだけ小さくして下さい。パターンは短く (特に $GND4 \rightarrow 1$)、直線的に太くします。 Q_1 ドレイン、及びスナバ回路周辺の高電圧パターンは無用な干渉を防ぐためにコントロール回路から離してレイアウトします。 Q_1 にヒートシンクを使用する場合、EMI 対策としてヒートシンクはグラウンドに接続してください。
- $GND3$ で示されるコントロール回路のグラウンドを最初にまとめて接続し、次に 他の回路に接続します。
- $GND2$ で表示した補助巻線、 D_{DD} 、及び C_{DD} で囲まれた面積は出来るだけ小さくするようにして下さい。

- デカップリング効果を高める為、 C_{LPF} は FAN6756 の直近に配置して下さい。
- コントロール回路は ESD 放電経路には配置しないで下さい。
- 一次側と二次側との間には Y-キャパシタが必要です。Y-キャパシタを一次側のグラウンドパターン ($GND5$) に接続する場合は、 BD_1 のグラウンド側、或いは、 C_{IN} ($GND1$) に直接接続して下さい。
- コモンモードチョークの使用、或いは、Y-キャパシタに先端放電パターンを設けることは、高周波インピーダンスを下げ ESD 耐性を高める効果があります。但し、二つの先端部分の沿面距離は適用される基準を十分満たして離れている必要があります。

以下に、それぞれ、長所が異なる二つの提案を示します：

- スター・グラウンド接続 ($GND3 \rightarrow 1, 4 \rightarrow 1$, and $2 \rightarrow 1$) 或いは、 $GND3 \rightarrow 2 \rightarrow 4 \rightarrow 1$ のようなパターン。このような場合、センス信号にとって、共通インピーダンスによる影響を受けにくい長所があります。
- $GND3 \rightarrow 2 \rightarrow 1$ 及び $GND4 \rightarrow 1$: このようなグラウンドパターンは、アース接地が得られないような状況では ESD に対しては有利でしょう。ESD 放電経路は、トランス二次側から浮遊容量を介して最初に $GND2$ に達し、その後、 $GND2$ から $GND1$ を通り、メイン電源に戻ると考えられます。

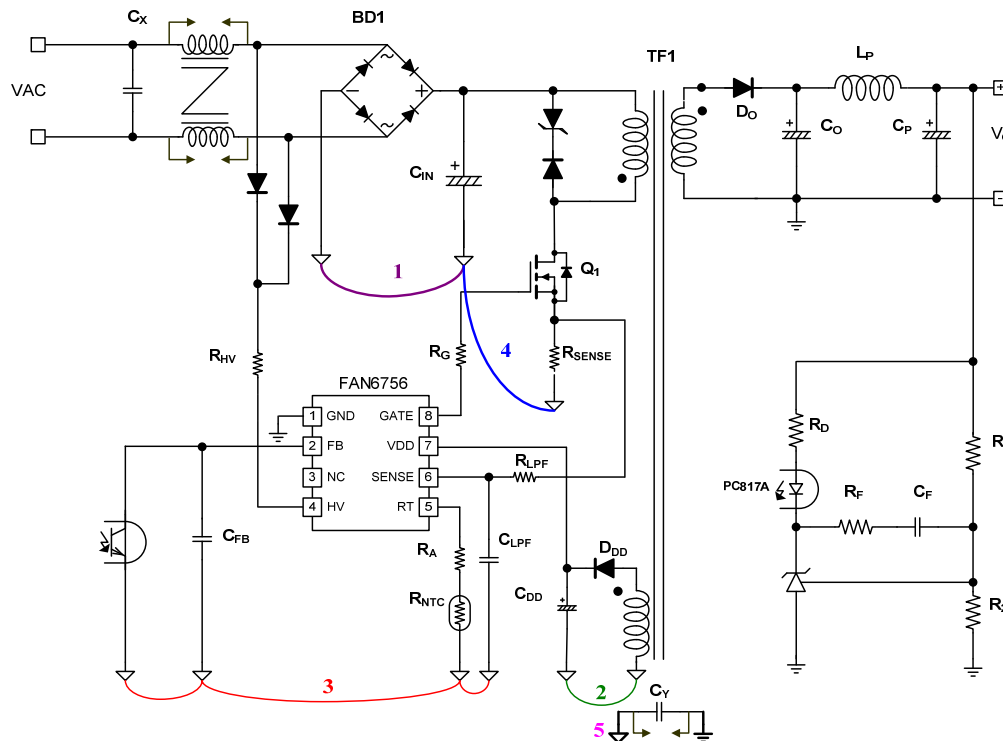


図 23. PCBグラウンドパターン レイアウト

5. 関連情報

[FAN6756 — mWSaver™ PWM Controller](#)

注意事項

フェアチャイルドセミコンダクタは、本書に記載したすべての製品に対して、信頼性、機能、及びデザインを改善する為に予告なしに変更する権利を所有しています。また、フェアチャイルドはここに記載した製品或いは回路の使用及び応用に起因するいかなる債務を負うものではなく、また、当社の特許権または第三者の権利に基づくライセンスを許諾するものではありません。

生命維持装置への使用について

フェアチャイルドセミコンダクタの製品はフェアチャイルドセミコンダクタコーポレーション社長の書面による承諾がない限り生命維持装置または生命維持システム内の重要な部品に使用することは認められていません。

ここで、

1. 生命維持装置または生命維持システムとは、(a) 外科的に体内に埋め込まれて使用されることを意図したもの、(b) 生命を維持或いは支持するもの、(c) ラベルに表示された使用法に従って適切に使用された場合にその不具合が使用者に重大な損傷をもたらすことが合理的に予想されるもの、をいいます。
2. 重要な部品とは、生命維持装置或いは生命維持システム内のあらゆる部品を指し、これらの不具合が生命維持装置或いは生命維持システムの不具合の原因に、またはその安全性および効果に影響を及ぼす原因になるものと合理的に予想されるものをいいます。